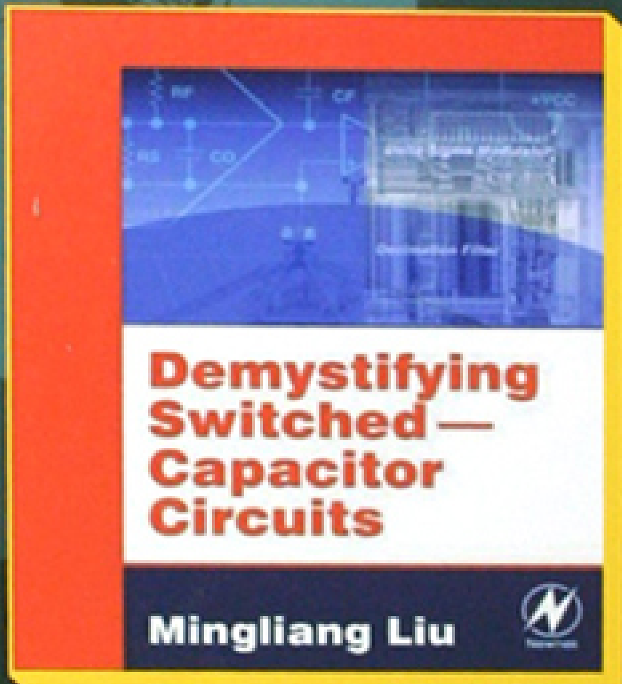
TURING 图灵电

开关电容电路
从入门到精通

Demystifying Switched-Capacitor Circuits

刘明亮 著 尹华杰 等译



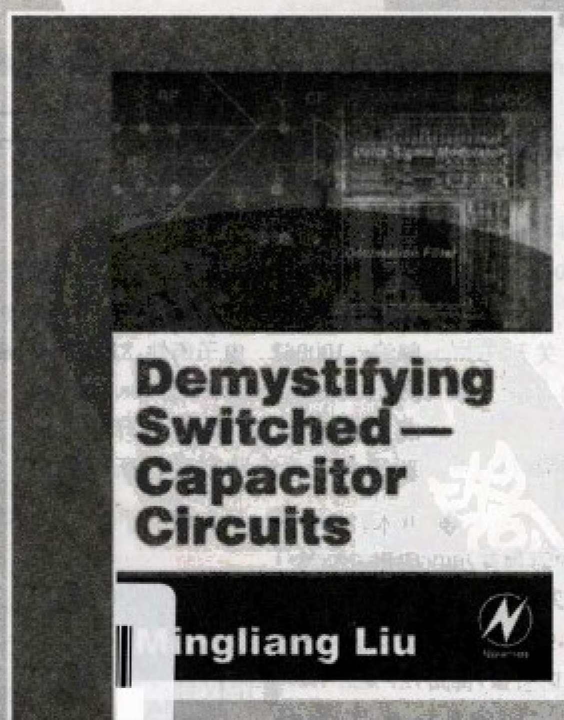
人民邮电出版社
POSTS & TELECOM PRESS

TURING 图灵电子与电气工程丛书

开关电容电路
从入门到精通

Demystifying Switched-Capacitor Circuits

刘明亮 著 尹华杰 等译



人民邮电出版社
北 京

图书在版编目(CIP)数据

开关电容电路:从入门到精通/刘明亮著;尹华杰等译. —北京:人民邮电出版社,2008.7

(图灵电子与电气工程丛书)

书名原文:Demystifying Switched-Capacitor Circuits

ISBN 978-7-115-18047-6

Ⅰ. 开… Ⅱ. ①刘… ②尹… Ⅲ. 开关电容-电路设计 Ⅳ. TN702

中国版本图书馆 CIP 数据核字 (2008) 第 061854 号

内容提要

本书不仅详尽地介绍了开关电容电路的基础知识,包括 MOS 器件及运放的基础、开关电容的基本构件、开关电容滤波器、数据转换器、DC-DC 变换器等,还介绍了开关电容电路的一些高级技术,例如开关电容电路的低电压技术、精度增强技术等,尤其是对多模 RF 接收器中的开关电容调制器的设计进行了全面的介绍和分析。

本书在阐述开关电容电路理论的同时,还分析了许多经过工程验证的电路设计实例,力图通过对各种电路特点的讨论,来帮助电路设计及工程管理人员领会开关电容电路设计的思路及方法。本书既可以用于工程设计,也可以作为课堂教学的参考书。

图灵电子与电气工程丛书

开关电容电路——从入门到精通

◆ 著　　　　刘明亮
　译　　　　尹华杰　等
　责任编辑　舒　立

◆ 人民邮电出版社出版发行　　北京市崇文区夕照寺街 14 号
　邮编　100061　电子函件　315@ptpress.com.cn
　网址　http://www.ptpress.com.cn
　北京铭成印刷有限公司印刷
　新华书店总店北京发行所经销

◆ 开本:700×1000　1/16
　印张:16.25
　字数:340 千字　　　2008 年 7 月第 1 版
　印数:1-3 500 册　　2008 年 7 月北京第 1 次印刷

著作权合同登记号　图字:01-2007-3615 号

ISBN 978-7-115-18047-6/TN

定价:35.00 元

读者服务热线:(010)88593802　印装质量热线:(010) 67129223

反盗版热线:(010) 67171154

版 权 声 明

Demystifying Switched-Capacitor Circuits by Mingliang Liu, ISBN: 0-7506-7907-7.

Authorized Simplified Chinese translation edition published by the Proprietor.
ISBN:978-0-7506-7907-7.

Elsevier(Singapore) Pte Ltd.
3 Killiney Road
#08-01 Winsland House I
Singapore 239519
Tel:(65)6349-0200
Fax:(65)6733-1817

First Published 2008
2008 年初版

译 者 序

在网上发帖询问 *Demystifying Switched-Capacitor Circuits* 一书的同学注意了：在人民邮电出版社图灵文化发展有限公司的策划下，经过编者、译者以及原作者的共同努力，由留美学者刘明亮先生撰写的 *Demystifying Switched-Capacitor Circuits* 一书之中文版：《开关电容电路——从入门到精通》终于可以同读者见面了！

2006 年 4 月，本书英文版在美国、英国同时出版发行后，旋即纳入了图灵公司的引进出版计划。这是因为本书的选题极其符合国内通信集成电子行业当前的实际需要——本书对集成开关电容(SC)电路的原理进行了深入浅出的介绍，并以设计实例的形式介绍了开关电容技术在移动通信中的最新应用——多模 RF 接收器中 SCΔΣ 调制器的设计。

我在 2007 年初受图灵公司之邀翻译本书的时候，猜想刘明亮先生可能是美国大学的一位教授，或者是从国内大学出去深造的教师。经过一番查询得到的结果却使我十分吃惊，原来刘明亮先生是一位年轻的留美硕士毕业生，现任美国加州一家电子公司的产品主管。

在美国一些大学里任教职的旅美中国学者中，著书颇丰的并不少见。例如伊利诺伊大学(UIUC)的金建铭教授，在获得博士学位后刚开始任教的头几年里，就先后出版了包括《电磁场有限元方法》在内的 3 部很有影响的著作；同样是 UIUC 的梁志培教授，在完成其博士后研究之后没多久，即同其博士后导师、后来的 2003 年诺贝尔生理学医学奖获得者 Paul C. Lauterbur 一起，共同出版了核磁共振成像的专著 *Principles of Magnetic Resonance Imaging: A Signal Processing Perspective*。就专业领域的成就而言，本书作者刘明亮先生可能还没法跟这些教授们相比，但刘明亮先生出版第一本英文专著的年纪却要比这些教授们小得多。本书的英文原版是刘明亮先生应美国爱思唯尔(Elsevier)出版社之邀，以他在攻读美国俄勒冈州立大学电子工程硕士学位期间所撰写的论文为基础，在工作之余写作完成的。

令我赞叹刘明亮先生的原因还在于：为什么一个在国内接受了本科教育的学生，到国外仅仅经过了两三年的硕士教育，就能够用英文写出一本行业领先的专著？刘明亮先生的经历固然是个个案，但却印证了这样一个道理：一个人的天资与努力是成功的基础。刘明亮先生所取得的成绩，固然有中国基础教育和本科教育的功劳，也表明了美国的研究生教育有值得我们借鉴的一面。

本书中文版的翻译工作得到了许多人士的帮助。原作者刘明亮先生在百忙之中

对译文进行了审阅。研究生马耀辉提供了第1章、第7章的译文初稿，研究生汪万伟提供了第2章、第6章的译文初稿，还有其他一些同学参与了译文的录入、校对等工作，在此一并表示感谢。

由于译者水平有限，译词失当、疏漏之处在所难免，敬请读者不吝指正。

华南理工大学 尹华杰

前 言

凡事应尽量简单，而又不流于简陋。

阿尔伯特·爱因斯坦(1879—1955)

在金属氧化物半导体(MOS)集成电路设计领域中，开关电容(SC)电路技术因其适用于对模拟信号施行精确的线性化处理，自20世纪80年代以来，在高品质MOS单片集成滤波器电路的设计与应用中一直独占鳌头。与此同时，SC电路所具备的独特的多元化应用特点，使其逐渐成为仪器设备、数字音频、无线通信、电源管理、传感器等诸多应用领域中的设计首选。这种一技百用的特点，也许正是SC电路能够激发众多电路设计者和电子工程学生无穷兴趣的根本原因。

撰写本书的初衷之一是为大家奉献一本总结性的教材，汇总SC电路的基本概念和相关的高级设计技术资料。为达成此目的，我在本书中针对选定的每一个题材，除了给出基本概念之外，还辅以经过工程验证的电路设计实例，以帮助读者理解。因此，本书包含了大量的电路设计实例。然而，本书并不是一本平铺直叙的电路大全，我特地挑选了一组相互关联的、(我认为)值得深入研究的主题来展开讨论。虽然量化分析对于解释设计思想很有帮助，但在本书的写作中我尽量少用冗长的数学公式，以避免读者陷入枯燥的数学推导。

撰写本书的另一个初衷，是希望其对实际应用和课堂教学都有用。我建议读者在开始阅读本书之前，对离散时间信号与系统的基本理论，如拉氏变换、z变换、s到z映射的概念等做一定的了解。此外，希望本书的读者熟悉MOS晶体管建模(如小信号分析)，以及共源极、共栅极、源极跟随的单晶体管放大器等方面的基本知识。

我建议高等院校的教师在制定本科高年级或研究生一年级的模拟集成电路课程大纲时，考虑将本书列为补充教材。对于初级设计工程师和电路爱好者来说，本书可以用作入门读物。本书中提供的材料在经过整理后，也可为公司内部培训、短期课程或产品研讨会使用。对于经验丰富的设计工程师来说，本书可以用作设计手册：它提供了丰富的技术资料和大量的参考文献，可供进一步的研究使用。

本书共8章，安排如下。

第1章的重点集中在MOS晶体管、金属半导体场效应晶体管(MOSFET)开关，以及MOSFET电容的基本物理特性上。此章简要陈述了半导体器件物理学的基本概念，但并未深入讨论。

第2章介绍了两级式运算放大器的基本设计知识，简要分析了运算放大器的补偿

原理，研究了套筒式、折叠式的共源共栅运算放大器的拓扑结构。

第3章着墨于SC电路的基本组成构件。此章讲述了SC模拟电阻实现方法相对于物理扩散的电阻实现方法的优点，描述了寄生电容对SC电路性能的影响，并介绍了对寄生电容不敏感的SC电路配置。此章还对SC积分器、采样与保持电路、插值滤波器以及采样抽取滤波器的设计问题做了深入分析。在此章的结尾，还介绍了SC电路的信号流图及梅森公式。

第4章描述了有源SC滤波器(SCF)的基本设计知识。此章利用一个6阶椭圆极点分布低通SC滤波器的设计实例，向读者说明了高阶SCF的级联设计方法。此章还介绍了高频互补金属氧化物半导体(CMOS)SC滤波器的基本设计知识。

第5章着重介绍了CMOS数据转换器的设计知识。本章开篇针对集成模数转换器(ADC)和数模转换器(DAC)，介绍了许多重要性能参数。电容失配误差对SC数据转换器性能的影响及相应对策如失配误差抵消技术在此章进行了说明。此章还分析了各种ADC结构，包括快闪型、两级型、流水线型、循环型、逐次逼近型及ΔΣ型ADC。

第6章介绍了一个较新颖的主题，即SC DC-DC变换器的设计。此章介绍了几种实用的升压变换器拓扑结构，例如Dickson电荷泵和交叉耦合变换器等。此章还介绍了SC降压DC-DC变换器及多增益SC降压—升压DC-DC变换器的原理。

第7章研究了现代开关电容电路设计面临的两个主要挑战：一个是在低电压($V_{dd}<1.5V$)情况下设计高性能的SC电路，另一个是减小运算放大器(也称运放)非理想特性对实际SC电路的影响。

第8章详细描述了利用SC ΔΣ调制器技术来设计多模RF信号接收系统的全过程。介绍了ΔΣ调制器在晶体管级的SC电路中的实现方案，并提供了后期测试数据。

值得强调的是，在本书每章的结尾都有参考文献，让读者追溯每个主题的出处。

致谢

首先，我感谢俄勒冈州立大学的Gabor C. Temes教授，感谢他在我读研究生期间，指导我开展模拟集成电路与系统的设计工作，为我提供一个独立思考、上下求索的研究环境，并与我分享他丰富的知识和经验。

我诚挚地感谢Elsevier出版社的工作人员，尤其感谢Charles B. Glaser先生和Leslie Weekes女士的支持，以及图形编辑们的精美绘图及文字编辑们的辛勤校对。我还要感谢Harry Helms先生，是他鼓励我开始本书的写作的。另外，我在此感谢华南理工大学的尹华杰先生为本书所做的翻译。

最后，我深深地感谢爱妻陈孟吟博士，感谢她在本书写作期间所付出的一切！

刘明亮

目　　录

第1章 MOS 器件物理学基础

1.1 引言

本章介绍了和集成电路(IC)设计紧密相关的金属氧化物半导体(MOS)器件的工作特性。本章对 MOS 半导体物理概念只做简要的叙述而非深入的讨论。

本章提要

本章结构如下：1.2 节描述了 MOS 晶体管的基本特性；1.3 节讨论了 MOS 开关的基本特性；1.4 节介绍了 MOS 器件作为电容的工作特性。

1.2 MOS 晶体管

基本原理

在当今的 IC 产业中，最常见的加工工艺也许要数基于金属氧化物半导体(MOS)晶体管的半导体处理了。MOS 晶体管也称 MOS 场效应管(MOSFET)，其他简称还有 MOST(MOS 晶体管的英文缩写)和 IGFET(绝缘栅极场效应管的英文缩写)等。MOS 中的 M 是 metal 的缩写，意指晶体管的栅极是由金属材料(例如金属硅)制成的。由于多晶硅在排列和尺寸实现方面较金属硅具有更高的几何精度，因此目前业界大多采用高掺杂度的多晶硅来取代金属硅，用来制造出体积更小速度更快的 MOS 晶体管。

MOS 晶体管大致分两类：N 沟道 MOS 晶体管(NMOS)和 P 沟道 MOS 晶体管(PMOS)。NMOS 在栅极加正向电压时导通，由电子来形成电流，而 PMOS 则在栅极加负向电压时导通，由空穴(相当于正载流子)来传导电流。PMOS 和 NMOS 都类属于单极性半导体器件，即在沟道里流动的只有一种载流子(NMOS 的载流子是电子，PMOS 的是空穴)。

如果需要双极性 MOS 器件，我们可以把 NMOS 和 PMOS 集成到同一片硅晶元上，由此产生所谓的互补 MOS(CMOS)电路。在实际应用中，有三种不同的 CMOS 加

工工艺：硅的局部氧化(LOCOS)工艺、浅沟道隔离(STI)工艺，以及绝缘层覆硅(SOI)工艺。后两种工艺可以避免CMOS结构中的闩锁效应(latch-up)[1]。但在本书中，我们只讨论采用LOCOS工艺实现的CMOS晶体管。

图1.1所示是采用LOCOS工艺实现的典型NMOS的截面示意图。

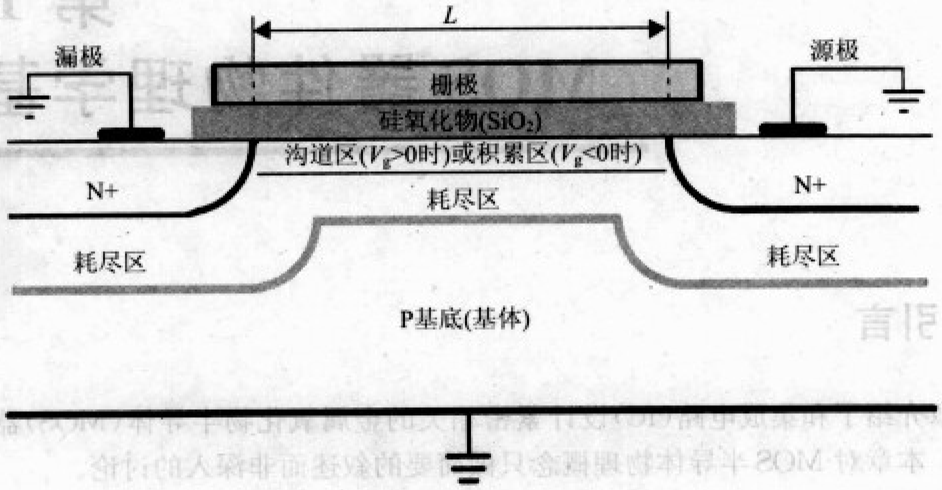


图1.1　NMOS管的横截面图

在NMOS中有两个高掺杂度的N+区，分别是源极和漏极。它们扩散到称作P基底(P-substrate)的低掺杂度的半导体内以与之紧密融合在一起。源极和漏极之间的距离称为沟道长度(channel length)，即图1.1中标出的L，它有时也称作有效栅极长度(effective gate length)，一般来讲比实际栅极的物理长度要短。与NMOS不同的是，PMOS通常在一个袋状的N阱外壳里制做而成。N阱外壳不是一个低掺杂度的半导体基底，而是一个被单独划分开的区域，它与P基底相比，表面可容纳相对较多的自由载流子。

在栅极下面生成一层二氧化硅(SiO_2)的目的是为了将栅极与晶体管内部的其他区域进行物理隔离。在理想情况下，不会有电荷从栅极泄漏到沟道。但是在实际情况下，当一个变化的信号(例如时钟信号)被施加在栅极上时，暂态电荷就会通过寄生在栅极和沟道间的小信号电容耦合到沟道中去。另外，栅源极电容(C_{gs})和栅漏极电容(C_{gd})会导入更多的电荷泄漏。这种现象叫作时钟馈入(clock feedthrough)。当把晶体管用在开环放大器的输入端时，这种现象尤其明显。在某些情况下，由这种电荷泄漏引起的输入电压失调甚至可能会使放大器的输出级饱和。

当晶体管被关闭时，遗留在沟道里的电荷会通过漏极和源极散布到电路的其他部分。这种现象叫作电荷注入(charge injection)，也称急遽电荷注入。由它引起的与输入信号相关的谐振噪声会影响电路的线性输出曲线。我们将在本章稍后对急遽电荷注入的原理进行分析。

如图1.1所示，NMOS的源极、漏极和P基底都是接地的。当栅极电压(V_g)小于0

(即 $V_{gs}<0$)时,正载流子(P+)积聚在栅极与氧化层下方的区域中,该区域称为*积累区*(accumulation region)。当 V_{gs} 是一个足够大的正值时,负载流子(如电子)会进入并接管这个区域,形成一个连接源极区和漏极区的沟道。换句话说,原先充斥着 P+载流子的 P 积累区此时已被转化成了由负载流子构成的 N 区。也就是说,沟道的极性已发生了反转,因此我们说晶体管此时工作在*反转区*(inversion region)。

这时候问题来了:正的 V_{gs} 值至少应该达到多少时才能够导致在源极和漏极之间形成反转的沟道?为了正确回答这个问题,我们需要了解*阈值电压*(threshold voltage)的概念。我们常用 V_{thn} 来表示阈值电压(对 PMOS,则用 V_{thp} 来表示其阈值电压)。当 $V_{gs} \geqslant V_{thn}$ 时,NMOS 器件会进入反转区工作。V_{gs} 减去 V_{thn} 的结果称为*有效漏源极电压*(effective drain-source voltage),常用符号 V_{eff} 表示。当 $0<V_{gs}<V_{thn}$($V_{eff}<0$)时,正、负载流子的密度都很低,我们说晶体管此时工作在*耗尽区*(depletion region)。

当 $V_{gs}>V_{thn}$ 时,源极和漏极之间的连接就形成了。然而,为了使电流从漏极流向源极,漏—源极电压(V_{ds})一定要大于 0。漏—源极电流(I_d)是随着 V_{ds} 的增加而慢慢增加的,而且对于一个小信号 V_{ds}($0.1\text{V}<V_{ds} \leqslant V_{eff}$)来说,$I_d$ 与 V_{ds} 之间的关系可以表示为:

$$I_d=\mu_n C_{ox}\frac{W}{L}(V_{gs}-V_{thn})\cdot V_{ds} \tag{1.1}$$

其中,μ_n 是靠近硅表面的电子迁移率[在此我们假定频率很低,因此*表层电流效应*(skin effect)[1]可以忽略不计];C_{ox} 是单位面积的栅极电容;W 是栅极宽;L 是有效沟道长度。式(1.1)表示晶体管此时工作在*弱反转区*(weak inversion region)。当 $V_{ds}<0.1\text{V}$ 时,我们通常称晶体管工作在*亚阈区*(subthreshold region)。

对于一个数值适中的 V_{ds}($0.5V_{eff}<V_{ds}<V_{eff}$)来说,我们可以证明,$I_d$ 与 V_{ds} 之间的关系可近似表示为:

$$I_d=\mu_n C_{ox}\frac{W}{L}\left[(V_{gs}-V_{thn})\cdot V_{ds}-\frac{V_{ds}^2}{2}\right] \tag{1.2}$$

我们说此时晶体管工作在*三极管区*(triode region)。从此时开始,一旦 V_{ds} 达到 V_{eff},晶体管就满足了*夹断*(pinch-off)条件[2],这意味着当 V_{ds} 大于此点(V_{eff})时,I_d 成为一个常数(一阶近似值)。在 $V_{ds}=V_{eff}$ 的夹断点,I_d 与 V_{ds} 的关系如下:

$$I_d=\mu_n C_{ox}\frac{W}{L}\frac{(V_{gs}-V_{thn})^2}{2}=\mu_n C_{ox}\frac{W}{L}\frac{V_{ds}^2}{2} \tag{1.3}$$

这就是众所周知的*平方定律 I-V 特性*(square-law I-V characteristic)。我们称晶体管此时工作在*激活区*(active region)或*饱和区*(saturation region)。

当分析工作在激活区的 MOS 晶体管的小信号模型时,我们常用到跨导(g_m)的概念,定义如下:

$$g_m=\frac{\partial I_d}{\partial V_{gs}} \tag{1.4}$$

在激活区中,MOS 晶体管的跨导可以由式(1.3)推导出下式:

4

$$g_m=\frac{\partial I_d}{\partial V_{gs}}=\mu_n C_{ox}\frac{W}{L}(V_{gs}-V_{thn})=\mu_n C_{ox}\frac{W}{L}V_{eff} \tag{1.5}$$

跨导还可以表示如下：

$$g_m=\sqrt{2\mu_n C_{ox}\frac{W}{L}I_d}=\frac{2I_d}{V_{eff}} \tag{1.6}$$

有意思的是，从式(1.6)我们看到，g_m的大小由漏极电流(I_d)与有效栅—源极电压(V_{eff})的比值决定。而且，只要我们保持该比值不变，就可以使跨导值与(W/L)的值无关。因此，大致来说，当该比值(I_d/V_{eff})固定的时候，晶体管几何尺寸的调节不会影响g_m的值。这正是我们在设计中想要看到的一个特性：在器件尺度缩小时，其电压增益和精度可保持不变(在亚微米工艺中，短沟道效应很明显，这个特性不再成立)。

再者，从式(1.5)我们知道，对于一个工艺和尺寸已定的MOS晶体管来说，其g_m值的大小主要由栅源极电压(V_{gs})控制。笼统地讲，这个特性对模拟MOS放大器的设计来说很有用处，因为这种放大器的线性性能的好坏取决于其本征增益(即$g_m R_{out}$，其中R_{out}是输出阻抗)是否能够对MOS晶体管V_{gs}的变化做紧密的跟踪。

在三极管区，MOS晶体管的跨导可以由式(1.2)求出：

$$g_m=\frac{\partial I_d}{\partial V_{gs}}\cong\mu_n C_{ox}\frac{W}{L}V_{ds} \tag{1.7}$$

其中$V_{ds}<V_{eff}$。当MOS晶体管工作在三极管区的时候，V_{ds}不受V_{gs}控制，g_m的值不再准确地跟踪和反映V_{gs}的变化，因此，和工作在激活区的情况相比，由工作在三极管区的MOS晶体管构成的模拟放大器的线性度较差。据此我们还可以得出另外一个结论，即在要求高线性度的模拟电路的设计和应用中，应尽量使信号传输路径上的所有MOS晶体管工作在激活区而非三极管区。但是，对应用MOS晶体管实现逻辑功能的数字电路来说，其对线性度的要求通常不像模拟电路那么高，它的晶体管既可以工作在三极管区，也可以工作在激活区，具体的安排由所要求达到的逻辑功能而定。

MOS晶体管的定标

在半导体光刻技术和离子注入技术的不断发展与推动下，从20世纪80年代开始，MOS晶体管的最小特征尺寸不断减小，这不但使数字CMOS电路在这段时期获得了巨大的成功，而且使片上系统(SoC)的计算速度每隔18～24月就增快一倍，此即所谓的摩尔定律(Moore's law)。

5

除了有效地使片上系统的集成度变高、成本变低之外，MOS晶体管尺寸的不断减小还使MOS晶体管的截止频率f_t得到了显著提高，从而为实现和普及基于CMOS技术的高速/高频集成系统开辟了一条康庄大道。具体来说，截止频率f_t通常定义为当晶体管的电流增益为1时的工作频率。我们可以证明的是，一个典型NMOS的截止频率可表示如下[3]：

$$f_t=\frac{g_m}{2\pi\cdot(C_{gd}+C_{gs})}\cong\frac{3\mu_n\cdot(V_{gs}-V_{thn})}{4\pi\cdot L^2} \tag{1.8}$$

由上我们可以看出，f_t正比于$1/L^2$。

然而，随着L值的不断减小，各种短沟道效应对MOS晶体管性能的影响愈加明显。这些效应对MOS晶体管有一个共同的影响，即当V_{ds}的值还未达到能够满足夹断条件的水平之前，晶体管就已进入饱和区[4]。再举个例子来说，由于NMOS器件几何尺寸的减小，源极和漏极间的电场增强，从而限制了负载流子在沟道内的行进速率。这样一来，实际的饱和漏极电流I_d的值就比根据式(1.3)算出的要小，由此得出的I-V关系也不再遵循平方定律。这个现象叫作*速率饱和*(velocity saturation)，是对晶体管特性影响最显著的短沟道效应之一。在短沟道MOS器件中，速率饱和会使I_d对L的依赖变小[3]，而且依照前文所述V_{gs}通常不受L控制，因此我们说跨导g_m也不受L的影响。在这种情况下，因为我们已经知道式(1.8)中的两个小信号电容C_{gs}、C_{gd}通常与栅极面积WL成正比，所以可以看出，在短沟道MOS器件中，f_t与L(而不是L^2)成反比。

几何尺寸的大幅度缩减不但使得MOS器件的操作不再遵循标准情况下某些关键的器件特性(例如I-V平方定律关系)，而且妨碍了CMOS电路技术的前后兼容性的实现。也就是说，过去采用长沟道CMOS工艺设计的电路，其设计参数(例如W/L的比值)已无法适用在基于短沟道工艺的新电路上，这使得*设计与工艺完全无关的*(process-independent)电路变得不现实。另外，几何尺寸的大幅度缩减，还将使得针对MOS器件物理参数进行的近似仿真工作变得更加复杂，这也是当今MOS器件建模研究领域中的主要挑战之一[5]。

MOS器件物理学领域还涵盖了许多其他的短沟道效应，例如，*氧化层击穿*(oxide breakdown)，*漏极引发能障衰退*(drain-induced barrier-lowering)，*热载流子效应*(hot carrier effect)，以及*穿通效应*(punch-through)等[3,5]。另外，在实际工程设计和应用中，不能忽略像*沟道长度调制*(channel-length modulation)和*亚阈导通*(subthreshold conduction)等在长沟道和短沟道工艺中都常见的二阶现象。由于篇幅限制，本书无法对上述效应做详细分析，有兴趣的读者可以参阅相关的参考文献。在第6章学习开关电容Dickson DC-DC变换器时，我们将对另一个重要的二阶效应——*基体效应*(body effect)做简单介绍。

6

1.3 MOSFET 开关

导通电阻

在基于CMOS技术实现的开关电容电路中，MOSFET开关可以用以下三种方法之一来实现：采用NMOS、采用PMOS或采用含有两个互补晶体管(即一个NMOS和一个PMOS)的CMOS传输门来实现。

为使一个NMOS导通，加在其栅极上的时钟信号幅度通常应上升至电源电压(V_{dd})，从而使($V_{gs}-V_{thn}$)大于V_{ds}。我们说此时晶体管工作在三极管区，而且I_d与V_{ds}

之间的关系可用式(1.2)来表达。如果我们在这里忽略基体效应，那么只要将 V_{ds} 除以 I_d 就可以得到晶体管的等效漏源极电阻(即导通电阻)，如下所示：

$$R_{on}=\frac{V_{ds}}{I_d}=\frac{1}{\mu_n C_{ox}\frac{W}{L}\left(V_{gs}-V_{thn}-\frac{V_{ds}}{2}\right)}\cong\frac{1}{\mu_n C_{ox}\frac{W}{L}(V_{gs}-V_{thn})}\tag{1.9}$$

在式(1.9)中我们假定 $(V_{gs}-V_{thn})$ 远大于 V_{ds}，此时，开关可以被看作是一个电阻。重温式(1.1)，我们可以看到，只有当加在 NMOS 栅极上的时钟信号幅度接近 V_{dd} 时，式(1.9)的推导才能完全成立。

在实际工程应用中，对导通电阻 R_{on} 的数值做预估是很有用处的。许多工艺中都有较大的导通电阻。例如，若我们假设 $V_{dd}=3.3V$，$V_{in}=1V$，$\mu_n C_{ox}=30\mu A/V^2$，$W/L=1$，$V_{thn}=0.7V$，那么根据前面的公式，我们可得出 R_{on} 大概是 21kΩ 。如果我们这时将基体效应考虑进来，那么阈值电压将增大，而且导通电阻将变得更大。此外，R_{on} 的值还会随着输入信号幅度的增加而增加。举例来说，如果我们若在前面的计算中，令 $V_{in}=2.5V$，那么 R_{on} 的值将会升高至 333kΩ 。这么大的电阻将导致所需的电容充电稳定时间长得不合实际，因此在大多数 SC 应用中都难以采纳。值得一提的是，典型 PMOS 的 $\mu_p C_{ox}$ 的值大约为 NMOS 的 $\mu_n C_{ox}$ 值的 1/3，因此在实现低导通电阻的开关时，PMOS 不如 NMOS 适用。

7

然而在减小导通电阻的能力方面，CMOS 传输门比 NMOS 和 PMOS 两者都更胜一筹。这一点从直觉上应该是很好理解的，我们只要假设一个 CMOS 传输门中的 PMOS 和 NMOS 都是导通的，则这个导通的 CMOS 传输门就可以被看成是由两个电阻并联而成的：一个是 R_{onn}(NMOS 的导通电阻)，另一个是 R_{onp}(PMOS 的导通电阻)。不仅如此，只要电源电压 (V_{dd}) 大于 PMOS 和 NMOS 的阈值电压绝对值之和，则不管输入信号电平 (V_{in}) 的值为何，当时钟信号上升至 V_{dd} 时，至少会有一个晶体管导通。但是，在第 7 章我们将看到，在低压 SC 电路的设计和应用中，这个条件往往得不到满足，在这种情况下我们需添加一些辅助性的器件或子电路，以保证在时钟信号幅度上升至 V_{dd} 时开关能够导通。

kT/C 噪声

在上文中我们曾提到，在开关导通期间，开关可以被看作是一个电阻，其阻值的计算已由式(1.9)给出。该电阻 R_{on} 的等效热噪声的单边、类白噪声的功率谱密度可表示如下[6]：

$$\frac{\overline{V_n^2}}{\Delta f}=4kTR_{on}\tag{1.10}$$

其中，k 是玻尔兹曼常数(Boltzmann's constant)($k=1.38\times10^{-23}JK^{-1}$)，$T$ 是采样时钟周期。实际应用中大多数 MOS 开关主要用在采样网络中，这种网络通常具有一个等效采样电容 C_s，在开关导通的时间段内输入信号会对其充电。在充电的同时，开关的热噪声将经过一个由 R_{on} 和 C_s 构成的一阶低通滤波器处理。该滤波器的传递函数是：

$$H(j\omega)=\frac{1}{1+j\omega R_{on}C_s} \tag{1.11}$$

因此，滤波器输出端的总噪声功率可通过将低通滤过的（或限带的）噪声功率谱密度正向无穷积分获得，即：

8

$$\begin{aligned}\overline{V_{out}^2} &= \frac{1}{2\pi}\int_0^{\infty}|H(j\omega)|^2\,\overline{V_{in}^2}\,d\omega = \frac{1}{2\pi}\int_0^{\infty}\frac{4kTR_{on}}{1+(\omega R_{on}C_s)^2}d\omega \\ &= \frac{2kTR_{on}}{\pi}\cdot\left(\frac{1}{R_{on}C_s}\right)\cdot \arctan(\omega R_{on}C_s)\Big|_{\omega=0}^{\omega=\infty} \\ &= \frac{kT}{C_s}\end{aligned} \tag{1.12}$$

这就是 kT/C 噪声（kT/C noise）名称的来由，有时也称作采样噪声（sampling noise）。有趣的是，我们可以看出滤波器输出端的总噪声功率值与实际的导通电阻 R_{on} 的大小无关。这是因为当热噪声功率密度随着导通电阻 R_{on} 增大而增加的时候，滤波器的噪声带宽（noise bandwidth）也在按照相同的比例缩小，其表达式如下：

$$f_n=\frac{\pi}{2}f_{-3dB}=\frac{\pi}{2}\frac{1}{2\pi R_{on}C_s}=\frac{1}{4R_{on}C_s} \tag{1.13}$$

值得一提的是，如果我们把按照式(1.10)求出的谱密度与上面的噪声带宽相乘，可以得出总噪声功率如下：

$$\overline{V_{out}^2}=\overline{V_{in}^2}f_n=4kTR_{on}\cdot\frac{1}{4R_{on}C_s}=\frac{kT}{C_s} \tag{1.14}$$

这和由式(1.12)得到的结果相同。而且，我们看到对一个定值 R_{on} 来说，总输出噪声功率随着时钟周期 T 的减小而减小。也就是说，如果输入信号被过采样且过采样因子是 M，那么在输出端得到的噪声功率 kT/C 的值也会相应地按照同一个比例因数 M 减小。在第 5 章我们将看到，正是基于这样的原理，我们可以利用过度采样（即采样频率比奈奎斯特频率高出几十甚至上百倍）技术来有效地抑制模数转换器（ADC）中类似白噪声的量化噪声。

电荷注入

当 MOS 晶体管导通时，它工作在三极管区，而且其漏源极间的电压降通常很小。当其关断时，在其栅极下方的反转沟道里，将有一定数量的剩余电荷扩散到漏极、源极和基底中。我们可以证明，当时钟波形下降沿的斜率接近无穷大或当晶体管的沟道长度很长时，注入到基底的电荷数量将变得更为显著[7]。但这两种情况在实际的 SC 电路设计和应用中都很少见，因此，我们在本书的讨论中将忽略基底电荷泄漏的影响。

9

如果 MOS 开关用于采样输入信号（例如用作采样保持电路中的采样开关），那么在其关断期间向输入结点注入的电荷对保持电压值其实没有影响，因此我们也可以将其忽略。但是需要注意的是，沿着相反方向流动的电荷是不可忽略的，因为这种电荷注入在保持电压中引入了偏差。总的沟道注入电荷会如何在源极和漏极间分摊是一个 MOS 器件建模问题，对它的解答涉及如时钟波形下降沿斜率、输入输出电容的比值

(C_{in}/C_{out})、漏源极电压(V_{ds})等许多参数[8]。基本理论是，当时钟波形下降沿的斜坡很陡时，在V_{ds}找到机会来施加影响之前，沟道就已经被关断了，因此沟道电荷就在漏极和栅极间均分。相反，如果时钟信号下降趋势很缓慢，那么将出现电容性分压的现象，即电压V_{ds}会起作用，将按照电容比(C_{in}/C_{out})来分配由沟道泄漏出来的电荷。

其实，不管时钟信号的下降速度有多快，在两极之间精确地平分沟道电荷的目标是不大可能实现的。但在粗略的估算中，为了方便理解与分析问题，我们通常假设沟道电荷能够被等量分配到漏极和栅极两端。基于这个假设，MOS电路设计研发人员提出了各式各样的方案，用以减轻或补偿从输入端向电路主体注入的电荷对电路性能的影响。应用CMOS传输门是可选的方案之一，但是此方案要求输入信号的直流电压幅度一直保持在$V_{dd}/2$附近。图1.2所示是另一种可选的电荷注入补偿方案，它建议在主开关的后面加一个虚拟开关[9]。从图1.2可见，这个虚拟开关的尺寸被设置成了主开关尺寸的1/2，而且其漏极和栅极是短路在一起的。根据上述讨论，当主开关关断时，沟道电荷的一半会通过虚拟开关流向保持电容(C_s)。这里需要注意的是，加在虚拟开关栅极的信号通常应该和clk信号互补，而且与clk相比它还应该有点延迟，以保证在虚拟开关关断之前，主开关已经导通。这么设置的目的是为了使虚拟开关的注入电荷能被输入信号V_{in}所压制，从而不会对输出电压V_{out}造成任何有实际意义的影响。当clk信号下降时，尽管我们已知虚拟开关的漏极和栅极是短路的，但实际上此时其栅极下面还是会形成一个沟道并会产生相应的沟道电荷。在理想情况下，由虚拟开关产生的沟道电荷的一半可以完全抵消由主开关产生的注入电荷（注意：两种电荷的极性相反）。但实际电路不可避免地存在一些非理想特性，譬如时钟波形下降沿斜坡的斜率不够大和基体效应等，因此尺寸比为1/2的开关设置很少能够达到完全抵消注入电荷的效果[2,9]。无论如何，MOS开关尺寸比的最优化依然是一个相当复杂的器件建模问题，它需要涉及繁重的数学计算（其中要用到许多器件的参数），因此在实际应用中人们还是要依靠电脑仿真来找出这个问题的最佳答案。在第3章介绍采样保持电路的时候，我们将讨论另外几种减轻或补偿电荷注入效应的技术。

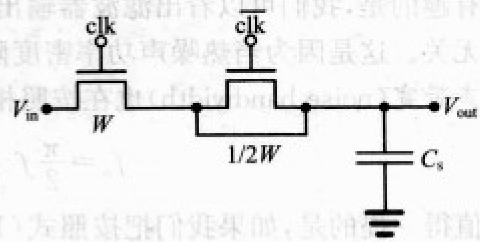


图1.2　用虚拟开关来补偿电荷注入效应

[10]

1.4　MOSFET电容

本节讨论当MOS晶体管用作电容时的几点特性。类似前文所述，MOSFET电容通常可以工作在三个不同的区域：积累区、耗尽区和反转区。

当使用NMOS来实现电容时，我们应该知道若其栅极电压为负，则其工作在积累区。当晶体管工作在积累区时，负栅极电压将空穴从基底引向氧化物—栅极的交接

面。这样一来，栅极和基底电极(即氧化物)就构成了一个电容，它的厚度为 t_{ox}，其两个极板间的电压为 V_{gb}。它的电容值可由下式求出[10]

$$C_{equ}=C_{ox}WL \tag{1.15}$$

其中，C_{ox}是单位面积氧化层的电容值，W 是晶体管的栅极宽度，L 是栅极有效长度。

当晶体管工作在耗尽区时，其栅极电压较小(接近 0)。虽然此时栅极电压为正电压，但是只能吸引很少的电子流向氧化物—栅极的交接面。因此这个"电池"容纳不了多少电子，从而使其等效电容相对偏小。

当在栅极上加一个较大的正向电压时(大于 2 倍的费密势或者基本与阈值电压 V_{thn} 相等)，氧化物—栅极的交接面下的沟道中流动的负载流子(电子)就会增加，因此，晶体管的等效电容值也会增大。图 1.3 所示为一个 MOSFET 电容随栅源极电压变化的曲线。我们需要注意的是，图中 V_{fd} 表示平带电压(flat-band voltage)[10]，它是积累区和耗尽区之间的分界线；V_{th} 表示阈值电压，如前所述，它把反转区和耗尽区分隔开来。

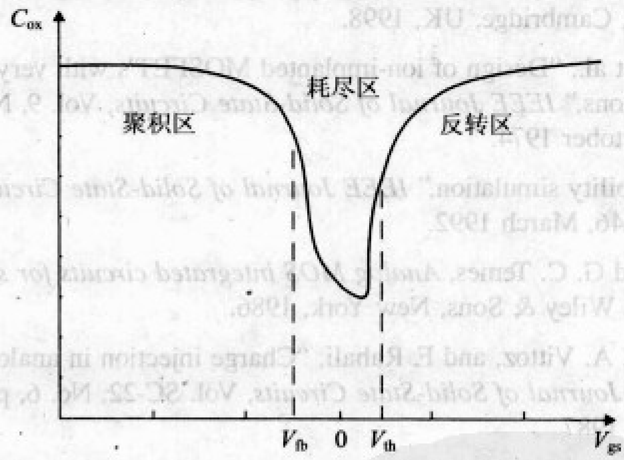


图 1.3 MOSFET 电容随电压变化的特性曲线

在第 3 章中我们将看到，开关电容(SC)电路中通常需要用到相当精确的电容比。在考虑 SC 电路中电容的实现问题时，我们应该明白基于标准 MOSFET 实现的电容不能满足精度的要求，因为对于用 MOSFET 实现的电容来说，其电容值会随着 MOS 栅源极电压的变化而产生明显的变化。在实际的工程设计中，MOS 集成电容几乎全是采用几何精度高的多晶硅来实现的。然而，CMOS 物理工艺存在着各种各样的非理想特性如过腐蚀(overetching)、寄生耦合(parasitic coupling)及过度侧向扩散(excessive lateral diffusion)等[1,2,6]，因此即使应用了多晶硅，实现精确的电容比值还是很具挑战性的。我们常把由这些工艺非理想特性导致的电容比值上的误差称作**电容失配误差**(capacitor mismatch error)。在 IC 生产的掩模开发阶段(亦称电路布线阶段)，电路工程师需要遵从某些特定的设计准则来确定电路的几何尺寸和布线配置，从而使电容失配误差对电路精确性的影响得到有效的减小。关于这些有效的布线设计准则的细节，请读者参考文献[11]。进一步来说，在设计精度要求很高的开关电容电路时(例如 SC

数据转换器)，我们不应该等到布线阶段才开始考虑补偿电容失配误差，而是应该在电路设计之初就开始考虑在核心电路周围加建辅助的电路器件，以达到减少电容失配误差的目的(即在电路设计阶段就做到对电容失配误差的补偿)。这些辅助的电路器件的功能通常被称作失配误差补偿(mismatch error compensation 或 mismatch error cancellation)，我们将在第5章了解它的概念。

12

参考文献

[1] J.-Y. Chen, *MOS devices and technologies for VLSI*, Prentice Hall, Englewood Cliffs, NJ, 1990.

[2] Y. Tsividis, *Operation and modeling of the MOS transistor* (2nd Ed.), McGraw-Hill, New York, 1999.

[3] T. H. Lee, *The design of CMOS radio-frequency integrated circuits*, Cambridge University Press, Cambridge, UK, 1998.

[4] R. H. Dennard et al., "Design of ion-implanted MOSFET's with very small physical dimensions," *IEEE Journal of Solid-State Circuits*, Vol. 9, No. 5, pp. 256–268, October 1974.

[5] C. Hu, "IC reliability simulation," *IEEE Journal of Solid-State Circuits*, Vol. 27, No. 3, pp. 241–246, March 1992.

[6] R. Gregorian and G. C. Temes, *Analog MOS integrated circuits for signal processing*, John Wiley & Sons, New York, 1986.

[7] G. Wegmann, E. A. Vittoz, and F. Rahali, "Charge injection in analog MOS switches," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 6, pp. 1091–1097, December 1987.

[8] B. Sheu, J. Shieh, and M. Patil, "Modeling charge injection in MOS analog switches," *IEEE Trans. on Circuits and Systems*, Vol. CAS-34, No. 2, pp. 214–216, February 1987.

[9] J. McCreary and P. R. Gray, "All MOS charge redistribution analog-to-digital conversion techniques—Part 1," *IEEE Journal of Solid-State Circuits*, Vol. SC-10, No. 6, pp. 371–379, December 1975.

[10] S. M. Sze, *Semiconductor devices, physics and technology*, John Wiley & Sons, New York, 1985.

[11] A. Hastings, *The art of analog layout* (2nd Ed.), Prentice Hall, Englewood Cliffs, NJ, 2005.

13

第 2 章
运算放大器

2.1 引言

运算放大器可以算得上是模拟电路中最重要、最为电路设计工程师所重视的元件了。正因为如此，在集成电路(IC)领域中，运算放大器的设计始终是电路设计工程师和研究人员们津津乐道的话题之一。也正因为如此，当今图书市场中不乏各种各样的教科书和设计手册，专门针对这个话题进行深入讨论，并罗列出大量的运算放大器设计实例。因此，为避免冗余重复，本章对现代 CMOS 运算放大器设计中常用的拓扑结构只作概述，不进行深入探讨。

本章提要

本章结构如下：2.2 节介绍两级式运算放大器的基本原理；2.3 节讨论共源共栅型运算放大器的拓扑，例如套筒式、折叠式的共源共栅运算放大器。

2.2 两级式运算放大器

两级式运算放大器(运放)通常由两个级联的运放组成：第一级是快速暂态响应的开环级，第二级则是高增益的、暂态响应较慢的闭环级。一般来说，两级式运放电压总增益为两级电压增益之积。图 2.1 为一典型的经过补偿的两级 CMOS 运算放大器(图中没有画出专为阻性负载而设的输出缓冲器)。我们在设计中对两级式运算放大器进行补偿，不仅是为了确保其线性稳定性[此性质常通过**相位裕量**(phase margin)和**增益裕度**(gain margin)来表征与衡量]，而且是为了确保其在处理快速变化的输入信号的时候，能够使输出电平迅速逼近指定值[此性质常通过**单位增益带宽**(unity-gain bandwidth)和**转换速率**(slew rate)来表征与衡量]。

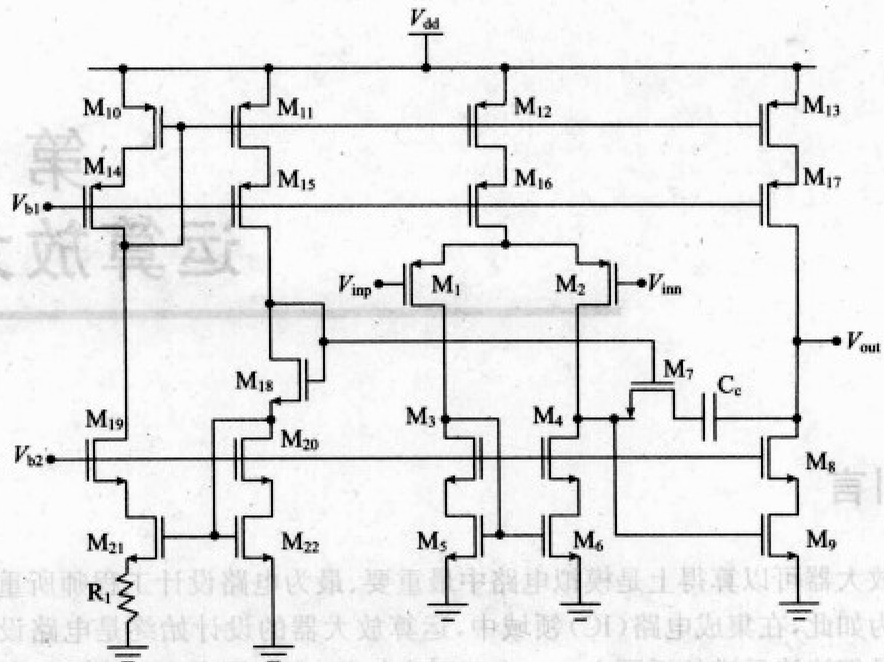


图 2.1　经过补偿的两级 CMOS 运算放大器

图 2.1 所示的运算放大器中包含了两种不同的补偿结构：一种叫作 Miller 补偿(Miller compensation)，亦称主次极点分离补偿(pole-splitting compensation)；另一种叫作超前补偿(lead compensation)，亦称 RHP 零点抵消补偿(right-half-plane zero cancellation)。前者通过补偿电容(亦称 Miller 电容)C_c实现，后者则通过图 2.1 中的 NMOS M_7实现。该 NMOS 工作在三极管区内，其导通阻抗 R_c为

$$R_c = \frac{1}{\mu_n C_{ox}\left(\frac{W}{L}\right)_7 (V_{gs7} - V_{thn})} \tag{2.1}$$

研究高频小信号运算放大器的模型[1]，将有助于我们理解两级式运算放大器的补偿原理。采用文献[1]中的高频小信号模型来分析上图所示的两级式运放，我们可以对该补偿结构的基本理念作如下描述：如果 NMOS 管 M_7被短路(即 $R_c=0$)，那么这个两级式运放的频响函数会有两个极点和一个零点，它们可近似表示如下：

$$\omega_{p1} \cong \frac{1}{g_{m9} R_1 R_2 C_c}, \quad \omega_{p2} \cong \frac{g_{m9}}{C_1 + C_2 + C_1 C_2 / C_c}, \quad \omega_z \cong -\frac{g_{m9}}{C_c} \tag{2.2}$$

其中 ω_{p1}是低频极点(亦称主极点)，ω_{p2}是高频极点(亦称次极点)，ω_z是位于 s 平面右半边(RHP)的零点($\omega_z>0$)，R_1是第一级的等效输出阻抗，R_2是第二级的等效输出阻抗，C_1是第一级输出端的等效电容，C_2是第二级输出端的等效电容。

当 g_{m9}的值增大时，ω_{p1}和 ω_{p2}会因此相互远离，这种现象叫作主次极点分离(pole splitting)。主次极点分离也可通过增大 C_c的值来实现，但其效果不如通过增大 g_{m9}的

值来得明显。我们根据反馈系统基本理论可发现，这两个极点（ω_{p1}和ω_{p2}）在ω轴上相互远离而产生的效果之一是整个运放系统的相位裕量得到了增加。进一步来看，我们知道相位裕量是否足够大是判断一个线性反馈系统是否稳定的最常用的（尽管并不是最准确可靠的）判断工具，因此在实际设计应用中，我们通常认为加强主次极点分离的力度（即增大相位裕量）将有助于改善整个运放的稳定性。

换个角度来看，我们从式(2.2)可以发现，如果增大输出负载电容C_2的值，则会使ω_{p2}迅速向ω_{p1}靠近（从而减少相位裕量）。因此，在工程设计中一般不建议用两级式运放来直接驱动高容值的容性负载（例如大于10pF的容性负载）。

在运放系统中存在的RHP零点ω_z是大多数工程师所不希望看到的，因为它会在系统传递函数中引入一个相位滞后（减小相位裕量），从而可能导致系统不稳定。为了减小RHP零点对整个运放的影响，最简单的办法是利用M_7（即利用其等效电阻值R_c）来引入一个相位超前，从而补偿缘自RHP零点的相位滞后。这种方法因此常被称为超前补偿（lead compensation）。当我们在电路中引进一个非零的R_c之后，可以推断运算放大器传输函数的零点已经变为：

$$\omega_z = \frac{1}{C_c\left(\frac{1}{g_{m9}} - R_c\right)} \tag{2.3}$$

从原理上讲，为了完全抵消RHP零点对运放的影响，我们需要使$R_c = 1/g_{m9}$。通过利用式(2.1)及一个众所周知的跨导公式，我们可得：

$$\frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_9} = \frac{(V_{gs9} - V_{thn})}{(V_{gs7} - V_{thn})} = \frac{V_{eff9}}{V_{eff7}} \tag{2.4}$$

这里需要注意的是，为了让以上的推论成立，M_9必须始终工作在激活区。在本章结尾的附录2.1中，作者列出了应用MATLAB来分析两级式运放中主次极点分离和RHP零点抵消这两种现象的源程序范例。

值得一提的是，在设计图2.1所示运放的直流偏置电路的过程中，电阻R_1上的电压降值应被设置成与M_9的有效漏—源极电压V_{eff9}值相等。而且，V_{eff9}还应被设置得与V_{eff5}和V_{eff6}大小一样。这样做的原因之一，是为了使运放的直流电压失调最小化（运放的直流电压失调常被定义为在差分输入电压为零时的输出电压）[2]。

下面，我们继续发掘与两级式运放稳定性有关的参数。记得上文中曾提到，运放的线性稳定性能可由其单位增益带宽（unity-gain bandwidth，UGBW）的值来反映。图2.1所示两级式运放的单位增益带宽近似于g_{m1}/C_c。这里有一个前提条件，即C_c（Miller电容）的阻抗值须在第一级运放的输出阻抗总值中占主导地位，这样的话，两级式运放的电压增益响应函数就可以简化为

$$A_{overall}(s) = A_1A_2 \cong g_{m1}\left(\frac{1}{sA_2C_c}\right)A_2 = \frac{g_{m1}}{sC_c} \tag{2.5}$$

如果我们令上式的绝对值等于1，那么运放的单位增益带宽值就可确定，即ω_{UGBW}

$=g_{m1}/C_c$。

转换速率 SR(slew rate)是决定运算放大器稳定性的另一个重要因素。转换速率亦称非线性逼近速率(nonlinear settling rate),其定义是:当幅摆较大的差分信号输入到运放时,运放输出端电压所能达到的最大变化速率。如果我们假定图 2.1 所示两级式运放的 C_c远大于 C_1和 C_2,则此运放的转换速率可表示为:

$$SR=\left.\frac{dV_{out}}{dt}\right|_{max}=\left.\frac{d(Q/C_c)}{dt}\right|_{max}=\frac{I_{C_c_max}}{C_c} \tag{2.6}$$

式中 $I_{C_c_max}$表示可以通过 Miller 电容 C_c 的最大电流值。在图 2.1 所示的两级式运放里,当大差分信号施加到其输入器件 M_1和 M_2上时,M_1和 M_2二者之一会被关断。进一步来说,对 Miller 电容进行充放电时可能出现的最大电流值,其实就等于 M_1和 M_2二者之一被断开后 M_{12}或 M_{16}晶体管的直流电流值,因此运放的转换速率值可以由 I_{d12}/C_c或 I_{d16}/C_c来近似。

从上面的分析我们可以看出,在实际设计过程中,工程师需要在改善运放的稳定性和提高信号处理速度这两种设计方向之间掌握好一个平衡点。举个具体的例子,如果我们假设图 2.1 所示的两级式运放的总偏置电流值已定,增大 C_c将使运放系统更加稳定,但与此同时它的单位增益带宽和转换速率都会被减少。 18

2.3 套筒式和折叠式共源共栅运算放大器

套筒式和折叠式共源共栅运算放大器同属于共源共栅型运算放大器拓扑。典型的共源共栅型运算放大器通常在其输出级中采用多个晶体管堆叠,这样做不但能够达到增加输出阻抗的目的,还可以扩大运放的直流电压增益的增值空间。图 2.2a 和图 2.2b 所示分别是套筒式和折叠式共源共栅 CMOS 运算放大器的标准结构,这两种运放都是全差分配置。为简化起见,图中没有显示共模反馈(common-mode feedback,简称 CMFB)电路。

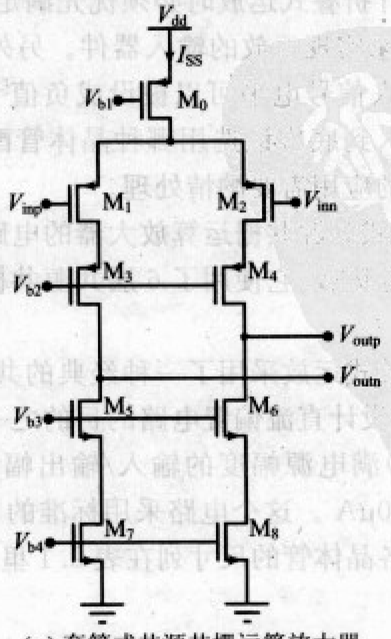
我们先来分析图 2.2a 所示的套筒式运算放大器[3]。这里需要注意的是,这种运放的单位增益带宽的值(即其主极点频率位置)是由其输入端 PMOS 的跨导值(g_{m1}或 g_{m2})和其输出端的负载电容(图中未显示)一起决定的,而它的次极点频率位置则反比于图 2.2a 中第三层晶体管,即 PMOS(M_3或 M_4)的源极的阻抗值与寄生电容值的乘积(时间常数)。该 PMOS 源极的阻抗值近似于它的跨导值的倒数,而其源极寄生电容则由它的 C_{gs}及与之在同一支路上的输入端 PMOS 的 C_{gd}和 C_{db}构成。换句话说,在这种运放结构中,主极点与次极点频率位置由同一类的晶体管的特性决定(上文举的是由 PMOS 决定的例子)。 19

在直流电流值和尺寸值都相同的条件下,较之 PMOS,NMOS 通常更适合作为套筒式运算放大器的输入器件。这主要是因为在直流电流值和尺寸值都相同的条件下,NMOS 的跨导值比 PMOS 的跨导值大,因而更利于实现较高的电压增益和较大的单位

增益带宽。然而需要指出的是，无论选用哪种输入晶体管，套筒式运放的转换速率较之于其他运放如两级式运放都显得慢，这是所有共源共栅型运算放大器拓扑（包括折叠式）的一个通病。此外，对于图 2.2a 所示的套筒式运放来说，将输出和输入偏置到同一直流电压水平的想法几乎是不可能实现的。这是因为信号从 M_1（或 M_2）的栅极经过 M_3（或 M_4）传输到 V_{outn}（或 V_{outp}）的过程中会损失一定的直流压降，该压降近似于 $|V_{thp}|+V_{eff1}+V_{eff3}$（或 $|V_{thp}|+V_{eff2}+V_{eff4}$）。

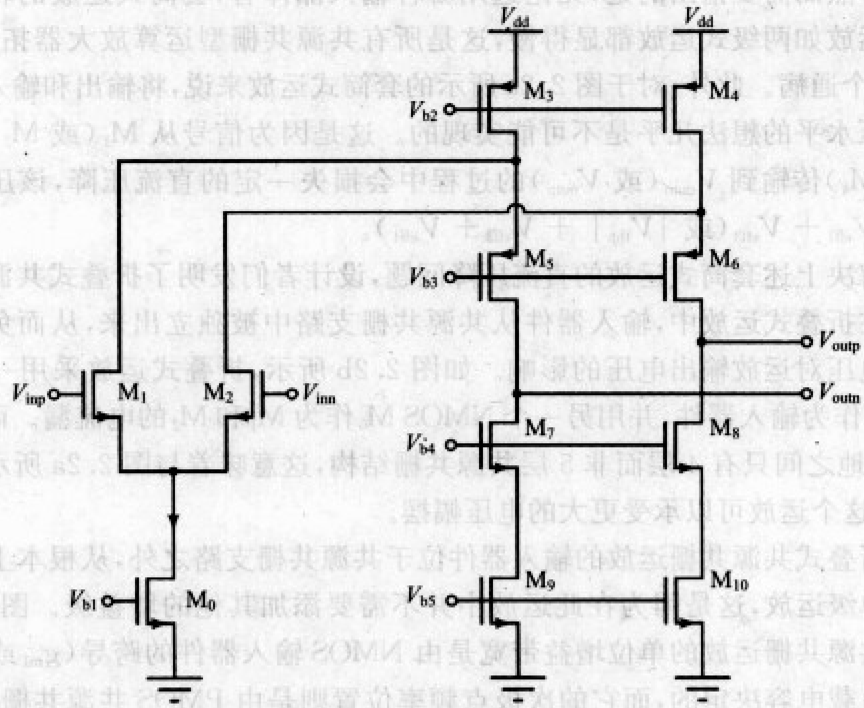
为了解决上述套筒式运放的直流压降问题，设计者们发明了折叠式共源共栅运算放大器。在折叠式运放中，输入器件从共源共栅支路中被独立出来，从而免除了其有效漏源极电压对运放输出电压的影响。如图 2.2b 所示，折叠式运放采用一对 NMOS（M_1 和 M_2）作为输入器件，并用另一个 NMOS M_0 作为 M_1 和 M_2 的电流漏。而且我们看到在 V_{dd} 与地之间只有 4 层而非 5 层共源共栅结构，这意味着与图 2.2a 所示的套筒式运放相比，这个运放可以承受更大的电压幅摆。

尽管折叠式共源共栅运放的输入器件位于共源共栅支路之外，从根本上来说这种运放还是单级运放，这是因为在此运放中并不需要添加其他的增益级。图 2.2b 所示的折叠式共源共栅运放的单位增益带宽是由 NMOS 输入器件的跨导（g_{m1} 或 g_{m2}）及其输出端的负载电容决定的，而它的次极点频率位置则是由 PMOS 共源共栅晶体管 M_5 或 M_6 的源极寄生电容和阻抗决定的。我们可以发现，这个运放的主、次极点频率位置和其他参数的关系与前文所述的套筒式运放相似，不过还需要注意的是：与套筒式运放不同，折叠式运放的主、次极点分别是由不同类型的晶体管来决定的。我们也可以改用一对 PMOS 管来作为输入管，这样一来运放的主、次极点频率位置将分别由一对 PMOS 输入管和一个 NMOS 共源共栅管来决定。



(a) 套筒式共源共栅运算放大器

图 2.2



(b) 折叠式共源共栅运算放大器

图 2.2　(续)

与套筒式运放相似，如果我们在设计折叠式运放时必须优先满足大单位增益带宽和小尺寸的指标，那么就应该选用 NMOS 而不是 PMOS 来实现运放的输入器件。换个角度来看，如果我们在设计折叠式运放时必须优先满足大相位裕量和低闪变噪声的指标，那就应该选用 PMOS 来实现运放的输入器件。另外，采用 PMOS 输入器件还有一个好处，即运放的共模输入信号电平可以被设成负值[2]。总而言之，与套筒式运放不同，对于折叠式运放的输入到底应该选用哪种晶体管配置这个问题，其实没有绝对的答案，我们必须基于具体的应用需要酌情处理。

图 2.3 所示为一个折叠式共源共栅运算放大器的电路设计实例(图中未显示共模反馈电路)。这是一个全差分运放，它使用了 6 层共源共栅结构，这样设计的主要目的是为了获得高电压增益。

值得注意的是，这个折叠式运放采用了一种经典的共源共栅电流镜技术[4]。采用这种共源共栅电流镜技术来设计直流偏置电路的目的之一，是为了最大限度地利用有限的供电电压以获得(近似)满电源幅度的输入/输出幅摆空间。在图 2.3 所示电路里，偏置电流 I_{bias} 被设定为 50μA 。这个电路采用标准的 MOSIS 5V/0.6μm CMOS 工艺制造而成，其中所包含的各晶体管的尺寸列在表 2.1 里。

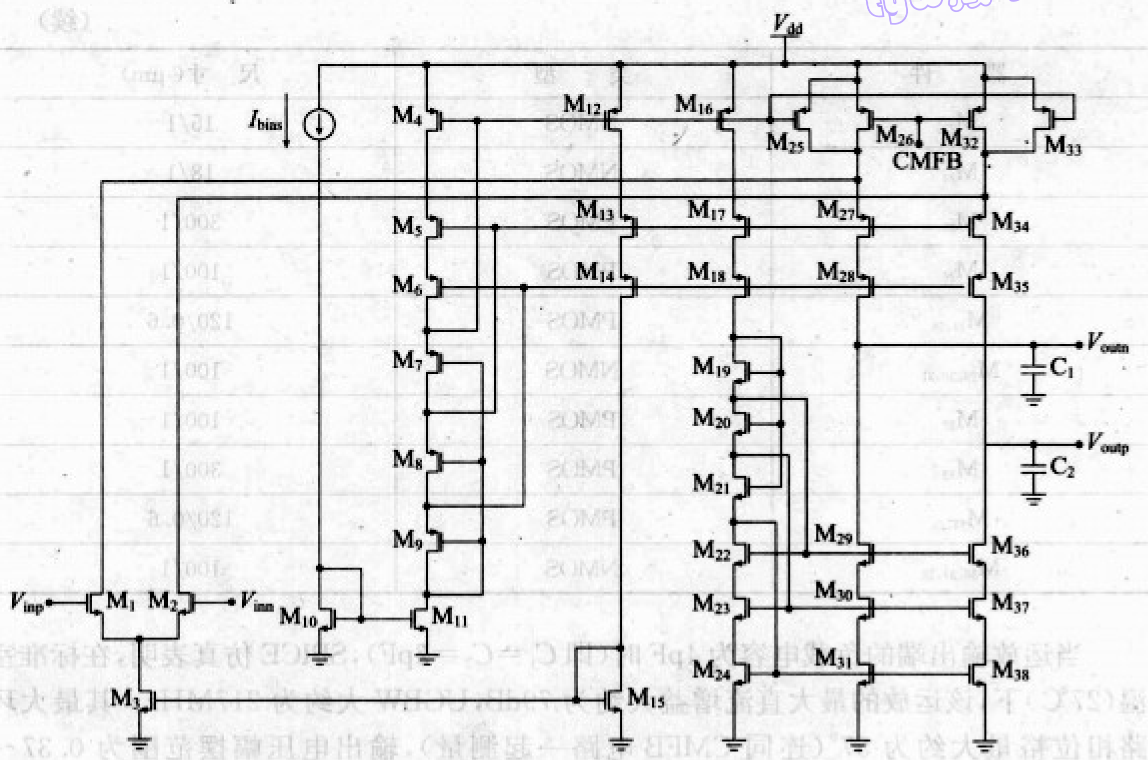


图 2.3 折叠式共源共栅运算放大器设计实例

表 2.1 折叠式运放的晶体管尺寸

器 件	类 型	尺 寸(μm)
$M_{1,2}$	NMOS	400/1
M_3	NMOS	200/1
$M_{4,5,6}$	PMOS	20/1
M_7	PMOS	20/5
M_8	PMOS	20/3
M_9	PMOS	20/1
$M_{10,11}$	NMOS	20/1
$M_{12,13,14}$	PMOS	20/1
M_{15}	NMOS	10/1
$M_{16,17,18}$	PMOS	20/1
M_{19}	NMOS	8/1
M_{20}	NMOS	8/3
M_{21}	NMOS	8/5
M_{22}	NMOS	12/1

（续）

器　件	类　型	尺　寸（μm）
M_{23}	NMOS	15/1
M_{24}	NMOS	18/1
M_{25}	PMOS	300/1
M_{26}	PMOS	100/1
$M_{27,28}$	PMOS	120/0.6
$M_{29,30,31}$	NMOS	100/1
M_{32}	PMOS	100/1
M_{33}	PMOS	300/1
$M_{34,35}$	PMOS	120/0.6
$M_{36,37,38}$	NMOS	100/1

21~22

当运放输出端的负载电容为4pF时（即 $C_1=C_2=2\text{pF}$），SPICE仿真表明，在标准室温（27℃）下，该运放的最大直流增益大约为79dB，UGBW大约为217MHz。其最大环路相位裕量大约为57°（连同CMFB电路一起测量），输出电压幅摆范围为0.37～4.98V。需要提出的是，此设计为示范举例用，并非最佳方案，有兴趣的读者可以尝试将之优化改进。

在众多高速度、高精度的模数信号应用中（例如视频或ADSL数据转换器），对运放电压增益的高要求往往超出了传统CMOS单级运放拓扑的极限。有些应用还要求CMOS高增益运放必须能够实现相当大的单位增益带宽，这往往使设计者对采用多级结构或级联结构望而却步，因为多级结构中的级间补偿将不可避免地降低整个运放的速度。为了打通这个瓶颈，目前工程师们最常用的一个增益增强技术，是采用一个高速度放大器（亦称辅助放大器）来辅助核心的主单极运放，以增大主单极运放的输出阻抗从而达到拉升总增益的目的，而不需要牺牲原有单极运放的速度[3,5]。

23

附录 2.1

本附录描述如何利用MATLAB程序分析一个标准差分输入、单端输出的两级式运放，我们将重点放在理解主次极点分离和RHP零点抵消这两种现象上。在分析主次极点分离现象时，我们取 $R_c=0$，将 C_c 的值从0扫描到30pF。在分析RHP零点抵消现象时，我们取 $C_c=10\text{pF}$，将 R_c 的值从0扫描到300Ω。这里假设输入跨导电容的跨导为 $g_m=0.01\text{S}$，第一级的输出阻抗为 $R_1=100\text{k}\Omega$，第二级的输出阻抗为 $R_2=20\text{k}\Omega$、$C_1=1\text{pF}$、$C_2=3\text{pF}$。程序源代码如下：

```
% MATLAB analysis of pole splitting, using Rc = 0 and sweep Cc.%
clear all;
close all;
gm1=0.01;
gm2=0.01;
R1=100000;
R2=20000;
C1=1e-12;
C2=3e-12;

for Cc=0:1e-13:30e-12
  a1=R1*R2*(C2*C1+Cc*C2+Cc*C1);
  a2=(C2+Cc)*R2+(C1+Cc)*R1+gm2*R1*R2*Cc;
  A=[a1, a2, 1];
  plot(real(roots(A)), imag(roots(A)), 'X');
  title('POLE SPLITTING: THE MOTION OF POLE (SWEEPING Cc FROM 0 TO
30pF)');
  xlabel('REAL');
  ylabel('IMAGINARY');
  hold on;
% MATLAB analysis of RHP zero cancellation, using Cc = 10pF and
sweep Rc. %

close all;
Cc=10e-12;

for Rc=0:10:300

  a1=R1*R2*Rc*C1*C2*Cc;
  a2=R1*R2*(C1*C2+Cc*C1+Cc*C2)+Rc*Cc*(R1*C1+R2*C2);
  a3=R2*(C2+Cc)+R1*(C1+Cc)+Rc*Cc+gm2*R1*R2*Cc;
  A=[a1, a2, a3, 1];
  figure(1)
  subplot(2,1,1),
  plot(real(roots(A)), imag(roots(A)), 'x');
  title('RHP ZERO CANCELLATION: THE MOTION OF POLE (SWEEPING Rc FROM
0 TO 300)');
  xlabel('REAL');
  ylabel('IMAGINARY');
  hold on;
  b1=-gm1*Cc*R1*R2+gm1*gm2*R1*R2*Cc*Rc;
```

```
 b0=gm1*gm2*R1*R2;
 B=[b1, b0, 1];
 subplot(2,1,2),
 plot(real(roots(B)), imag(roots(B)), 'o');
 title('RHP ZERO CANCELLATION: THE MOTION OF ZERO (SWEEPING Rc FROM
0 TO 300)');
   xlabel('REAL');
 ylabel('IMAGINARY');
 hold on;
end
```

参考文献

[1] P. R. Gray and R. G. Meyer, *Analysis and design of analog integrated circuits*, John Wiley & Sons, New York, 1993.

[2] D. A. Johns and K. Martin, *Analog integrated circuits design*, John Wiley & Sons, New York, 1997.

[3] G. Nicollini, P. Confalonieri, and D. Senderowicz, "A fully differential sample-and-hold circuit for high-speed applications," *IEEE Journal of Solid-State Circuits*, Vol. 24, pp. 1461–1465, October 1989.

25

[4] N. Sooch and AT&T Bell Lab., "MOS cascode current mirror," U.S. Patent 4550284, 1985.

[5] K. Bult and G. Geelen, "A fast-settling CMOS Op Amp for SC circuits with 90-dB DC gain," *IEEE Journal of Solid-State Circuits*, Vol. 25, pp. 1379–1383, December 1990.

26

第 3 章 开关电容子电路

3.1 引言

本章介绍开关电容子电路，它们是实现各种模拟数据采样功能的基本模块。

我们通常将开关电容(SC)子电路分为两类：无源的(passive)和有源的(active)。无源SC子电路(或器件)仅由开关和电容构成，而有源SC子电路除了包含开关和电容之外，还包含运算放大器之类的有源器件。严格来讲，MOS开关其实也应该算是有源器件，它含有一个或多个晶体管，而且这些晶体管一般都依靠系统时钟信号或其派生脉冲电压来驱动。但在下文中我们即将看到：只包含开关和电容的SC子电路的最重要的用途是，在集成芯片上实现对电阻(physical resistor)的功能上的模拟并取代之，而且我们知道，在实际的模拟集成电路设计应用中，运算放大器通常被当作区分无源集成实现和有源集成实现的指标。因此，在本书中我们把只包含开关和电容的SC子电路归类为无源SC子电路，而将其他使用运算放大器的SC子电路都看成有源SC子电路。

正如上文所指，无源SC子电路的首要用途是在集成电路中模拟并取代电阻，而在某些应用中无源SC子电路也可用来建造无源滤波器和电压变换器。在后续章节中我们将陆续看到，同无源SC子电路相比，有源SC子电路则在积分器、有源滤波器、数据转换器等的设计中得到了广泛使用。

本章提要

本章结构如下：3.2节介绍了通过各种无源SC子电路实现的模拟电阻(以下称SC模拟电阻)，这一节从硅片面积、精度等方面入手，阐述了SC模拟电阻较电阻所具备的优点，正如文献[1]所强调的，一个SC电路的频率响应(频响)是由其网络中电容之间的比值(而非某一个电容的值)来决定的，为此，3.2节特地讨论了SC电路参数与电容比值的关系；3.3节介绍了单端的及全差分的SC积分器，还讨论了寄生电容对SC电路传递函数的影响，并描述了几种对寄生电容不敏感的SC电路的设计；3.4节介绍了

CMOS 采样保持(Sample-and-Hold,常简写成 S&H)电路的设计原理,对 CMOS S&H 电路的主要性能参数作了概述,并提供了几个电路设计实例;3.5 节对 SC 插值滤波器电路和 SC 采样抽取电路(亦称降采取样器)的设计作了概述;最后,3.6 节简要介绍了信号流图(SFG)分析方法和梅森公式。

3.2　用开关电容电路模拟的电阻

SC 模拟电阻

当考虑如何用无源 SC 子电路来模拟电阻的时候,我们有几种方法可选。首先,我们介绍周期性反转开关电容(periodically reverse-switched capacitor)[2],它也常被叫作双线性型 SC 模拟电阻(bilinear SC resistor simulation)[3],其 SC 电路配置如图 3.1a 所示。在两个相互不重叠的脉冲 Φ_1 和 Φ_2 的控制下(如图 3.1b 所示),此 SC 电路中的开关只在离散的时刻 t_n($n=1,2,3,4,5,6,\cdots$)迅速地改变位置(即断开或闭合)。

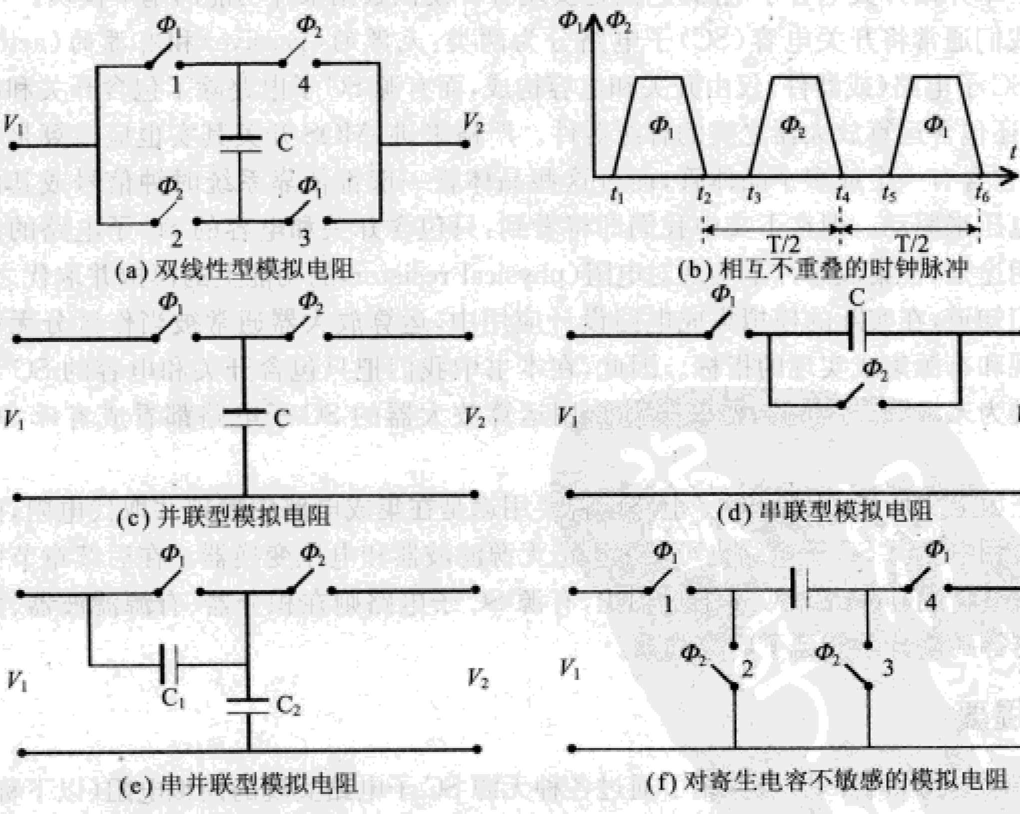


图　3.1

在分析这个电路之前,我们需要注意,无源 SC 模拟电阻是否能够精确地模拟实际电阻(即由其模拟所得的等效阻值与真实阻值之间的相对偏差是否能小于 1%)的必要条件之一是,与电路的采样时钟信号相比,V_1 和 V_2 必须变化得相当缓慢。其实在 SC

模拟电阻的设计中有一条不成文的经验法则：$f_{max} \leqslant f_{clk}/100$（$f_{max}$是信号频率的最大值，$f_{clk}$是采样时钟频率）。除了假设图 3.1a 的 SC 电路操作遵守这条法则以外，为了简化分析，我们还假设图中四个开关的导通电阻（on-resistance）都为零，这就等于假设电容 C 的充放电所需时间可以忽略不计。换句话说，我们在这里不但假设开关的开合远比 V_1 和 V_2 的变化频繁，而且在每个开关开合的瞬间，C 的两个极板间的电压都能够被即刻充电或放电到某个指定值。此外，为了简化分析，在本节的讨论中我们忽略寄生电容（parasitic capacitance，亦称 stray capacitance），我们将在 3.3 节介绍这种电容对 SC 电路性能的影响。

现在我们来对图 3.1a 所示的 SC 网络进行时域分析。在初始状态时，电路中的四个开关都被断开，电容 C 未被充电。在 t_1 时刻，Φ_1 脉冲被激活，从而使开关 1 和开关 3 闭合。当 Φ_1 脉冲降到零值时（即在 t_2 时刻），C 两端的电压即时变成 $V_1(t_2)-V_2(t_2)$。如上文所述我们假设在一个时钟周期内，V_1 和 V_2 可以被看作是常数（即其各自的变化频率 f_1 和 f_2 都远小于系统时钟频率 f_{clk}），因此我们可以进一步说时域指标 t_2 在当下的分析中意义不大，电容 C 两端的电压可近似为一个由 (V_1-V_2) 来表示的直流信号。这样一来，我们就可以将从节点 V_1 传输到节点 V_2 的电荷量（单位为 C）表示为 [28]

$$\Delta q_1 = C(V_1-V_2)-0 = C(V_1-V_2) \tag{3.1}$$

在 t_3 时刻，Φ_1 脉冲已经归零而 Φ_2 脉冲刚被激活，从而使开关 1 和开关 3 断开而开关 2 和开关 4 闭合。当 Φ_2 脉冲降到零值时（即在 t_4 时刻），电容 C 被即时充电到近似为 (V_2-V_1) 的直流电压值，因此从节点 V_2 传输到节点 V_1 的电荷量为

$$\Delta q_2 = C(V_2-V_1)-C(V_1-V_2) = 2C(V_2-V_1) \tag{3.2}$$

在 t_5 时刻，Φ_1 再次被激活而 Φ_2 已经归零，从而使开关 1 和开关 3 闭合而开关 2 和开关 4 断开。与上文情况类似，当 Φ_1 再次归零时（即 t_6 时刻），电容 C 将再次被充电到 (V_1-V_2) 的值，到此刻为止从节点 V_1 传输到节点 V_2 的电荷量为 [29]

$$\Delta q_3 = C(V_1-V_2)-C(V_2-V_1) = 2C(V_1-V_2) \tag{3.3}$$

从现在开始，以上所述自 t_2 时刻到 t_6 时刻的电荷传输过程将按周期 T 循环下去。通常我们说此时系统进入了一个稳定状态。在这种稳定状态下，流经系统的电流的平均值将由每一个周期 T 内（如自 t_2 时刻到 t_6 时刻的这个周期）的电荷传输总量来决定。因此，如果我们假定电流的正方向是从节点 V_1 流向节点 V_2，那么系统电流的平均值可以表示为

$$I_{avg} = \frac{\Delta q_3 - \Delta q_2}{(t_6-t_2)} = \frac{4C(V_1-V_2)}{T} \tag{3.4}$$

根据欧姆定律，可知此 SC 电路的等效电阻为

$$R_{equ} = \frac{(V_1-V_2)}{I_{avg}} = \frac{T}{4C} = \frac{1}{4Cf_{clk}} \tag{3.5}$$

有趣的是，我们由上述推导可以看出，在 t_2 时刻与 t_6 时刻之间（即在一个时钟周期 T 以内），电容 C 两端的电压的极性其实变化了两次。也就是说，电容电压极性变化的周期其实是 $T_1=T/2$。为了配合这种极性的变化，电路中每个开关的运行（即断开或

闭合)频率不能低于 $2f_{clk}$($f_{clk}=1/T$),因此图 3.1a 所示电路的实际采样频率至少应该达到 $2f_{clk}$。

下面我们来看图 3.1a 所示电路配置为什么常被称为双线性型 SC 模拟电阻,为此,我们从电阻的电荷分布的频域分析切入。在电路中通过一个电阻 R_0 传输的电荷总量可以依时间积分而得

$$Q_0(t)=\int_{-\infty}^{t} i_0(\tau)\mathrm{d}\tau=\int_{-\infty}^{t}\frac{V_0(\tau)}{R_0}\mathrm{d}\tau=\frac{1}{R_0}\cdot\int_{\infty}^{t}V_0(\tau)\mathrm{d}\tau \tag{3.6}$$

式(3.6)中 V_0 是两节点 V_1 和 V_2 间的电压差。对上式应用拉氏变换,我们得到 Q_0 在 s 域中的表达式如下:

$$Q_0(s)=\frac{1}{R_0}\cdot\frac{V_0(s)}{s} \tag{3.7}$$

文献[3]已证明,像式(3.7)这类描述 $Q_0(s)$、$V_0(s)$ 和 R_0 之间关系的 s 域表达式,我们只需通过将所有 s 对号入座地替换成 z 域的表达式 $F(z)$,即可将这类 s 域表达式映射成与之对应的、用来描述 $Q_0(z)$、$V_0(z)$ 和 C 之间关系的 z 域表达式。这里的关键是 30 确认 s 到 z 的变换表达式 $F(z)$。

在下面的频域分析中,我们将沿用上文推导 R_{equ} 时域表达式时用过的大多数假设,如开关的工作频率比 V_1 和 V_2 的变化频率高得多等等。但我们不应继续将 V_0(即 V_1 和 V_2 间的电压差)假设成一个直流电压,因为这样做会使频域分析失去意义。因此从现在开始,我们不再假定 V_0 为直流电压。

现在让我们重温一下从 t_2 时刻到 t_4 时刻的电荷传输过程,此过程每半个周期(T_1)重复一次。在 t_2 时刻,C 两端的电压升至 $CV_0(t_2)$ 并保持到 t_3 时刻,然后 C 被充电到 $CV_0(t_3)$。在下半个周期的结尾 $t_4=t_2+T_1$,C 被即时放电并再次充电到 $CV_0(t_4)$。根据电荷守恒原理,我们可以通过建立一个差分表达式将在 t_2 时刻、t_3 时刻和 t_4 时刻的电荷采样值联系起来,即

$$\begin{aligned}Q_0(t_4)-Q_0(t_4-T_1)&=C[V_0(t_4)+V_0(t_3)]-C[V_0(t_3)-V_0(t_4-T_1)]\\&=C[V_0(t_4)+V_0(t_4-T_1)]\end{aligned} \tag{3.8}$$

上面的差分表达式表明:在一个周期内(比方说周期为 T_1)的电荷传输量其实与离散时间瞬间(例如 t_4 时刻)电荷采样值有着紧密的联系。因此,我们可以对式(3.8)的两边取 z 变换得

$$Q_0(z)=C\cdot\frac{1+z^{-1}}{1-z^{-1}}\cdot V_0(z) \tag{3.9}$$

式(3.9)的右侧应可以让大多数读者回想起在离散时间信号理论中介绍的双线性映射(bilinear mapping)概念。表述这个概念的著名公式如下:

$$s\rightarrow\frac{2}{T_1}\cdot\frac{1-z^{-1}}{1+z^{-1}} \tag{3.10}$$

式(3.10)右端就是 s 到 z 的变换表达式 $F(z)$。记得我们在上文提到过,这里的有效时钟周期是 T_1(它等于 T 的一半)。比较式(3.7)、式(3.9)和式(3.10)可知,只有当下列

条件满足时，式(3.9)才可以被看作是式(3.7)双线性映射到 z 域的结果[在此我们假设已通过预卷(prewarping)操作减除频域卷绕效应]：

$$R_0=\frac{T_1}{2C}=\frac{T}{4C}=\frac{1}{4Cf_{clk}} \tag{3.11}$$

通过比较式(3.5)和式(3.11)可知，$R_0=R_{equ}$。此等式关系验证了前面对 R_{equ} 所做的时域推导。我们从上文得出的结论是，s 域表达式(3.7)可被双线性变换直接映射到 z 域，结果为表达式(3.9)，这样一来，图 3.1a 中双线性这一术语的出处也就有了交代。

31

但在实际的双线性 SC 电路设计中，仅仅将 RC 电路中的每个电阻替换成相应的 SC 模拟电阻往往是不够的，我们还需要在双线性 SC 电路的输入端添加一个时钟频率为 $2f_{clk}$ 的采样保持电路(S&H)。根据 Temes 等在文献[4]中的分析，在双线性 SC 电路中使用 S&H 的主要目的是为了消除电荷泄漏。严格地讲，文献[4]中所描述的电荷泄漏既非第 1 章中提到的当开关断开时的电荷注入，亦非由电压依赖性非线性电容(voltage-dependent nonlinear capacitance)[5]所引起的电荷泄漏(读者应该还记得，到目前为止我们所讨论的开关和电容都假定是理想的)。它实质上是一种源自电路奇偶相输入信号之间相互作用的电荷泄漏(inter-phase-input-dependent charge leakage)。换句话说，在双线性 SC 电路中，奇相($\Phi_1=1$)或偶相($\Phi_2=1$)期间的电荷传输量(输出信号)与偶相或奇相期间的 V_0(输入信号)有着直接的联系，而这种跨越奇、偶相之间的联系正是导致文献[4]中所描述的电荷泄漏的根本原因。也正是因为如此，图 3.1a 所示的双线性电路不能被分解成相互独立的奇相子电路和偶相子电路。

我们可以进一步证明的是，只要满足下面两个条件之一，文献[4]中所描述的电荷泄漏就将出现在双线性 SC 电路中：(1)如果输入是一个连续时间信号；(2)如果图 3.1b 中的 Φ_1 和 Φ_2 彼此靠近，以致在除 $t_n(n=1,2,3,4,5,6\cdots)$ 之外的时段内，电路的两节点 V_1 和 V_2 好像是一直通过电容 C 耦合在一起的。

对于图 3.1a 所示的双线性 SC 电路来说，S&H 正好起到了将电路的两节点 V_1 和 V_2 解耦的作用，从而减少了上述电荷泄漏出现的机率并减轻了由其引起的非线性效应(信号畸变)。不仅如此，如果电路输入是一个连续时间信号，那么 S&H 的频响(基本上是一个 sinc 响应)还将有助于衰减其高频信号分量(即频率等于及大于 $2f_{clk}$ 的信号分量)。有兴趣的读者可以参考文献[3]和文献[4]，它们针对 S&H 如何影响 SC 电路的频响这个课题提供了详尽的数学推导。

现在我们已经从时域和频域两个角度分析了第一个 SC 模拟电阻(如图 3.1a 所示)，下面只要照搬之前相同的步骤，就足以分析图 3.1 中剩余的电路。我们讨论的第二个 SC 模拟电阻如图 3.1c 所示[6]，在脉冲 Φ_1 和脉冲 Φ_2 的控制下，它的两个开关周而复始地闭合与断开。在一个时钟周期 T 以内(我们在这里同样假定没有寄生电容)，从 V_1 流到 V_2 的电荷量等于 $C(V_1-V_2)$。因此，电路中流向 V_2 的平均电流为

32

$$I_{avg}=\frac{C(V_1-V_2)}{T} \tag{3.12}$$

由此得出的等效电阻可以表示为

$$R_{equ}=\frac{(V_1-V_2)}{I_{avg}}=\frac{T}{C}=\frac{1}{Cf_{clk}} \tag{3.13}$$

因为这个SC电路中的两节点V_1和V_2永远不会被耦合在一起(即它们是并联的)，所以它常被称作并联型模拟电阻(parallel resistor simulation)。

图3.1d和图3.1e所示的分别是串联型模拟电阻(series resistor simulation)和串并联型模拟电阻(series-parallel resistor simulation)。和并联型模拟电阻相比，这两种电路都采用了一个串联电容来耦合两节点V_1与V_2，其分析方式同前。为减小篇幅，将这两个电路的分析留给读者作为练习，这里只提供结果。串联型模拟电阻值可以表示为

$$R_{equ}=\frac{T}{C}=\frac{1}{Cf_{clk}} \tag{3.14}$$

图3-1e所示的串并联型模拟电阻值可以表示为

$$R_{equ}=\frac{T}{C_1+C_2}=\frac{1}{(C_1+C_2)f_{clk}} \tag{3.15}$$

有趣的是，如果我们将式(3.15)中的T替换成T_1并令$C_1=C_2$，则会发现由此得到的等效电阻正好与式(3.5)的结果完全相同。这表明了双线性型模拟电阻和串并联型模拟电阻在一定条件下是等效的。事实上图3.1e所示的子电路也可用来建造如双线性SC积分器($C_1=C_2$)之类的电路[7](正如上文所述，这种电路的输入信号也需经过采样和保持处理)。

我们讨论的最后一种SC模拟电阻子电路如图3.1f所示[8,9]，它是目前最常用的SC模拟电阻之一。这种SC模拟电阻优于图3.1中的其他模拟电阻之处在于：由它构造出来的SC电路不会受寄生电容(亦称杂散电容)影响，而图3.1中的其他配置则皆受寄生电容影响(即对寄生电容敏感)。在一个集成电容C中，寄生电容一般会出现在半导体多晶硅层的某些节点之间。在大多数情况下，这些节点既没有接地，亦非低阻抗的节点(例如运算放大器的输出节点)。在所有寄生电容中，最难处理的是电容C顶板(与地之间的)寄生电容C_{tp}和底板(与地之间的)寄生电容C_{bp}。这两种寄生电容的绝对电容值往往变化无穷，就算采用目前最精细的半导体制程与调试技术也不可能对其实现准确的测算和控制。大致来说，就现今的半导体电路布线及制程技术而言，C_{tp}的值一般会在标准电容值C的0.1%～1%之间变化，而C_{bp}的变化范围则较大，可达C的5%甚至20%[10]。在3.3节中，我们将简单介绍如何利用图3.1f这类SC子电路(或其改进电路)来有效地减轻乃至消除寄生电容对整个电路性能的影响。

通过照搬本节介绍过的分析方法，我们可推导出图3.1f的等效模拟电阻为$R_{equ}=1/Cf_{clk}$。此时如果我们将图3.1f中开关3和开关4的时钟相做个交换(即开关3和开关4分别在$\Phi_1=1$和$\Phi_2=1$时闭合)，那么就可得到图3.1f所示电路的改进版。我们可以证明的是，这种时钟相的交换将改变电路传递函数及其等效电阻值的极性。通过上述时钟相交换得到的电阻表达式为$R_{equ}=-1/Cf_{clk}$(即电阻值为负)。这两种等效模

拟电阻的推导留给读者练习。

SC模拟电阻的优点

利用SC子电路来模拟电阻的好处之一是其大大地节省了硅晶片面积。为理解这一点，我们以图3.1c所示的电路为例：如果$C=0.5\text{pF}$，$f_{clk}=200\text{kHz}$，那么对于模拟一个大约10MΩ的R_{equ}而言，我们所需要的仅仅是两个由时钟控制的MOS开关和一个0.5pF的电容。在标准的CMOS工艺中，实现这两个开关和一个电容所消耗的硅晶片面积小于0.01mm^2。而相比之下，在同样的工艺中实现一个10MΩ的硅成型电阻，其占据的硅片面积将达到1.0mm^2，是前者的1.0/0.01=100倍！

SC模拟电阻带来的另一好处是：工程师可以通过调节电容的比值（而非某个单一电容的大小）来控制由SC模拟电阻组成的电路的频响。同时，这一优点让工程师在对现有电路结构几乎不做任何改动的前提下，仍然能够改善整体电路的精度。为了解个中奥妙，我们先来研究时间常数（time constant）这个重要的参数（τ）。在一阶RC网络中，时间常数的表达式为$\tau=R_0C_0$[R_0指硅成型电阻，C_0指不带开关（unswitched）的电容]。在现代IC制程中，电容和电阻是通过完全不同的步骤实现的，而且电容偏差和电阻偏差之间没有什么实质上的联系[11]。一般来说，这两种偏差可认为是完全不相关的。这样一来，我们可将τ的精度表示为

$$\frac{d\tau}{\tau}=\frac{d(R_0C_0)}{(R_0C_0)}=\frac{dR_0}{R_0}+\frac{dC_0}{C_0}, \tag{3.16}$$

式(3.16)表明，τ的精度取决于R_0和C_0各自的固有精度，而R_0和C_0的固有精度又依赖于环境温度和制程技术的公差[1]。在MOS集成电路中，因温度变化及制造偏差而起的R_0和C_0的绝对误差通常在标准值的10%范围以内。这就意味着在最坏的情况下，由式(3.16)计算得出的τ变化量可能高达20%。这在大多数信号处理应用中都是无法接受的。

如果R_0被图3.1c中的并联SC模拟电阻代替（假定这里采用零导通电阻的理想开关，而且周期为T的两相时钟由一个精确的晶体振荡器产生），那么由此而得的新电路的时间常数τ_1为

$$\tau_1=\frac{1}{Cf_{clk}}\cdot C_0=T\cdot\frac{C_0}{C}\cong R_0\cdot C_0 \tag{3.17}$$

式(3.17)表明，τ_1取决于电路中的电容比值(C_0/C)和T。因此，时间常数τ_1的精度可表示为

$$\frac{d\tau_1}{\tau_1}=\frac{d\left(\frac{T}{C}C_0\right)}{\left(\frac{T}{C}C_0\right)}=\frac{dT}{T}-\frac{dC}{C}+\frac{dC_0}{C_0}\cong\frac{dC_0}{C_0}-\frac{dC}{C}=\frac{d\left(\frac{C_0}{C}\right)}{\left(\frac{C_0}{C}\right)} \tag{3.18}$$

注意在式(3.18)中，T的变化已被忽略，这是因为基于晶振的时钟输出通常十分精确（时钟偏差的绝对值不会超过理想时钟值的0.001%）。式(3.18)的最右端表明，

此时 τ_1 的精度取决于 C_0 和 C 之间的匹配精度(matching accuracy),亦称跟踪精度(tracking accuracy)。也就是说,时间常数 τ_1 取决于电容的比值而不再依赖某个单一的电容值(即 C_0 和 C)。

在一般的电路布线过程中,C_0 和 C 通常会被布在相同的区域里面彼此靠近的位置。如果我们采用标准的 CMOS 制程技术,那么在晶元的同一区域内制成的两个电容间的失配误差可以控制到 0.1%,而如果我们采用目前最先进的 CMOS 制程技术,电容失配误差则可降至低于 0.05%。由此可知,与式(3.16)导出的精度相比,式(3.18)导出的 τ_1 是一个大幅度的改进(即精度提高了 200 倍)。

电容比与电路参数

35

在前面的介绍中,我们研究了 SC 电路的时间常数 τ_1 和电容比(C_0/C)之间的关系。在实际 SC 电路设计中,除了需要知晓这层关系之外,我们还应了解以下几种关键的电路参数与电容比之间的关系:衰减系数(damping factor)σ_p、品质因数(quality factor)Q、极点频率(pole frequency)ω_0[亦称中心频率(center frequency)]及最大幅值(maximum magnitude)G[亦称电压增益(voltage gain)]。

我们以 SC 电路的传递函数为切入点来展开讨论。回顾信号与系统理论可知,就一个高阶传递函数而言,其分子和分母通常可被各自因式分解成一组一阶和/或二阶的(biquadratic,亦称 biquad)子函数。反之,一旦我们确定了这些低阶子函数,就可通过级联的方式用它们来重组原来的高阶传递函数。我们知道,一阶 SC 网络最多只包含一个运算放大器,其电容比的计算其实很直观,因此对其传递函数(一阶子函数)的讨论没有什么说明性价值。下面我们将集中讨论二阶函数。

一般来说,一个二阶连续时间系统可以用以下形式的 s 域传递函数来表示:

$$H(s)=\frac{a_0+a_1s^{-1}+a_2s^{-2}}{b_0+b_1s^{-1}+b_2s^{-2}}=\frac{a_0/b_0+(a_1/b_0)s^{-1}+(a_2/b_0)s^{-2}}{1+(b_1/b_0)s^{-1}+(b_2/b_0)s^{-2}} \tag{3.19}$$

我们可将上述传递函数改写为:

$$H_A(s)=\frac{a_0/b_0+(a_1/b_0)s^{-1}+(a_2/b_0)s^{-2}}{1+(\omega_0/Q)s^{-1}+\omega_0^2s^{-2}}=\frac{a_0/b_0+(a_1/b_0)s^{-1}+(a_2/b_0)s^{-2}}{(1-p_1s^{-1})(1-p_2s^{-1})} \tag{3.20}$$

这里我们假定 p_1 和 p_2 是 s 平面上 $H_A(s)$ 的两个共轭复数极点,且有

$$p_{1,2}=-\sigma_p\pm j\omega_p,\quad 0\leqslant\sigma_p\leqslant\infty,\quad 0\leqslant\omega_p\leqslant\infty \tag{3.21}$$

根据式(3.20)和式(3.21),我们可以将 σ_p 和 ω_p 写作 Q 和 ω_0 的函数如下:

$$\sigma_p=\frac{\omega_0}{2Q}\quad 和\quad \omega_p=\sigma_p\sqrt{4Q^2-1}=\omega_0\sqrt{1-\frac{1}{4Q^2}} \tag{3.22}$$

式中 σ_p 是衰减系数,ω_p 是幅值响应的过冲频率(overshoot frequency),亦称峰值频率(peak frequency)。式(3.22)中 σ_p 的表达式也许会让部分读者联想起描述带通(BP)系统的重要参数半带宽(half-bandwidth),其表达式是 $\sqrt{2}\sigma_p=\omega_{-3dB}=1/\tau$。由此我们还发现,$\sigma_p$ 和 τ 之间其实存在着一层线性的关系。重温式(3.18)可知,如果一个连续时间系

36

统中包含的所有电阻都被与之对应的SC模拟电阻替换，则由此而得的SC电路的时间常数τ的精度将主要取决于其电容比。因此，基于上述τ和σ_p之间的线性关系，我们可以下结论：这个SC电路的σ_p（与其时间常数相似）也由其电容比确定。不仅如此，根据式(3.22)，我们还发现这个SC电路的ω_0对Q比值（因其与σ_p线性相关）也同样依赖于其电容比。

下面我们继续推导二阶SC电路的电容比与电路参数（σ_p除外）之间的关系。根据式(3.22)我们发现，如果增加Q的值，则ω_p/σ_p的值会变大，从而$\omega_p\to\omega_0$，于是$H_A(j\omega)$的幅值将在ω_0的周围表现成一个更加陡峭的尖峰（亦称过冲）。这说明了电路的品质因数越高，其幅值响应中包含的过冲效应就会越显著。在实际的电路设计中，工程师常采用两个指标来衡量SC电路的峰值特性：

(1) $Q=0.5$、$\omega_0=\sigma_p$且$\omega_p=0$：此时极点频率低于ω_{-3dB}，且在通带以内没有过冲出现。

(2) $Q=1/\sqrt{2}$、$\omega_0=\sqrt{2}\sigma_p$且$\omega_p=\sigma_p=\omega_0/\sqrt{2}$：此时极点频率等于$\omega_{-3dB}$，在$\omega_0$处的过冲系数仅为4.32%，系统稳定。

接下来，我们应设法将二阶SC电路的传递函数和Q、ω_0之类的参数联系起来。为达此目的，我们要做的第一步是：选用四种标准的s到z变换[即前向欧拉变换(forward Eular)、反向欧拉变换(backward Eular)、双线性变换(bilinear)及完全离散积分变换(lossless discrete integrating)]之一来推导出与式(3.19)相对应的z域二阶传递函数。从基本的离散时间信号理论我们学到，只要系统的时钟采样频率足够高（即$f_{clk}/f_0\gg 2\pi$或$\omega_0 T\ll 1$），这里提到的四个变换都可用下式来粗略表示：

$$z=e^{sT}\cong 1+sT \tag{3.23}$$

我们将上述s的近似表达式代入式(3.19)，就会得到等效z域传递函数如下：

$$H(z)=\frac{c_0+c_1z^{-1}+c_2z^{-2}}{1+d_1z^{-1}+d_2z^{-2}}=\frac{c_0+c_1z^{-1}+c_2z^{-2}}{(1-P_1z^{-1})(1-P_2z^{-1})} \tag{3.24}$$

还有我们已知z平面的极点的频域表达式为

$$P_{1,2}=e^{p_{1,2}T}=e^{-\omega_0 T/2Q}(\cos\omega_p T\pm j\sin\omega_p T) \tag{3.25}$$

接着我们将z平面的极点P_1和P_2的频域表达式代入式(3.24)的传递函数的分母里。经过一系列代数处理之后，我们可以推导出用ω_0、T、Q来表示的d_1和d_2：

$$d_1=-2e^{-\omega_0 T/2Q}\cos\left(\omega_0 T\sqrt{1-\frac{1}{4Q^2}}\right) \quad 和 \quad d_2=e^{-\omega_0 T/2Q} \tag{3.26}$$

大多数低频应用（尤其是音频信号的处理）通常都要求高出输入信号频率数十倍乃至上百倍的时钟采样频率（即$f_{clk}/f_0\gg 2\pi$或$\omega_0 T\ll 1$）。在这类高时钟采样频率情况下，我们可对式(3.26)做进一步的近似处理，从而得到以下的表达式（假定Q不小于0.5）：

$$d_1\cong -2+\frac{\omega_0 T}{Q}+(\omega_0 T)^2 \quad 和 \quad d_2\cong 1-\frac{\omega_0 T}{Q} \tag{3.27}$$

至此，我们可用d_1和d_2来表示Q，如下所示：

$$Q \cong \frac{\sqrt{1+d_1+d_2}}{(1-d_2)} \tag{3.28}$$

式(3.28)非常有用,它让我们可以基于二阶 SC 电路的 z 域传递函数来推算其品质因数 Q。一般来讲,Q 本身的值越高,式(3.28)对 Q 的推算就越精准。除此以外,如果应用得当,式(3.28)还可以使得 Q 相对电容比之敏感性的计算大为简化[12,13]。

在继续往下推导之前,让我们先回顾一下式(3.19)、式(3.23)和式(3.24)。通过把这三个表达式相互融合,我们可重写式(3.24)中的传递函数表达式 $H(z)$ 为:

$$H(z)=\frac{c_0+c_1z^{-1}+c_2z^{-2}}{1+d_1z^{-1}+d_2z^{-2}} \cong \frac{a_0/b_0-\left(\frac{2a_0-a_1T}{b_0}\right)z^{-1}+\left(\frac{a_0-a_1T+a_2T^2}{b_0}\right)z^{-2}}{1-\left(2-\frac{b_1T}{b_0}\right)z^{-1}+\left(1-\frac{b_1T}{b_0}+\frac{b_2T^2}{b_0}\right)z^{-2}} \tag{3.29}$$

利用式(3.27)给出的结果,我们可得下述近似表达式:

$$\frac{b_1}{b_0} \cong \frac{\omega_0}{Q}+\omega_0^2T \quad 和 \quad \frac{b_2}{b_0} \cong \omega_0^2 \tag{3.30}$$

将式(3.30)与式(3.20)中分母的系数作比较,我们发现这里存在一个偏差 $\omega_0^2Ts^{-1}$。事实上它源自式(3.23)中的近似。在许多情况下,这个偏差既影响幅值响应又波及相位响应[12],因此它不可忽略。这意味着尽管上文中导出的 d_1、d_2 和 Q 的近似表达式有助于增强我们对电路原理的理解,但它们并不适用于精确的电路设计与分析。为了得出准确的 Q 和 ω_0 的频域表达式,我们必须采用比式(3.23)更精确的 s 到 z 变换公式,例如完全双线性变换 $z=(1+s)/(1-s)$。

38

然而就算采用了像完全双线性变换这样的公式,对 Q 和 ω_0 表达式的精确数学推导怎么也不能算轻易之举(若要准确地描述它们与电容比之间的关系,那就更加复杂了)。文献[14]和文献[15]中详尽的数学分析为我们提供了一些可以借鉴的结果。比方说我们若采用文献[15]中的公式,就可列出 z 域传递函数表达式如下(假定 ω_0 已经过预卷处理):

$$H_d(z)=\frac{N(z)}{1-(2-\alpha-\beta)z^{-1}+(1-\beta)z^{-2}} \tag{3.31}$$

$$\omega_0=\frac{1}{T}\sqrt{\frac{\alpha}{1-\alpha/4-\beta/2}} \quad 和 \quad Q=\frac{\sqrt{\alpha(1-\alpha/4-\beta/2)}}{\beta} \tag{3.32}$$

上式中 $H_d(z)$ 是将式(3.19)中的 $H(s)$ 做完全双线性变换之后得到的结果,它的系统参数 α 和 β 可表示为

$$\alpha=\frac{4}{X(z)} \quad 和 \quad \beta=\frac{\alpha}{\omega_0TQ}, \quad 其中 \quad X(z)=1+\frac{2}{\omega_0TQ}+\frac{4}{(\omega_0T)^2} \tag{3.33}$$

Ki 和 Temes[15]已证明:对于一个 SC 电路的传递函数来说,它的 α 和 β 都是电容比值的函数,而非某个单一电容的函数。因此,基于前面的推导,我们可以得出结论:当系统时钟 T 已定时(即假定 T 为常数),工程师可以通过调节电容的比值(而非某个单一电容的大小)来控制一个 SC 电路的 Q 和 ω_0。此外,由式(3.33)我们可知 α 和 β 其实也是彼此相关的,而且在高采样率($\omega_0T \ll 1$)的条件下,$\alpha \to (\omega_0T)^2$,$\beta \to (\omega_0T/Q)$。

从式(3.32)和式(3.33)我们发现一个有趣的现象:这两个公式所描述的 SC 电路的 Q 和 ω_0 互不独立(即改变其一必波及其二)。这也就是说,上文讨论的 SC 电路不适用于像自适应滤波或语音跟踪这类要求通带的中心频率和带宽互不影响的应用。为了解决这个问题,Allstot 等人[16]提出了一个实现参数可编程 SC 滤波电路的方案。该 SC 滤波器的基本原理是:通过调节滤波电路中 SC 模拟电阻的等效阻值 R,保证等式 $R=1/Q$ 一直成立。这样做从本质上消除了 Q 和 ω_0 间的相关性。此外,文献[16]中还提出了采用两种不同的可编程电容器阵列来实现对不同参数的控制(一种是二级制加权型阵列,用来控制 Q 和 G 的值;另一种是对数型阵列,用来控制 ω_0 的值),从而达到将 Q 和 ω_0 完全隔离的目的。

参数可编程 SC 滤波电路有以下两个主要缺点:第一,它所包含的可编程电容器阵列占据较大的面积和消耗较大的功率;第二,如果设计中要求较高的品质因数($Q\gg1$),那么为了实现 $1/Q$ 的阻抗值,SC 模拟电阻中的电容则必须取得非常小,从而导致较大的电容分布(capacitance spread)值(电容分布定义为整个电路中最大电容与最小电容的比值,它的大小直接影响电容总面积和电容匹配精度)。虽然文献[17]和文献[18]中提供了一些设计方案以克服这两个缺点,但从制造成本和性能来看,不管做何改进,模拟参数可编程 SC 滤波器最终还是无法同全数字自适应滤波器相媲美。因此,在本书中我们不再详细研究参数化可编程 SC 滤波器,感兴趣的读者可以参考文献[16]~文献[19]。值得一提的是,可编程电容器阵列也可用做二进制加权数据转换器的输入级。

39

到此,我们已讨论了除 SC 二阶电路的电压增益 G 以外的所有主要电路参数与电容比之间的关系。可以证明的是,G 也与电容比线性相关(假定 T 为常数)。为了节省篇幅,此证明的过程留给感兴趣的读者练习(提示:先由考虑 α 和 β 等系统常数的大小入手,并参考文献[20]的分析方法)。还有一点需要注意:在实际的设计应用中,为便于推导与仿真,对带通 SC 二阶电路、低 Q($Q<1/\sqrt{2}$)的低通 SC 二阶电路以及低 Q 的高通 SC 二阶电路,我们通常将最大增益值归一化到 1 之后再做频域分析;而对高 Q($Q>3$)的低通 SC 二阶电路与高 Q 的高通 SC 二阶电路,我们则通常将最大增益的指标设在 $G\approx Q$[13,15,21]。

最后我们对 3.2 节做个总结:本节描述了各种 SC 模拟电阻以及它们较之传统电阻的优点,解释了 SC 电路性能参数与电容比的关系,而且强调了电容比在决定 SC 电路的频响和幅值的过程中的关键角色。在下一节我们将聚焦于最重要的 SC 有源子电路之一 SC 积分器。

3.3 开关电容积分器

对寄生电容敏感的 SC 积分器

在一个连续时间有源 RC 滤波器中,反相模拟积分器(如图 3.2a 所示)是最重要的子电路。在开始讨论积分器电路之前,我们需要先作一点说明:在本节中,我们假定所

有的运算放大器都是理想的，意即它们没有 DC 偏移，它们的增益和带宽均为无穷大，还有它们的供电电压都足够高。在这样的条件下，图 3.2a 的电路的时域表达式可写作

$$V_{out}(t)=-\frac{1}{R_0C_0}\int_{-\infty}^{t}v_{in}(\tau)\mathrm{d}\tau \tag{3.34}$$

对式(3.34)应用拉氏变换，我们得出有源 RC 积分器的 s 域传递函数，如下所示：

40

$$H(s)=\frac{V_{out}(s)}{V_{in}(s)}=-\frac{1}{sR_0C_0}\quad 或\quad H(\mathrm{j}\omega)=-\frac{1}{\mathrm{j}\omega R_0C_0}=-\frac{\omega_{-3dB}}{\mathrm{j}\omega} \tag{3.35}$$

式中 ω_{-3dB} 指 3dB 频率。可以证明的是，此 RC 积分器的幅值响应和相移分别是(ω_{-3dB}/ω)和 $\pi/2$。

实现 SC 积分器最直接的方法，是应用上节所介绍的几种 SC 模拟电阻中的任意一种来替换有源 RC 积分器中的电阻 R_0。在理想情况下，利用这种方法实现的 SC 积分器应会有上述(ω_{-3dB}/ω)的幅值及 $\pi/2$ 的相移。然而，在后面我们将看到实际上并非如此：这样的 SC 积分器只是图 3.2a 中的连续时间积分器的一个近似而已。

在深入分析 SC 积分器之前，按照惯例，我们先定义时钟相 Φ_1 的一系列下降沿分别为$(n-1)T$、nT、$(n+1)T$ 等(T 为时钟周期)，而时钟相 Φ_2 的一系列下降沿则分别为$(n-3/2)T$、$(n-1/2)T$、$(n+1/2)T$ 等。延用这样的非重叠时钟模式的目的是为了便于在数学分析中列写差分表达式。但是对于许多实际情况来说，只要每个时钟相的长度足够让信号在其结束之前达到稳定，我们就没有必要将 Φ_1 的下降沿和 Φ_2 的下降沿的间距精确地锁定在 $T/2$。另外，在下文中，$\Phi_1=1$(或 $\Phi_2=1$)时闭合的开关有时被叫作 Φ_1(或 Φ_2)开关。

图 3.2b 所示的电路称为对寄生电容敏感的双线性 SC 积分器(parasitic-sensitive bilinear SC integrator)。这种积分器是通过用图 3.1a 中的双线性 SC 模拟电阻替换连续时间积分器中的电阻 R_0 来实现的。我们将看到，其性能受电路中寄生电容的直接影响(即对寄生电容敏感)。图 3.2b 所示电路的输入是一个频率为 $2f_{clk}$ 的采样保持信号(在 Φ_1 闭合时被采样并保持)。注意在电路的输出端之前有一个 Φ_2 开关(即它在 $\Phi_2=1$ 时导通)，这意味着电路的输出信号只会在 $\Phi_2\rightarrow1$ 时跳变，因此接在此积分器输出端的后续电路应该等到 $\Phi_2=1$ 时才对电路的输出信号进行采样。这个输出端之前的开关也可以被设置成只在 $\Phi_1=1$ 时才闭合，但与上述情况相比，这种做法其实只会引入一个简单的延迟而已。

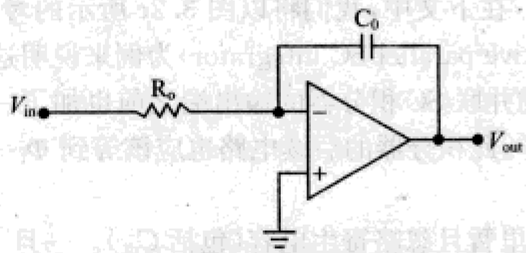
下面我们来推导这个双线性 SC 积分器的理想 z 域传递函数。为了简化分析，这里暂且忽略所有的寄生电容(如 C_{p1})，稍后我们会专门讨论寄生电容对 SC 积分器传递函数的影响。回顾式(3.9)，我们假定 V_0 等于 V_{in}，从而将式(3.9)改写成

$$Q(z)=C\frac{1+z^{-1}}{1-z^{-1}}V_{in}(z)=C\frac{z+1}{z-1}V_{in}(z) \tag{3.36}$$

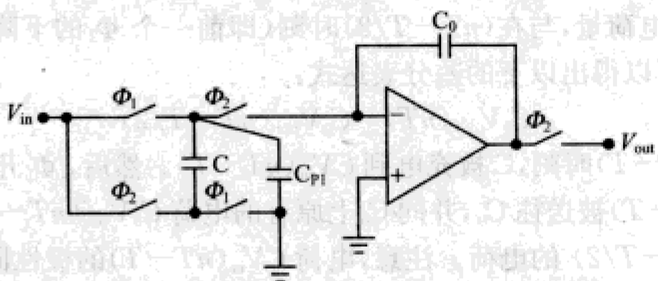
41

这里 $Q(z)$ 是每半个周期(即 $T/2$)内从电路的输入端传输到反馈电容 C_0 顶板的电荷量。显然，此电荷量在 C_0 两端建立一个极性与 V_{out} 相反的电压。由此我们可以得出此积分器的理想传递函数：

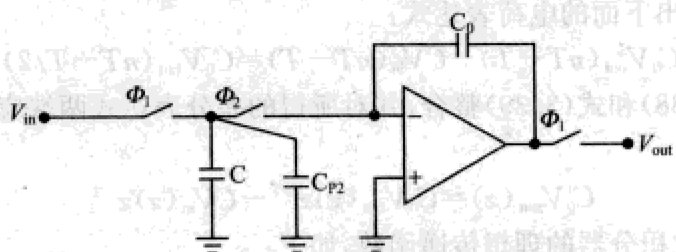
$$V_{out}(z) = -\frac{Q(z)}{C_0} = -\frac{C}{C_0}\frac{z+1}{z-1}V_{in}(z) \Rightarrow H_{BL}(z) = \frac{V_{out}(z)}{V_{in}(z)} = -\frac{C}{C_0}\frac{1+z^{-1}}{1-z^{-1}} \tag{3.37}$$



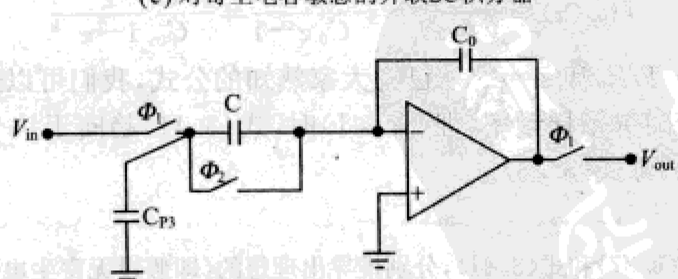
(a) 有源RC积分器(反相型)



(b) 对寄生电容敏感的双线性SC积分器



(c) 对寄生电容敏感的并联SC积分器



(d) 对寄生电容敏感的串联SC积分器

图 3.2

注:图中采用的全是理想运放,并且这里只画出了值得关注的寄生电容。

注意,在式(3.36)和式(3.37)中,$z=e^{j\omega T/2}$都成立。记得前面我们曾提到过,这是因为一个双线性 SC 电路的等效时钟周期其实是 $T/2$(即所有的开关都运行在 $2f_{clk}$)。也正是因为如此,对于双线性 SC 积分器来说,一个 $T/2$ 的时间延迟其实等效于整整一个周期的延迟。这一点是双线性 SC 积分器所独有的,其他的积分器(譬如欧拉积分

器)的等效时钟周期都等于 T。

好奇的读者可能会问:怎样才能从一个 SC 积分器的时域电荷传输过程出发推导出其 z 域传递函数呢?在下文中,我们将以图 3.2c 所示的对寄生电容敏感的并联 SC 积分器(parasitic-sensitive parallel SC integrator)为例来说明这一点。同前面的双线性 SC 积分器相似,图中的并联 SC 积分器的输出端之前也加了一个 Φ_1 开关(即其输出仅在 $\Phi_1=1$ 跳变)。同样,此积分器的后续电路也应该等到 $\Phi_1=1$ 时才对其输出信号进行采样。

为了简化分析,这里暂且忽略寄生电容(包括 C_{p2})。一旦 Φ_1 变为 0,反馈电容 C_0 两端聚集的电荷就将维持不变,直到 Φ_1 重新闭合。换句话说,在 nT 时刻(即 Φ_1 的下降沿)C_0 两端聚集的电荷量,与在 $(nT-T/2)$ 时刻(即前一个 Φ_2 的下降沿)聚集的电荷量相同。由此我们可以得出以下的差分表达式:

$$C_0V_{out}(nT)=C_0V_{out}(nT-T/2) \tag{3.38}$$

接下来在 $(nT-T)$ 时刻,C 被充电到 $CV_{in}(nT-T)$。然后,Φ_1 开关断开,Φ_2 开关闭合,电荷 $CV_{in}(nT-T)$ 被送往 C_0,并同 C_0 上原有的电荷 $C_0V_{out}(nT-T)$ 聚合,得到的是总量为 $C_0V_{out}(nT-T/2)$ 的电荷。注意,电荷 $CV_{in}(nT-T)$ 的极性同电荷 $C_0V_{out}(nT-T)$ 相反。纵观在积分器电路中从时刻 $(n-1)T$ 到时刻 $(n-1/2)T$ 期间的电荷传输过程,我们可以推导出下面的电荷表达式:

$$C_0V_{out}(nT-T)-CV_{in}(nT-T)=C_0V_{out}(nT-T/2) \tag{3.39}$$

我们将式(3.38)和式(3.39)整合,并对所得的差分表达式两端应用 z 变换,就可得出以下的表达式:

42

$$C_0V_{out}(z)=C_0V_{out}(z)z^{-1}-CV_{in}(z)z^{-1} \tag{3.40}$$

从而我们可得出此积分器的理想传递函数,如下:

$$H_{FE}(z)=\frac{V_{out}(z)}{V_{in}(z)}=-\frac{C}{C_0}\frac{1}{z-1}=-\frac{C}{C_0}\frac{z^{-1}}{1-z^{-1}} \tag{3.41}$$

通过应用 $C=T/R_0$ 和 $z=e^{j\omega T}$ 等已为大家熟知的公式,我们可以进一步发现:当信号频率远低于系统时钟采样频率(即 $\omega T\ll 1$)时,式(3.41)趋向于一个理想的反相 RC 积分器的传递函数,即式(3.35)。

43

例 3.1　根据式(3.37)和式(3.41),分别推导出理想的(即假设无寄生电容的)双线性 SC 积分器以及并联 SC 积分器的传递相移,并解释为何后者常被称为前向欧拉积分器(forward-Euler integrator,FEI)。

解:在两式中,用 $e^{j\omega T}$ 替换 z,可得

$$H_{BL}(e^{j\omega T})=-\frac{C}{C_0}\frac{1+e^{-j\omega T}}{1-e^{-j\omega T}}=-\frac{C}{C_0}\frac{e^{j\omega T/2}+e^{-j\omega T/2}}{e^{j\omega T/2}-e^{-j\omega T/2}} \tag{3.42}$$

及

$$H_{FE}(e^{j\omega T})=-\frac{C}{C_0}\frac{e^{-j\omega T}}{1-e^{-j\omega T}}=-\frac{C}{C_0}\frac{e^{-j\omega T/2}}{e^{j\omega T/2}-e^{-j\omega T/2}} \tag{3.43}$$

应用欧拉公式,可得

$$H_{BL}(e^{j\omega T})=-\frac{2\omega_{-3dB}}{\omega}\frac{\frac{\omega T}{2}}{\tan\frac{\omega T}{2}}\cdot\left(\frac{1}{j}\right) \tag{3.44}$$

及

$$H_{FE}(e^{j\omega T})=-\frac{\omega_{-3dB}}{\omega}\frac{\frac{\omega T}{2}}{\sin\frac{\omega T}{2}}\cdot\left(\frac{e^{-j\omega T/2}}{j}\right) \tag{3.45}$$

这里 $\omega_{-3dB}=C/TC_0$（-3dB 频率）。从信号与系统基础可知，上述每个传递函数的相移是由其括号中的因式来决定的，即

$$\mathrm{Arg}H_{BL}(e^{j\omega T})\equiv\mathrm{Arg}\left(\frac{1}{j}\right)=\frac{\pi}{2} \tag{3.46}$$

及

$$\mathrm{Arg}H_{FE}(e^{j\omega T})\equiv\mathrm{Arg}\left(\frac{e^{-j\omega T/2}}{j}\right)=\frac{\pi}{2}-\frac{\omega T}{2} \tag{3.47}$$

44

通过将上述四个表达式与理想的反相模拟积分器的传递函数，即式(3.35)一一进行比较，我们发现，双线性 SC 积分器的传递函数引入了一个非线性的增益偏差，但没有引入相位偏差，而并联 SC 积分器的传递函数不但引入了一个非线性的增益偏差，还引入了一个相位偏差（相位滞后）。不难看出，这些偏差的值都是 ωT 的函数，而且当 $\omega T\ll 1$ 时它们可被忽略。在二者的极点频率 ω_0 和低频采样时钟 T 都相同的条件下，双线性 SC 积分器的传递增益大约是并联 SC 积分器的两倍。在 T 固定的情况下，随着 ω 的增大，两种积分器相对于理想模拟积分器的增益偏差和相位偏差都将愈加严重。这里有一点要提醒的是，式(3.44)中的 T 表示的是双线性 SC 积分器的等效时钟周期。

如果我们用前面得到的并联 SC 模拟电阻的表达式来替换式(3.35)中的 R_0，则可用 C_0、C 和 T 来改写 $H(s)$。通过把经过改写而得到的 $H(s)$ 和式(3.41)中的 $H(z)$ 联系起来，我们发现：

$$s\to\frac{z-1}{T} \tag{3.48}$$

这就是前向欧拉映射公式，它解释了并联 SC 积分器常被称为前向欧拉积分器的原因。

如果图 3.2c 中电路的输出仅在 $\Phi_2=1$ 跳变呢？我们无需从头列写电荷表达式，就可看出电路将提前 $T/2$ 输出信号，这在频域中意味着在原先的电路基础上添加了一个相位超前($z^{1/2}$)。由此而得的新传递函数为

$$H_{LDI1}(z)=H_{FE}(z)\cdot z^{1/2}=-\frac{C}{C_0}\frac{z^{-1/2}}{1-z^{-1}}=-\frac{C}{C_0}\frac{z^{1/2}}{z-1} \tag{3.49}$$

具备这种半延迟($z^{-1/2}$)特性的 SC 积分器称作反相 I 型(inverting Type I)或前向欧拉完全离散积分器(forward-Euler lossless discrete integrator)，简称前向欧拉 LDI，它是由 Bruton 首先提出来的[22]。照搬例 3.1 用过的方法，我们可知此 LDI 的相移值等于 $\pi/2$。前向欧拉 LDI 常用于实现全差分 SC 电路中的 z^{-1} 环路延迟。

到目前为止我们一直忽略存在于图 3.2b 和图 3.2c 电路中的寄生电容。现在既然我们已导出了它们在理想条件下的（即假设无寄生电容情况下的）传递函数，下一步就

45

应讨论寄生电容对其电路性能的影响。

我们看到，图 3.2b 中只画出了一个寄生电容 C_{p1}。C_{p1} 的值实际上包括了顶板的寄生电容 C 以及与两个 MOSFET 开关的尺寸有关的非线性电容。C_{p1} 显然不是该电路中惟一的寄生电容，但和其余的寄生电容相比，只有它最麻烦。举个例子来说，积分器电路的输入 V_{in} 和地之间的寄生电容其实是中性的(neutralized)，即其持有的电荷在信号传输路径上不起作用，也就是说这个寄生电容对整个电路的传递函数根本没有影响。这是因为 V_{in} 是由一个电压控制电压源(VCVS)导出的，其节点阻抗很低(也可被看作是地的近似)[20,21]。

C 底板的寄生电容也有类似的性质：该电容要么接 V_{in}，要么接地。此外，记得我们在前面已经假设电路中的运放是理想的，因此运放的虚地和地之间的寄生电容对电路性能的影响也被忽略。

下面我们应用*叠加原理*(principle of superposition)来分析 C_{p1} 对积分器传递函数的影响。首先，我们将图 3.2b 所示的电路分解成两个理想积分器：一个基于开关电容 C 的理想双线性 SC 积分器和一个基于寄生电容 C_{p1} 的理想并联 SC 积分器。有一点需要注意，就是在后面这个理想的并联 SC 积分器中，所有的开关在每个周期 T 中要改变两次状态，即对其输入进行采样保持所用的时钟频率是 $2f_{clk}$，而其输出则仅在 $\Phi_2\to 1$ 时跳变！[请复习从式(3.49)得出的结论以及双线性 SC 电路中的关系 $z=e^{j\omega T/2}$。]

对上述因素考虑完全之后，我们需通过将式(3.41)中的 C 用 C_{p1} 替换，用所得结果去乘一个超前因子(即 z)，然后我们再将得出的表达式和式(3.37)*叠加*，就可得到对寄生电容敏感的双线性 SC 积分器的传递函数，如下所示：

$$H_{BL}(z)=\left(-\frac{C_{p1}}{C_0}\frac{z^{-1}}{1-z^{-1}}\right)\cdot z+\left(-\frac{C}{C_0}\frac{1+z^{-1}}{1-z^{-1}}\right)=-\left(\frac{C+C_{p1}}{C_0}\right)\cdot\frac{1+\dfrac{C}{C+C_{p1}}z^{-1}}{1-z^{-1}}\tag{3.50}$$

将式(3.50)与式(3.37)中的理想传递函数比较，我们发现 C_{p1} 同时引入了幅值和相位偏差。在标准的 CMOS 工艺中，C_{p1} 通常在 0.05pF 的数量级，或者最多能达到所需电容值 C 的 1%左右(当 $C>10$pF 时)，而且 C_{p1} 的值会随环境温度显著变化。因此，为使 C 的精度达到 1%，电容 C 本身的值就得被设定为至少 5pF，这样一来，如果 $\omega T=0.1$，那么 C_0 的值将高达 50pF！如果设计中要求较大的时间常数(例如 $\omega T=0.01$)，那么 C_0 的尺寸将变得非常大，以致无法在单片集成电路上实现 C_0，从而迫使工程师必须想别的方法来减少如此高的电容分布值。

实际 SC 电路的精确数学分析通常相当繁琐，因此林林总总的计算机仿真工具得以大显身手。市面上不乏*高于晶体管层级的*(above-transistor-level)SC 电路仿真程序，SWITCAP[23] 是其中之一。作为一个不错的练习，有兴趣的读者可尝试应用 SWITCAP 来仿真对寄生电容敏感的双线性 SC 积分器(取 $C_0=5$pF，$C=0.5$pF，$C_{p1}=0.05$pF，$f_{in}=48$kHz，$f_{clk}=1.2$MHz)，绘出 1kHz～600kHz 之间的频响曲线(请考虑有无 C_{p1} 两种情况)，并用其来验证式(3.50)的准确性。为了节省篇幅，这里略去此练习的详细说明，但读者在附录 3.1 中可得到其 SWITCAP 源码，以作参考。

当分析寄生电容对图 3.2c 所示电路的影响时，我们可以套用前面分析双线性积分器时用过的招数。由此我们也发现除 C_{p2} 以外，其余的寄生电容对此电路传递函数的影响微乎其微。而且 C_{p2} 跟 C 并联，因此二者的电容可以加在一起。在式(3.41)中，将 C 替换成$(C_{p2}+C)$，我们就可以得到对寄生电容敏感的并联 SC 积分器的传递函数为

$$H_{FEp}(z)=-\frac{C_{p2}+C}{C_0}\frac{z^{-1}}{1-z^{-1}} \tag{3.51}$$

图 3.2d 所示的电路称为对寄生电容敏感的串联 SC 积分器(parasitic-sensitive series SC integrator)。按照上文中的分析套路，我们只要暂时忽略寄生电容，并假定这个积分器的输出仅在 $\Phi_1\rightarrow 1$ 时跳变，就可以得到其理想传递函数为

$$H_{BE}(z)=-\frac{C}{C_0}\frac{1}{1-z^{-1}} \tag{3.52}$$

套用例 3.1 用过的方法，我们可以证明这个积分器本质上实现了以下这种 s 到 z 的变换：

$$s\rightarrow\frac{1-z^{-1}}{T} \tag{3.53}$$

这就是常会涉及的后向欧拉映射公式，因此这个积分器常被称为后向欧拉积分器(backward-Euler integrator)，简称 BEI。我们还可推导出它的相移，如下所示：

$$\text{Arg}H_{BE}(e^{j\omega T})\equiv\text{Arg}\left(\frac{e^{j\omega T/2}}{j}\right)=\frac{\pi}{2}+\frac{\omega T}{2} \tag{3.54}$$

如果该后向欧拉积分器的输出被设置成只在 $\Phi_2\rightarrow 1$ 时跳变，那么根据式(3.52)我们可以得到最早由 Bruton 提出的反相Ⅱ型(inverting Type Ⅱ)或后向欧拉完全离散积分器[22]，简称后向欧拉 LDI，其传递函数为

$$H_{LDI_II}(z)=H_{BE}(z)\cdot z^{-1/2}=-\frac{C}{C_0}\frac{z^{-1/2}}{1-z^{-1}}=-\frac{C}{C_0}\frac{z^{1/2}}{z-1} \tag{3.55}$$

不难看出，式(3.55)与式(3.49)相同。因此这个后向欧拉 LDI 也具有 $\pi/2$ 的传递相移。

我们同样可以应用叠加原理来说明 C_{p3} 对串联 SC 积分器传递函数的影响(而且只有 C_{p3} 是值得讨论的寄生电容)。我们发现，图 3.2d 所示的电路其实是由两个子电路构成的：一个基于开关电容 C 的串联 SC 积分器和一个基于开关电容 C_{p3} 的理想并联 SC 积分器。注意，这两个子电路的输出仅在 $\Phi_1\rightarrow 1$ 时跳变。根据式(3.41)和式(3.52)，我们可以得到对寄生电容敏感的串联 SC 积分器的传递函数：

$$H_{BEp}(z)=\left(-\frac{C_{p3}}{C_0}\frac{z^{-1}}{1-z^{-1}}\right)+\left(-\frac{C}{C_0}\frac{1}{1-z^{-1}}\right)=-\left(\frac{C}{C_0}\right)\cdot\frac{1+\frac{C_{p3}}{C}z^{-1}}{1-z^{-1}} \tag{3.56}$$

可见，C_{p3} 使零点偏离标准的位置。感兴趣的读者可尝试用 SWITCAP 等工具仿真图 3.2d 中的对寄生电容敏感的串联 SC 积分器，以验证上述传递函数的准确性。

对寄生电容不敏感的 SC 积分器

前面看到的 SC 积分器都是对寄生电容敏感的，即它们的传递函数都会受某些寄

生电容的影响。我们一再强调，在制程中难以精确控制寄生电容，因此寄生电容会对整体电路的性能造成很大的影响，而忽视这种影响的后果则可能是整个IC设计的失败（例如，C_0的值过大）。

为了克服电路的这种缺点，研究者们提出了不少极具创意的对策，譬如图3.3a所示最早由Jacobs等提出的对寄生电容不敏感的并联SC积分器[8]，图3.3b所示由Martin提出的对寄生电容不敏感的串联SC积分器[9]，以及图3.3c所示由Knob提出的对寄生电容不敏感的双线性积分器[24]。注意在这些电路图中，假定各积分器的输出仅在$\Phi_1\rightarrow1$时跳变，图3.3c的输入信号则在Φ_1闭合时才被采样保持。而且，这里我们仍假设所用的运放都是理想的。

让我们从图3.3a所示的积分器开始。这里我们只需讨论寄生电容C_{p1}，因为与前面看到过的电路类似，其余的寄生电容对电路的影响可以忽略不计。当Φ_1闭合时（$\Phi_1=1$），C_{p1}与C并联，两个电容同被输入电压充电。当Φ_2闭合时（$\Phi_2=1$），和C不同，C_{p1}持有的电荷不会经反馈电容C_0传递到输出端去，这是因为此时它的两个极板都是接地的（即它是中性的）。由此我们得出结论：C_{p1}对电路的传递函数毫无影响，即此积分器对寄生电容不敏感。

48

将此积分器同图3.2c所示的对寄生电容敏感的并联SC积分器做比较之后，我们发现，除在节点和开关配置上的不同之外，这两个积分器之间还存在一个关键的区别：它俩各自从V_{in}传输到V_{out}的电荷的极性正好相反。其实这一区别源自以下操作：在Φ_1闭合期间，图3.2c中的输入V_{in}对C的上极板充电，而图3.3a的V_{in}却对C的下极板充电。我们知道，传递函数的极性取决于电荷传输总量的极性，因此我们可以说，图3.3a所示积分器的传递函数与式(3.41)给出的传递函数反相，即图3.3a所示电路实现的是一个正相的、对寄生电容不敏感的前向欧拉积分器(FEI)，其传递函数是：

$$H_1(z)=-H_{FE}(z)=\frac{C}{C_0}\frac{z^{-1}}{1-z^{-1}} \tag{3.57}$$

这个积分器的相移是：

$$\mathrm{Arg}H_1(e^{j\omega T})=\mathrm{Arg}H_{FE}(e^{j\omega T})-\pi=-\frac{\pi}{2}-\frac{\omega T}{2} \tag{3.58}$$

需要注意的是，在图3.3a中，V_{in}和V_{out}从来不会耦合在一起。因此，该电路本质上是一个对寄生电容不敏感的并联SC积分器，故得其名。此外，如果该电路的输出被设置成仅在$\Phi_2\rightarrow1$时跳变，那么得到的将是一个对寄生电容不敏感的正相I型LDI，它具有$-\pi/2$的相移。

照搬前面的推导过程，我们也可以通过将图3.3b所示对寄生电容不敏感的串联SC积分器(parasitic-insensitive series SC integrator)与图3.2d所示对寄生电容敏感的串联SC积分器做一个比较，来推得前者的传递函数（提示：重点在比较两个电路中的Φ_2开关）。不难发现，在理想条件下这两个积分器应具有相同的传递函数。换句话讲，它们都是反相BEI(后向欧拉积分器)，只不过一个是对寄生电容敏感的，另一个则不是。感兴趣的读者可以练习推导其传递函数。结果如下，其实与式(3.55)相同。

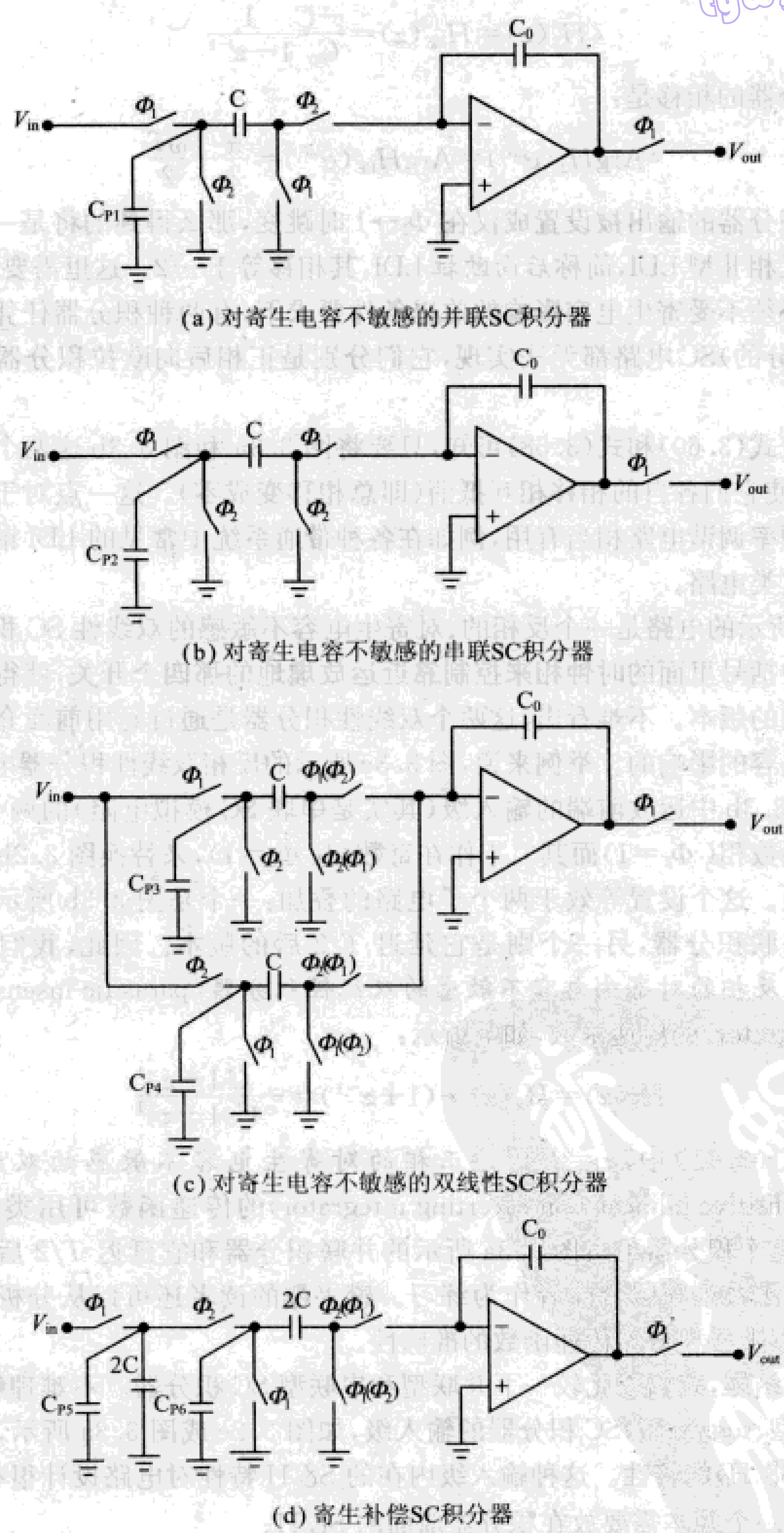


图 3.3

注：图中只画出了值得关注的寄生电容。

49~50

$$H_2(z)=H_{BE}(z)=\frac{-C}{C_0}\frac{1}{1-z^{-1}} \tag{3.59}$$

这个积分器的相移是：

$$\mathrm{Arg}H_2(e^{j\omega T})=\mathrm{Arg}H_{BE}(e^{j\omega T})=\frac{\pi}{2}+\frac{\omega T}{2} \tag{3.60}$$

如果该积分器的输出被设置成仅在 $\Phi_2\to1$ 时跳变，那么得到的将是一个对寄生电容不敏感的反相Ⅱ型LDI，简称后向欧拉LDI，其相移等于 $\pi/2$。这里需要强调，在电路的传递函数必须不受寄生电容影响的前提条件要求下，有两种积分器任凭用哪种单端的（即非全差分的）SC电路都无法实现，它们分别是正相后向欧拉积分器BEI和正相Ⅱ型LDI。

通过比较式(3.60)和式(3.58)可知，只要将图3.3a和图3.3b这两个积分器级联起来，就可以使它们各自的相移相互抵消（即总相移变成零）。这一点对于构建需要零环路相移的频率调谐电路相当有用，例如在各种带通系统中常见的LDI谐振器和环形振荡器就是这类电路。

图3.3c所示的电路是一个反相的、对寄生电容不敏感的双线性SC积分器。如果我们改用图中括号里面的时钟相来控制靠近运放虚地的那四个开关，就得以实现这个积分器的正相的版本。不难看出，这两个双线性积分器是通过延用前面介绍过的技术来消除寄生电容的影响的。举例来说，图3.3c所示的反相双线性积分器电路是如此设置的：利用图3.3b中运放前端的输入级（其实是串联SC模拟电阻）的两个互补版本，其一工作在偶数相（$\Phi_2=1$）而其二工作在奇数相（$\Phi_1=1$），来替换图3.2b中双线性积分器的输入级。这个设置等效于两个子电路的叠加：一个是图3.3b所示的对寄生电容不敏感的串联积分器，另一个则是它延迟 $T/2$ 后的版本。因此，我们可以利用式(3.59)来写出反相的对寄生电容不敏感的双线性积分器（parasitic-insensitive bilinear inverting integrator）的传递函数，如下所示：

$$H_3(z)=H_2(z)\cdot(1+z^{-1})=-\frac{C}{C_0}\frac{1+z^{-1}}{1-z^{-1}} \tag{3.61}$$

注意在式(3.61)中，$z=e^{j\omega T/2}$。正相的对寄生电容不敏感的双线性积分器（parasitic-insensitive bilinear non-inverting integrator）的传递函数可用类似的方法求得，也就是说这个积分器可由图3.3a所示的并联积分器和它延迟 $T/2$ 后的版本叠加而成。具体的函数推导留给读者作为练习。感兴趣的读者还可以从分析电荷传输过程入手，验证以上各积分器传递函数的准确性。

51

在本节的结尾，我们来比较一下并联型和串联型SC积分器。不难理解的是，并联型（亦称双向型、toggle型）SC积分器的输入级，如图3.2c或图3.3a所示，包含了一个采样和保持（S&H）的特性。这种输入级内在的S&H特性对电路设计很有帮助，它可以帮我们节省一个原本需要放在积分器前面的S&H。

本身具有S&H特性的并联型SC积分器，同图3.2d、图3.3b中的串联型SC积分器相比，受实际运放的暂态响应影响较小。为理解这一点，我们假设串联型SC积分器

的输入 V_{in} 为一个连续时间信号，且在其输入前端没有放 S&H。也就是说，在串联 SC 积分器中，V_{in} 直接对运放的反相输入端充电。虽然到目前为止，我们假设运放是理想的（即它能够跟得上输入信号的变化），但实际上运放也很有可能跟不上。这样一来，运放的暂态响应也许就无法在单个相中（即在 Φ_1 或 Φ_2 结束之前）足够地逼近未经 S&H 的 V_{in}，从而导致输出产生信号畸变。对于高频（即变化快的）输入信号来说，由于运放的逼近速度不够而引起的输出畸变尤为严重。总之，在输入前端没有放 S&H 的情况下，并联 SC 积分器得益于其自身固有的 S&H 特性，在处理高频信号方面通常要比串联 SC 积分器略胜一筹。

另一方面，到目前为止我们看过的所有积分器中，只有图 3.3a 的积分器既是并联型的，又对寄生电容不敏感。然而，我们不难发现，其实像图 3.3a 这类电路只能实现有延迟的正相积分器，例如式(3.57)所示的传递函数。这在实际设计中往往是不够用的（对于单端 SC 积分器来说，工程师不能通过交换电路的输入线或输出线来达到反相的目的，但对于全差分 SC 积分器来说，这却是一件轻而易举的事）。

为了提供更多的设计选择，Fleischer 等发明了颇具创意的寄生补偿（parasitic-compensating）结构[25]，如图 3.3d 所示。电路中两个不同类型的开关电容输入级一前一后地级联，从而形成了一个新的输入级（前面的输入级是并联反相型，后面的输入级是串联反相型，但由于后面的 2C 电容在 Φ_1 闭合时被两端接地放电，所以二者级联在一起的结果仍是并联反相型的输入级）。显然，并联 SC 输入级固有的 S&H 特性在这里得以保持。只要小心匹配这两个 2C 电容，使它们的顶板寄生电容彼此抵消（即让 $C_{p5}=C_{p6}$），该积分器就可不受寄生电容的影响[25]。而且，这种对寄生电容不敏感的结构还可用于实现有延迟的反相积分器：

$$H_M(z)=-\frac{C}{C_0}\frac{z^{-1}}{1-z^{-1}} \quad 和 \quad H_{M_LDI}(z)=-\frac{C}{C_0}\frac{z^{-1/2}}{1-z^{-1}} \tag{3.62}$$

$H_M(z)$ 是一个有整周延迟的反相积分器（即 FEI），而 $H_{M_LDI}(z)$ 是一个有半周延迟的反相积分器（即 Inverting Type Ⅱ LDI）。它们之间的区别只在于图 3.3d 中的输出到底是在 Φ_1 还是在 Φ_2 闭合时跳变而已。

我们可以通过交换图 3.3d 中虚地附近的两个开关（即采用图中括号内的时钟相）来获得一个正相的寄生补偿积分器。通过比较式(3.62)和式(3.57)可知，这个正相积分器其实克隆了图 3.3a 所示电路的传递函数，但它需要占用较多的开关和较大的电容，因此在实际中极少采用。

基于上述并联积分器所固有的 S&H 特性以及寄生补偿的概念，研究者们发明了几种有趣的实现寄生补偿型双线性 SC 积分器（parasitic-compensated bilinear SC integrator）的拓扑。其中 Eriksson 和 Akhlaghi 报告的一种电路[26]较为实用，该电路不仅在输入端节省了一个 S&H，而且其实现的是一个正相的双线性积分器。根据式(3.61)，我们可以推得该积分器的传递函数为

$$H_{BLM}(z)=-H_3(z)=\frac{C}{C_0}\frac{1+z^{-1}}{1-z^{-1}} \tag{3.63}$$

式中 $z=e^{j\omega T/2}$。感兴趣的读者可参考文献[26]以获得此电路的更多细节。

现在我们来总结一下本节。式(3.57)、式(3.59)及式(3.61)～式(3.63)表示了所有可能实现的、对寄生电容不敏感的单端 SC 积分器。除了式(3.63)[26]以外，本节中提到的其余传递函数都可应用图 3.3a～图 3.3d 中的各种对寄生电容不敏感的单端 SC 电路结构对号入座地一一予以实现。此外，在电路的传递函数必须不受寄生电容影响的前提下，正相后向欧拉积分器 BEI 和正相Ⅱ型 LDI 这两种积分器是无法用单端 SC 电路实现的。但我们很快就会看到，它们可用全差分 SC 电路轻易地实现。

全差分 SC 积分器

在现代 SC 电路中，全差分模拟放大器比单端模拟放大器更加普及，这主要是因为与单端放大器相比，全差分放大器不仅能够更加有效地抑制电路的共模噪声（如电源噪声、电压偏移等），还可以通过交叉接线，来改变整个电路传递函数的极性。

标准的全差分欧拉 SC 积分器如图 3.4a 所示。不难看出，该电路是由图 3.3a 的积分器及其沿水平线翻转而得的版本结合而成的。一般来说，所有全差分 SC 积分器都能做成是对寄生电容不敏感的，因为每个全差分积分器通常可由两个（或更多个）对寄生电容不敏感的单端电路组合而成。

53

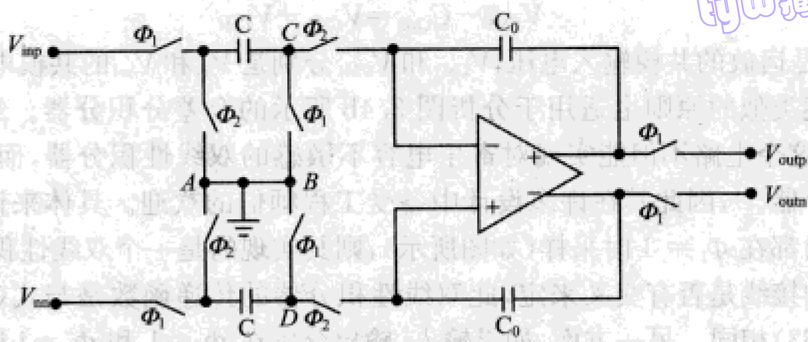
可以证明的是，如果图中电路的输入和输出都在 $\Phi_1=1$ 时采样（如图所示），则其传递函数将如式(3.57)所示。但如果输出只在 $\Phi_2=1$ 时采样，则式(3.57)分子中的延迟项(z^{-1})将不会出现。换句话说，根据输入、输出各自的采样模式而定，图 3.4a 的电路既可做成前向欧拉积分器(FEI)，也可做成后向欧拉积分器(BEI)。

此外，我们只需将电路输出的两个接线交叉（即交换 V_{outp} 和 V_{outn}），即可使上述传递函数的符号变反。这个特性表明，我们可以基于图 3.4a 所示的差分 SC 电路来实现正相 BEI 和Ⅱ类 LDI。感兴趣的读者可以尝试推导这两种电路的传递函数。

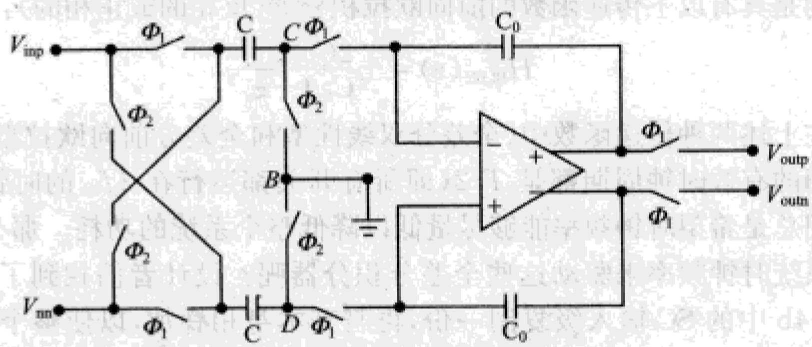
在图 3.4a 中，节点 A 和节点 B 都被画成是接地的。但在实际设计中，这两个节点很少同时接地或接在一起。常见的做法是，节点 A 被分割成上、下两个节点，分属于电路的上、下两个部分，上节点连接到正参考电压 V_{refp}，下节点连接到负参考电压 V_{refn}。这样一来，输入节点 $V_{inn(p)}$ 和参考节点 $V_{refp(n)}$ 间的电压差将由电容 C 来采样保持。另一种常见的方案是，正、负参考电压分别连到图中的节点 C 和节点 D，而不是上、下部两个 A 节点。这些采样配置在抑制采样噪声、防止输入信号泄漏等方面各有长短[27]。因此，它们在实际设计中被采用的机会也同样不相上下。

此外，差分参考电压差（即 $V_{ref}=V_{refp}-V_{refn}$）常用来确定整个电路的动态幅摆范围要求。实际上，为了让所有开关正常工作，一般都会要求将 V_{ref} 的值设置成供电电压的一半（或比一半稍小）。

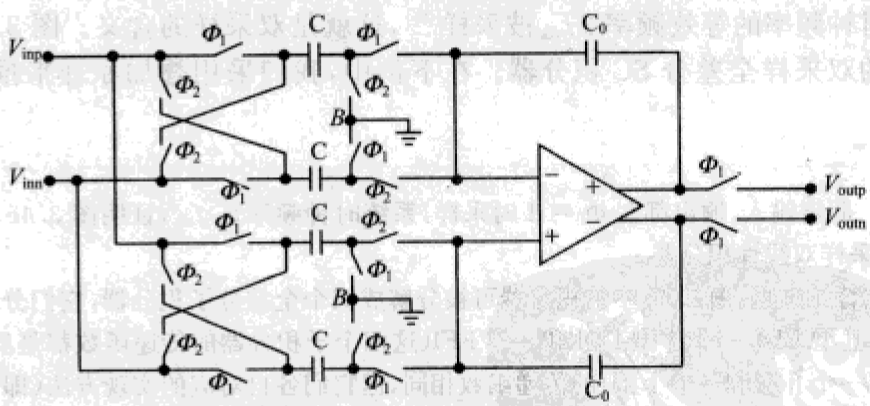
节点 B 通常会被连接到一个电压源 V_{CMI} 的输出，该电压源可通过一个开关电压调节器或偏置电路调节其直流电压输出的大小。调节 V_{CMI} 的目的，是为了满足下述共模电压跟踪条件[28,29]：



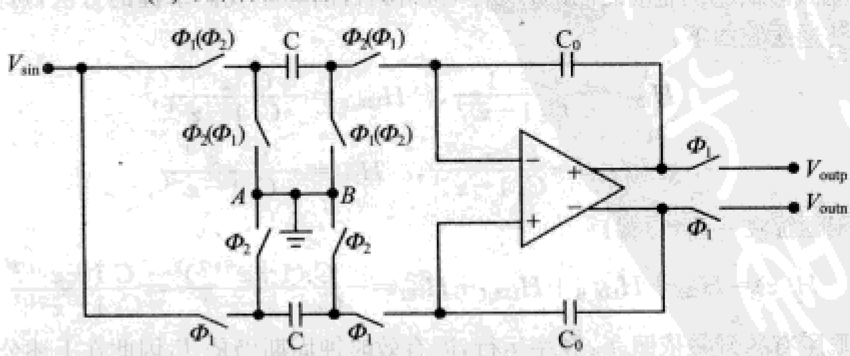
(a) 全差分欧拉SC积分器



(b) 全差分双线性/前向欧拉SC积分器



(c) 双采样全差分双线性/欧拉SC积分器



(d) 具有单端到全差分转换功能的全差分SC积分器

图 3.4

注：图中所有运放都假定为理想的。

$$V_{CM1}-C_{CM2}=V_{CM3}-V_{CM4} \tag{3.64}$$

式中，V_{CM2}是运放的共模输入电压，V_{CM3}和V_{CM4}分别是V_{in}和V_{ref}的共模电压。

54~55

与上述类似的原则也适用于分析图3.4b所示的全差分积分器。然而，和上面的电路相比，这个电路不但能实现对寄生电容不敏感的双线性积分器，而且还能实现前向欧拉积分器[30]，因此其在许多设计中备受工程师们的欢迎。具体来说，若该电路的输入和输出都在$\Phi_1=1$时采样（如图所示），则其实现的是一个双线性积分器。而且由其输出端的接线是否有交叉来定，此双线性积分器的传递函数是与式(3.61)相同，还是与式(3.63)相同。另一方面，如果输入、输出分别在$\Phi_2=1$和$\Phi_1=1$时采样，那么该电路实现的是具有以下传递函数的前向欧拉积分器（反相的或正相的）：

$$H_{BLFE}(z)=\pm\frac{2C}{C_0}\frac{z^{-1}}{1-z^{-1}} \tag{3.65}$$

注意在上述两种传递函数中（全差分双线性型和全差分前向欧拉型），$z=e^{j\omega T/2}$，这是因为它们的有效时钟周期都是$T/2$（即所有开关都运行在$2f_{clk}$的时钟频率下）。在实用中我们总是希望时钟频率能够尽量低以降低整个系统的功耗。那么，怎样做才能用较低的系统时钟频率来驱动这些全差分积分器呢？设计者们找到了一个有趣的方案：将图3.4b中的SC输入级复制一份，再与其本身相叠加，以使整个电路被双采样(double-sampled)。这样一来，虽然系统时钟频率是f_{clk}，但电路的输入信号却按照两倍于系统时钟频率的等效频率$2f_{clk}$被采样[30]，这就是双采样的含义。图3.4c所示为一个标准的双采样全差分SC积分器。在下例中，我们采用叠加原理来推导其传递函数。

例3.2 假定输入、输出都在$\Phi_1=1$时采样，系统时钟频率是f_{clk}，证明图3.4c的电路实现的是一个双采样双线性积分器。

解：根据叠加原理，图3.4c中的积分器可被分解成四个全差分子积分器，它们分别等效于一个BEI、一个Ⅱ型LDI、一个Ⅰ型LDI和一个FEI（这四个子积分器的传递函数都是反相的）。虽然两个LDI（一个Ⅱ型和一个Ⅰ型）的传递函数相同，但它们各自对应的实现方法（即子积分器拓扑）不同，因此我们应辨识它们之间的差别。利用到目前为止我们掌握的方法，可列出四个子积分器各自的传递函数如下：

$$H_{BEI}=-\frac{C}{C_0}\frac{1}{1-z^{-1}},\quad H_{LDI_II}=-\frac{C}{C_0}\frac{z^{-1/2}}{1-z^{-1}},$$

56

$$H_{LDI_I}=-\frac{C}{C_0}\frac{z^{-1/2}}{1-z^{-1}},\quad H_{FEI}=-\frac{C}{C_0}\frac{z^{-1}}{1-z^{-1}}$$

将4个传递函数加在一起，可得：

$$H(z)=H_{BEI}+H_{LDI_II}+H_{LDI_I}+H_{FEI}=-\frac{C}{C_0}\frac{(1+z^{-1/2})^2}{1-z^{-1}}=\frac{C}{C_0}\frac{1+z^{-1/2}}{1-z^{-1/2}} \tag{3.66}$$

注意这里所有的开关依照f_{clk}频率运行，即有效时钟周期仍是T，因此在上述公式中$z=e^{j\omega T}$。我们只要用新符号$z_1=z^{1/2}=e^{j\omega T/2}$代替$z^{1/2}$，就可改写该传递函数成：

$$H(z)=-\frac{C}{C_0}\frac{1+z_1^{-1}}{1-z_1^{-1}},\quad \text{其中}\quad z_1=e^{j\omega T/2} \tag{3.67}$$

该传递函数同式(3.61)形式相同,因此我们可以说图 3.4c 实现的也是一个双线性 SC 积分器。不过,同目前我们已见过的其他双线性积分器相比,这个积分器在实现同一双线性传递函数时,其采用的时钟频率只有其他积分器所用频率的一半,从而在节省功耗和放宽对器件运行速度的要求等方面更具优势。

双采样 SC 积分器通常被广泛应用于对采样数据信号的处理,例如 ΔΣ 数据转换器(参见第 5 章)。它所特有的双采样属性利于将整个 ΔΣ 数据转换器的过采样比(oversampling ratio,OSR)降低一半。在文献[31]中,Senderowicz 等人报告了一个基于双采样 SC 积分器的 ΔΣA/D 转换器,他们为这类电路的设计提供了一个非常有用的参考实例。

全差分积分器的输入有时可能是一个单端信号。在这种情况下,我们往往需要在全差分积分器之前加一个单端—全差分信号转换器。我们也可应用图 3.4d 所示的电路来达到同样的效果。这个电路本质上是一个内带单端—全差分信号转换器的 SC 积分器。如图所示,假定电路的输入和输出都在 $\Phi_1 = 1$ 时采样,不难看出电路的上半部分实现了一个正相 FEI(V_{outp}/V_{sin}),而其下半部分则实现了一个反相 BEI(V_{outn}/V_{sin}),且后者将完成转换符号的任务。输出 V_{out} 是一个全差分信号,$V_{out}/V_{sin}=(V_{outp}-V_{outn})/V_{sin}$,由此可以证明该电路实现的是一个正相的、对寄生电容不敏感的双线性 SC 积分器。图中括号里的时钟相可用于实现具有全延迟(即 z^{-1})的积分器的传递函数。注意单端—全差分 SC 积分器的实现方案并非只有这一种,感兴趣的读者可以进一步学习有关文献。

57

到此为止,我们已对各种 SC 积分器作了一个梳理,讨论了对寄生电容敏感的/不敏感的单端 SC 积分器,及各式全差分 SC 积分器。但事实上我们在这里看到的只是冰山一角,还有许多其他实现 SC 积分器的方案,例如阻尼(有损)SC 积分器[30],超大时间常数(VLTC)SC 积分器[32,33]等。不同的 SC 方案侧重解决设计中不同的实际问题,建议读者搜索有关文献以了解更多的设计实例。

最后再次强调,本节中所提到的运放都是理想的。也就是说,我们尚未考虑由直流电压失调、有限运放增益与带宽、低电压供电等等原因引起的电路性能上的偏差。第 7 章将详细介绍用于解决这些问题的设计方法与技术。

3.4 CMOS 采样保持电路

本节介绍基本的 CMOS 采样保持(S&H)电路。S&H 是许多采样数据电路的基本有源子电路,而 A/D 转换器(ADC)又占这类采样数据电路中相当大的份额。

在大多数情况下,S&H 常被用作前端采样电路。它在采样的时刻抓取模拟输入信号的瞬间值,亦即采样(sample),然后将采得的瞬间信号值保持(hold)一段时间,其间 ADC 完成一个周期的数字运算。这就是采样—保持(sample-and-hold)这一称号的由来。不少实际应用还要求 S&H 具有跟踪输入信号的能力,即跟踪—保持(track-and-hold,T&H)。在一个 T&H 中,在采样(亦即跟踪)模式下,其输出将跟踪(track)输入的变化;

而从采样/跟踪模式结束时算起，直到下一个采样时刻开始之前的整个保持模式期间，T&H 的输出值保持不变。这就是跟踪—保持(track-and-hold)这一称号的由来。

与 S&H 相比，T&H 通常需要花费一段特定的时间(譬如半个时钟周期)来跟踪输入信号的变化。除了部分高频应用之外(例如高速无线或有线通信)，大多数应用要求其采样电路按 T&H 的模式来运行[34]。尽管如此，本书的讨论中仍延用传统的名称采样—保持(S&H)。

一个标准的 S&H 如图 3.5 所示，图中 V_{in}是输入信号；M_1是采样开关，对输入信号进行采样；C_h是保持电容，保持采样得到的电压值；clk 是时钟信号；V_{out}是输出信号。采样开关 M_1可用 MOS 晶体管(NMOS 或 PMOS)、CMOS 传输门(NMOS 和 PMOS 的组合)、GaAs 晶体管或者二极管桥等来实现，本书中我们只考虑基于 MOS 晶体管和 CMOS 传输门的实现方案。

58

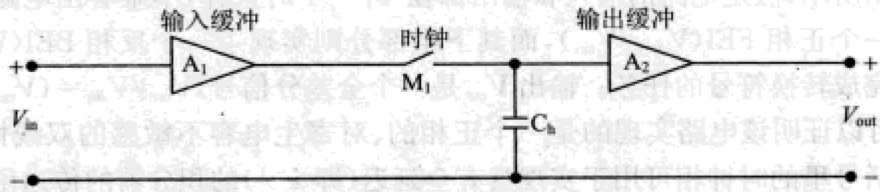


图 3.5 带有输入、输出电压缓冲的开环 S&H

在图 3.5 中，A_1是输入电压缓冲，其主要作用是防止开关电容(即 M_1和 C_h)时的瞬变电流对输入信号造成影响；A_2是输出电压缓冲，主要用于在保持模式下，保护 C_h两端保持的电压，以免受 S&H 后续电路的影响而产生电压值的流失。

此 S&H 电路的运行原理如下：在采样模式期间，采样开关 M_1导通，输入电压值被采样到 C_h两端。在保持模式期间，采样开关 M_1断开，从而使保持电容 C_h的上极板与输入端节点断开。从理论上来讲，在 M_1再次导通之前，电容电压 V_{out}将停留在 M_1断开前那一时刻的 V_{in}值。采样和保持模式各自的长度及相互间隔由系统时钟 clk 控制。

从实际的角度出发，我们不应忽视的是：林林总总的器件级非理想特性，譬如采样开关 M_1的非零导通电阻、电荷注入、直流电压失调、输入/输出缓冲的有限速度等，给实际的 S&H 电路造成各种性能上的偏差。为了理解这些偏差的本质，我们必须准确地定义用于描述 S&H 性能的电路参数，这正是下节的主题。

性能参数

本小节将定义一些 S&H 的性能参数。这些参数到底谁轻谁重，在很大程度上将由 S&H 电路具体的应用场合而定[34]。

捕获时间(acquisition time)是指从采样模式一开始，直到 C_h两端电压的值逼近到某个给定的范围以内(比如，这一刻 C_h两端电压与输入信号电平之间的距离不超过后者的 0.1%或 0.01%)所需的时间。捕获时间本质上是一个动态参数(亦称交流参数)，

它表征的是电路针对输入信号变化反应的快慢。事实上，捕获时间的长短取决于 A_1 的速度、M_1 的导通电阻、保持电容 C_h，以及 A_2 的输入阻抗。不难看出，捕获时间的性质与逼近时间很相似，因此它也常被称作采样模式逼近时间(sampling-mode settling time)。

59

保持模式逼近时间(holding-mode settling time)是指从保持模式一开始，直到输出电压 V_{out} 的值逼近到某个给定的范围以内(比如，这一刻 V_{out} 的值距离其最终的稳定值不超过后者的 0.1%到 0.01%)所需的时间。保持模式逼近时间也是一个动态参数，它的长短由 A_2 的速度决定。

孔径抖动(aperture jitter)或孔径不确定性(aperture uncertainty)可能应算得上是 S&H 电路最重要的动态参数了。在高速应用中，孔径抖动严重与否尤为关键。对于图 3.5 中的 S&H 电路来说，其孔径抖动的平均值反映的是从系统下达采样或保持命令的那一刻开始，到采样开关 M_1 真正闭合或断开的那一刻为止，所需的这段时间值发生随机变化的幅度。S&H 电路中的孔径抖动主要是由系统时钟信号自身在时域上作随机的变化(即抖动)而引起的，因为这个时钟信号直接控制着 M_1 闭合/断开的操作。

我们来看孔径抖动会对 S&H 电路的性能造成哪些影响。总的来讲，孔径抖动会使电路的输出信号更加明显地偏离其理想值，从而使总体电路的信噪比(signal-to-noise ratio, SNR)降低。举例来说，我们对一个正弦波输入信号 $V_{in}(t)=A\cdot\sin(2\pi ft)$ 进行采样，采样时刻为 $t=nT+\sigma(n=1,2,3,\cdots)$，其中 σ 是在 nT 时刻测到的孔径抖动幅度的瞬间值。我们可以证明的是，在 t 与其理想时间点偏离 σ 的情况下，采样电压偏离其理想值的距离正比于输入信号波形的斜率(即 dV_{in}/dt)。因此，由 σ 引起的采样电压的偏差可表示为：

$$\varepsilon_{\text{aperture_jitter}}(t)=\sigma\cdot\left|\frac{dV_{in}(t)}{dt}\right|=A\cdot 2\pi\cdot f\cdot\sigma\cdot|\cos(2\pi\cdot f\cdot t)| \tag{3.68}$$

基于式(3.68)，我们可进一步利用下面的公式[35]来推导孔径抖动对总体电路 SNR 值的影响，即一个带有孔径抖动 σ 的采样保持电路的 SNR 值如下所示：

$$SNR_{\text{aperture_jitter}}=-20\log_{10}(2\pi\cdot f\cdot\sigma_t) \tag{3.69}$$

式中 f 是输入信号的频率，σ_t 是孔径抖动幅度的 RMS 值。这里我们可以看到，电路输入信号的频率越高，孔径抖动对 SNR 值的影响越严重。式(3.69)对于估计带有孔径抖动的高频采样电路的信号处理精度很有用，读者可以参考文献[35]，其中包括了对式(3.69)详细的数学证明。但同时我们需要注意的是，该公式的成立有一个前提条件：孔径抖动 σ 可被看作是一个与输入电压瞬时值 $V_{in}(nT)$ 无关的随机信号(即随机性孔径抖动)。此条件等于假设孔径抖动与输出信号中的谐波畸变(harmonic distortion)无关。

如果我们暂且接受上述条件而忽略孔径抖动与输入之间的关系，到么，到底是什么因素导致非线性谐波畸变在 S&H 输出信号中出现呢？在实际设计中普遍认为有三个重要因素：电荷注入[charge injection，亦称时钟馈入(clock feedthrough)]，与输入信号有关的开关导通电阻(inputdependent switch on-resistance)，以及上升/下降沿斜率有限的非理想时钟信号波形(imperfect clock waveform with a finite slope)。

60

我们在第1章曾简单介绍了电荷注入的原理。这里我们基于S&H电路结构，再次将其工作过程概述如下：在保持模式期间，当采样开关断开时，由MOSFET器件的记忆效应而产生的多余负电荷，将通过沟道分散到其源极和漏极[36]。假定图3.5中的M_1是一个NMOS开关，应用半导体器件物理学的知识，我们可将添加到其源极或漏极上的负电压[亦称保持阶跃(hold step)]表示成：

$$\Delta V=-\frac{C_{ox}WL\cdot(|V_{gs}|-V_{th})}{2C_h}=-\frac{C_{ox}WL\cdot(V_{dd}-V_{in1}-V_{th})}{2C_h} \tag{3.70}$$

这里V_{dd}、V_{in1}和V_{th}分别是供电电压、M_1断开时输入缓冲A_1的输出电压，以及M_1的阈值电压。式(3.70)表明，电荷注入导致电路中出现了一个线性增益偏差和一个非线性畸变。正如式(3.70)所示，线性增益偏差的出现归咎于保持阶跃电压ΔV和输入电压V_{in1}间的线性关系，而非线性畸变则应归咎于由阈值电压V_{th}在V_{in1}与ΔV之间串接起来的非线性函数关系。后面提到的这层非线性关系对有些读者来说可能不易理解，我们在这里深入说明一下。首先我们根据式(3.70)可知，V_{th}与ΔV之间存在着一层线性关系。与此同时，V_{th}与V_{in1}之间又存在着一层非线性关系，这是为什么呢？因为在标准的CMOS工艺中，V_{th}的器件表达式如下[37]：

$$V_{th}=V_{th-0}+\gamma\{\sqrt{(V_{in1}-V_{sub})+2|\phi_F|}-\sqrt{2|\phi_F|}\} \tag{3.71}$$

式中V_{th-0}是当V_{sb}为零时的固有阈值电压，γ是基体效应(body effect)系数，Φ_F是基板(substrate)的费米势。对于任一给定的CMOS工艺，它们的值可看作常数。V_{sub}是基板电压。基板要么接地，要么接到负供电电源V_{ss}，因此V_{sub}的值也算是常数。这样一来，式(3.71)中仅剩下两个变量：V_{th}和V_{in1}。而且从该表达式中我们不难看出，这两个变量之间的关系是非线性的。因为V_{th}和V_{in1}之间存在的这层非线性关系，而且根据式(3.70)我们已知ΔV和V_{th}之间呈线性关系，所以我们可得结论：保持阶梯ΔV和输入信号V_{in1}之间其实存在着一层非线性的关系，而这正是导致谐波畸变的原因之一。

我们需要注意的是：线性增益偏差的效果主要是会使输出电压的幅值下降，从而降低电路的SNR值；而上面提到的保持阶梯和输入信号之间的非线性关系，则会引入输出信号中非线性的谐波畸变，从而降低电路的信号畸变比(signal-to-distortion-ratio，简称SDR)。

与电荷注入不同的是，开关导通电阻在采样模式期间(而非保持模式期间)对电路起作用。开关导通电阻可以表示为(参见第1章)：

$$R_{on}=\frac{1}{\mu_n C_{ox}(W/L)(V_{dd}-V_{in1}-V_{th})} \tag{3.72}$$

从式(3.72)可知，R_{on}和V_{in1}之间呈非线性的关系。假设保持电容C_h的值已给定，我们可以说S&H电路的时间常数是随着输入信号而变化的，从而导致输出信号中出现非线性的畸变。

61

上升/下降沿斜率有限的非理想时钟信号也会给电路带来非线性的畸变。我们已知图3.5中的采样开关M_1是一个NMOS，因此每当$(V_{clk}-V_{in1})$的值到达其阈值电压V_{th}时，M_1就会导通。如果V_{clk}不能立刻由"高"掉到"低"(或由"低"跳到"高")，即V_{clk}

波形的上升/下降沿的斜率不是无穷大的，那么，无论是($V_{clk}-V_{in1}$)的变化还是开关的闭合/断开，都不能在瞬间完成。这种情况意味着采样或保持的操作将可能在不应该发生的时刻发生。其实凭直觉我们可知，这种操作时间上的偏差既与输入信号的频率 f 有关(即与 V_{in1} 变化的快慢有关)，又与时钟波形的斜率有关(即与 V_{clk} 变化的快慢有关)。非理想时钟信号所表现出的有限的上升/下降沿斜率值，不但会导致非线性谐波畸变，而且是确定性孔径抖动(deterministic aperture jitter，注意它不同于前面提到的随机性孔径抖动)的诱因之一。

我们可以证明的是，信号畸变比(SDR)与 $V_{clk}/(V_{in1}\cdot f\cdot t_{ct})$ 的值成正比，其中 t_{ct} 是系统时钟信号由"高" 掉到"低"(或由"低" 跳到"高")所需的时间。

如果需要整合 S&H 电路的信号畸变比(SDR)及信噪比(SNR)以作统一考量，我们会用到一个称为信噪畸变比(signal-to-noise-plus-distortion ratio，简称 SNDR)的参数。在大多数的应用中，实际测得的 SNDR 值集中地反映了上述现象(包括孔径抖动、电荷注入及非理想时钟信号等)施加在电路性能上的限制(即 SNDR 是所有效果的一个汇总)。

动态幅摆范围(dynamic range，简称 DR)通常被定义为 S&H 能够正确处理的最大的和最小的输入电压之间的差距(常用 dB 为计算单位)。DR 有时也可以被表示成最大输出值与最小输出值之比。DR 的大小主要取决于电源电压、采样开关的阈值电压，以及从输入端引入的直流噪声(如直流电压偏移)等因素。

值得一提的是，还有许多其他可用于描述 S&H 电路的参数，如基座偏差(pedestal error)、下降率(droop rate)，以及保持模式信号馈入(holding-mode feedthrough)等。但在实际应用中，这些参数很少被工程师一一测量或者单独地进行量化。为简化起见，它们各自反映的电路性能指标往往被融合在 SNR 或 SNDR 之类的参数里面。

S&H 电路的测试

最常用的测试 S&H 电路特性的方法是双核测试(back-to-back test)[38]，其主要用于测量 SNR、SNDR 及孔径抖动幅度等关键的参数。在这种双核测试中，工程师将两个完全相同的 S&H 电路(即双核)安排在同一块芯片上，然后用当中一个 S&H 来帮助完成对另一个 S&H 的测试。待测的 S&H 运行在系统所能允许的最高时钟频率 f_{max} 下，而起辅助作用的 S&H 则由低时钟频率 $f_{max}/N+\Delta f$ 来驱动(视实际应用而定，N 通常可取 1～16 间的某一整数)。测试开始后，工程师先往待测的 S&H 里输入一个频率为 $f_{max}/N-\Delta f$ 的正弦信号，其输出信号再由辅助的 S&H(时钟频率设在 $f_{max}/N+\Delta f$)处理。

当 $N=1$ 时，这种测试也称拍频测试(beat-frequency test)，Δf 为拍频(其值通常取在 100kHz 的数量级)。当 $N>1$ 时，它常被称作包迹测试(envelope test)，在这种测试中，工程师将设法从 N 个频率相同(都等于 Δf)、但相移不同的一组输入正弦波(即包迹)中，随机地选出一个用于频谱分析，从而将施加在测试信号上的频率窗的中心值

从 f_{max} 下降到 $f_{max}/N(N>1)$。这也就是在数据转换器设计中常提到的欠采样(在图像处理系统中亦称次级采样)技术。

双核频率测试方案的基本理念是,利用采样开关固有的频率调制/解调能力,来研究在高频时钟下运行的 S&H 电路的噪声和谐波畸变性质。这种技术在实际应用中非常有效,因为它替工程师省去了在测试设备端(例如频谱分析仪)为高频信号做阻抗匹配的麻烦。换句话说,若无此技术,工程师就必须对 S&H 电路的输出仔细调整,以使其能够驱动 50Ω 的高频设备负载或宽带变压器。

下面我们来着重考虑 $N=1$ 时的测试情况。首先,频率为 $f_{max}-\Delta f$ 的正弦信号被待测 S&H(其时钟频率为 f_{max})解调成一个低频或拍频信号(即 $f=\Delta f$),然后由辅助 S&H(其结构同待测 S&H 完全相同,但其时钟频率为 $f_{max}+\Delta f$)对这个拍频信号中的 sinc 响应进行补偿[38]。这样做的结果是,待测 S&H 电路在高频率窗$[f_{max}-\Delta f, f_{max}+\Delta f]$以内的频谱特征,例如噪声电平、尖峰裕量(即谐波畸变)等,被逐一复制到了低频窗$[-\Delta f,+\Delta f]$以内。工程师只需利用一个简单的全差分—单端转换器而无需做任何多余的阻抗变换,就可以用频谱分析仪来分析这个由辅助 S&H 输出的信号。

双核频率测试也广泛用于测量 ADC 的特性。不过,如果被测 ADC 具有 M 位的精度,那么辅助 ADC 则需具有更高的精度(例如 $M+2$ 位)。

在本小节的结尾,基于式(3.68),我们可以发现对于一个给定的输入信号频率 f 来说,由孔径抖动 σ 引起的输出电压偏差的最大值应会在输入信号波形的过零点附近(即在输入信号 V_{in} 波形变化最陡的位置)出现。与之相反,当输入信号波形处于顶峰位置时(即当其波形变化最平缓的时候),孔径抖动引起的偏差则变得很小以致可以忽略不计。因此结合上小节中的结论我们可以说:实际测得的、由孔径抖动引起的输出电压偏差不仅与系统时钟信号是否"干净"有关,而且与在测试中输入信号被采样/测量的确切位置有关。由此可见,为孔径抖动对电路的实际影响作精确的量化并非一件易事。

进一步来说,当时钟和信号频率都达到像数百兆赫(MHz)这样高的水平时,实测结果对输入信号被采样/测量的位置尤其敏感,只要位置稍微一变动就会导致数值上较大的出入。但不幸的是,这里提到的双核测试并不足以有效地揭示测量结果和实测位置之间的这种相关性,因为其不能够完全区分随机性孔径抖动和确定性孔径抖动的效果。而且,一个双核测试所能达到的最大测量精度,归根结底还是依赖于其时钟发生器的精准度以及输出的稳定性的。对于一个现代 CMOS 时钟发生器电路来说,其自身的孔径抖动幅度往往就已经高于 5ps(RMS 值),因此一般来说,双核频率测试根本无法精确地测量*亚皮秒级的孔径抖动偏差*(sub-pico-second jitter error,即 RMS 幅度值小于 3ps 的孔径抖动)。在快闪型 ADC 及流水线型 ADC 这一类高速、高精度电路的设计制造过程中,对亚皮秒级孔径抖动偏差的精确测试早已不能避免,能够克服双核测试所受限制的新型测试方法也因此呼之欲出。感兴趣的读者可查找文献[39]和文献[40]。

63

CMOS S&H 电路

前面两小节简介了 S&H 电路的关键性能参数及目前最常用的测试其动态性能的技术，本小节将通过几个实例来介绍 CMOS S&H 电路的设计。

图 3.5 所示的电路常被称为*开环 S&H 结构*(open-loop S&H architecture)，它是最简单的 S&H 结构。这种开环 S&H 结构的优点包括高速和相当稳定，这主要是因为其电路不包含任何反馈回路。然而不难看出，一个开环 S&H 电路的最高精度主要受电荷注入、开关导通电阻、有限时钟斜率及基体效应的限制。尽管先前提到的方案(如在采样开关后接一个虚拟开关，或用 CMOS 传输门做采样开关[1,20]等)可以用来减少这些非理想特性对整个电路的影响，但开环 CMOS S&H 电路所能实现的最大精度值通常不会高于 8bit(即其 SDR 的值一般很难超出 48dB)[41]。

文献[42]和文献[43]介绍了几种具有 10bit 精度的快速开环 CMOS S&H 电路(系统时钟频率为 100MHz 甚至更高)。这几种旨在提高 S&H 电路精度的设计方案之中，有的利用*多层源跟随器*(stacked source follower)[42]以抑制由电荷注入及基体效应而引起的输出信号偏差，有的则利用*开关源跟随器*(switched source follower)[43]来达到同样的目的。在许多低电压 SC 电路设计中倍受欢迎的*自举*(bootstrapping)技术，也可用来减少 S&H 电路中的电荷注入偏差，并降低开关导通电阻对输入信号的依赖性[44](我们将在第 7 章讨论自举时钟的产生机制)。如果实际的设计应用要求比前面提到的电路更快(其系统时钟频率可高达 1.25GHz)、更精确(其精度在 9～12bit 之间)的开环 S&H 电路，那么这种电路的采样开关就只好用低电荷泄漏、高处理速度的双极型二极管桥来实现了[45,46]。

64

如果我们选择不采用上述特殊的源跟随器或者自举时钟技术，那么还有什么其他的方法可用来提高图 3.5 中 CMOS S&H 电路的输出精度呢？这个问题似乎有一个显而易见的答案：将运放 A_2 的输出端和运放 A_1 的反相输入端连接起来以建立一个负反馈。但是我们只要仔细观察一下就会发现，即使建立了一个负反馈，M_1 两边电压的大小仍会依赖输入信号，因此仅建立负反馈并不足以有效地消除输出信号中的非线性谐波畸变。而且如果我们真的建立了一个负反馈，那么 S&H 电路对输入缓冲(运放)A_1 转换速率的要求将变得相当苛刻，这主要是因为当 S&H 电路的操作从一相转入下一相时，A_1 的输出电压必须能在短暂的时间内显著地变化(比方说，考虑这种情况：S&H 电路的输入电压在保持模式结束之前有一个很大的突变)。

与上述单纯加一个负反馈的方案相比，图 3.6 所示的*闭环 S&H 结构*(colsed-loop S&H architecture)才是一条确实可行的出路[37]。如图所示，运放 G_2 在环路中建了一个虚地，而保持电容 C_h 则被接在这个虚地和 V_{out} 之间。一旦 M_1 断开、M_2 接地，M_1 沟道内残余的电荷将向两个方向扩散：在图中水平轴上往左扩散的电荷将通过 M_2 流入地，而往右扩散的电荷将被 G_2 的虚地吸收。因此，源自 M_1 的电荷注入的绝大部分将被有效地消除。我们还发现在采样模式期间($\Phi_1 \rightarrow 1$)，G_1 的输出节点通过 M_1 接到 G_2 的虚

地，而在保持模式期间($\Phi_2 \to 1$)，它则通过 M_2 接地。这就意味着 G_1 的输出在两个模式期间的电平其实非常相近，因此对其转换速率的要求变宽松了，也减少了从保持模式转入采样模式所需的时间(反之亦然)。此外，G_2 的输出电平也被 C_h 和 G_2 构成的内环保持在很小的变化范围内。

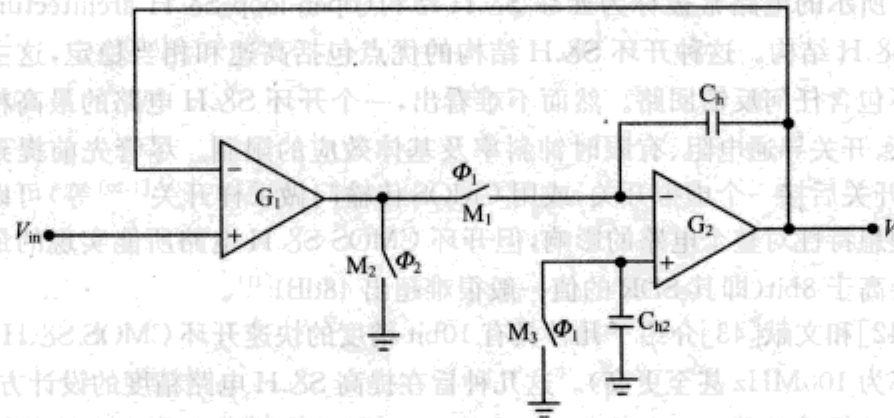


图 3.6 包含两个运放的闭环 S&H

从图 3.6 中我们还发现，在 G_2 的正相输入端连有一个附加的电路，其中 C_{h2} 的值与 C_h 相等，M_3 则与 M_1 完全相同。由此不难看出，此附加电路事实上是用来抵消在 C_h 或 M_1 两端因电荷注入、直流电压失调、寄生电容等而产生的电压变化的。这种抵消(亦称补偿)的概念很自然地引出了基于图 3.6 电路的全差分实现，其在高精度的(即精度在 10bit 以上)S&H 电路的设计中很常见。至于有关这种全差分闭环 S&H 的设计细节，感兴趣的读者可以参考 Nayebi 和 Wooley 的文章[47]。 65

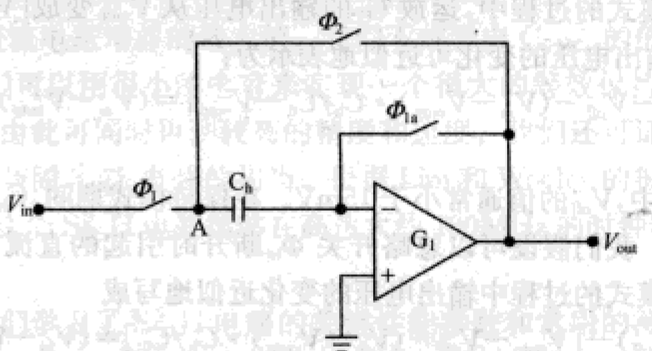
尽管图 3.6 中的闭环 S&H 比起开环 S&H 在电路的总体精度上已有较大的改进，但闭环 S&H 所包含的、由两级高增益运放构成的反馈环路仍迫使工程师必须在其速度和精度之间找寻最佳的平衡点。这里如果想要保证图 3.6 中电路的高精度和稳定性，那么它的两个运放就需要有足够长的信号逼近时间以及适当的相位裕度，因而限制了这种 S&H 电路的运行速度。

在获得较高精度的同时，为了提高 S&H 电路的运行速度，电路设计者们以图 3.6 的电路为出发点提出了一些新的版本，它们中的大多数在整个环路中只使用一个运放。图 3.7a 所示就是这样的一个单运放闭环 S&H 电路，在 0.5MHz 的时钟驱动下，它可以实现 9bit 的精度。这里我们需要特别注意的是，电路中的开关 Φ_{1a}(下标 a 表示比 Φ_1 超前)要比开关 Φ_1 稍微提前断开或闭合。 66

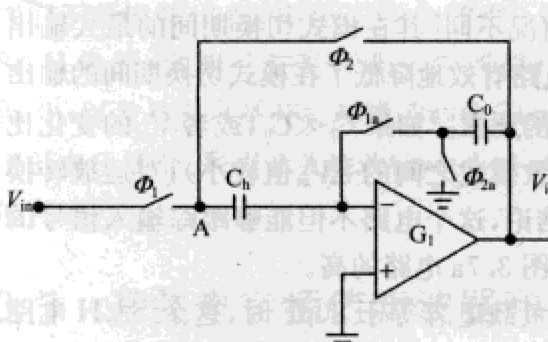
在图 3.7a 的 S&H 电路中采用这种超前 Φ_1 配置的主要目的，是为了防止源自 Φ_1 和 Φ_{1a} 开关的电荷注入在输出信号中出现。具体来说，在保持模式期间，Φ_1 断开(注意它比 Φ_{1a} 稍微迟一点断开)，其沟道内残留的部分负电荷流向 C_h 的左边极板。但因为 G_1 的反相输入端此时悬浮(即它和输出端的连接 Φ_{1a} 已经断开)，所以 C_h 两端的电压并不会改变。也就是说，在 Φ_1 断开后产生的电荷注入不会被传输到电路的输出端。类似

地，当 Φ_{1a}刚断开时，其两端的电平相当于接地，因此，从其沟道内扩散出来的电荷对输出信号亦无任何影响。

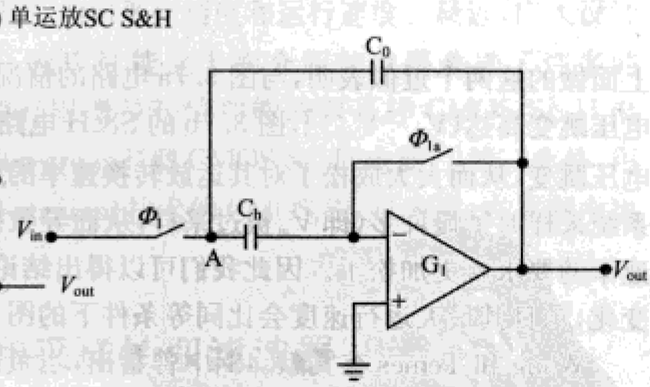
图 3.7a 的电路的运行原理如下：在采样模式期间，如果 G_1 在其输入端有一个输入电压失调 V_{off}，那么由于单位增益反馈(unity-gain feeback)的作用，其输出电平也等于 V_{off}，而 C_h 两端的电压则等于$(V_{in}-V_{off})$。在保持模式期间，Φ_1 断开、Φ_2 导通，G_1 的输出为$(V_{in}-V_{off}+V_{off})=V_{in}$(即 V_{off}不影响输出)。因此，图 3.7a 的 SC 电路也常称为不受输入偏差影响的(input-offset-free)S&H。像 $1/f$ 噪声或闪变噪声(flicker noise)这一类的低频噪声也可用这种方法消除。此外，类似图 3.6 中的虚拟 SC 网络也可被接到 G_1 的正输入端，以降低时钟馈入以及寄生电容所引起的偏差。



(a) 单运放SC S&H



(b) 放松了转换速率要求的S&H



(c) 带有Miller保持电容的快速S&H

图 3.7

由于图 3.7a 的这类 S&H 电路结构简单和功耗小，它们(且往往是其全差分的版本)在大多数流水线型 ADC 的设计中占有一席之地(在流水线型 ADC 中通常要用到许多 S&H①)。这类 S&H 还可以用来实现半周期延迟和单位增益缓冲(UGB)电路[20]。但这类 S&H 电路也有严重的缺点。其一是在采样模式期间，无论 V_{in}的瞬间值等于多少，输出电平都必须重置为 V_{off}，结果是 S&H 的输出无法跟踪输入；其二，在两种模式之间切换的过程中，G_1 的输出必须从 V_{off}跳到 V_{in}(反之亦然)，这就等于要求 G_1

① 括号中内容为译者添加的，以方便读者理解。——译者注

必须有较高的转换速率，而且当 V_{in} 的值比 V_{off} 大很多的时候这个要求就会非常苛刻。

为了减轻电路对运放转换速率的要求，设计者们又想出了一个有趣的升级版电路，如图 3.7b 所示[48]。图中开关 Φ_{1a} 要比开关 Φ_1 稍微提前断开或闭合，而开关 Φ_{2a}（超前 Φ_2）同样比开关 Φ_2 稍微提前闭合或断开。我们在这里就不再重复解释为何这种开关配置可帮助减小由电荷注入引起的偏差了。

图 3.7b 电路的运行原理如下。在采样模式期间，假定 G_1 在其输入端有一个输入电压失调 V_{off}，此时 C_h 两端的电压等于 $(V_{in}-V_{off})$，而 C_0 两端的电压等于 $[V_{outp}-V_{off}-(V_{in}-V_{outp})\ C_h/C_0]$，其中 V_{outp} 是现在的这个采样模式开始之前的输出信号的瞬间值，$(V_{in}-V_{outp})C_h$ 代表当 $\Phi_1\to 1$ 时从 C_h 右侧传输到 C_0 左侧的电荷。这样一来，在电路从保持模式转入采样模式的过程中，运放 G_1 的输出电压从 V_{outp} 变成 $[V_{outp}-V_{off}-(V_{in}-V_{outp})C_h/C_0]$，因此输出电压的变化可近似地表示为：

$$|\Delta V_{h\to s}|\cong|V_{outp}-V_{off}-(V_{in}-V_{outp})\cdot C_h/C_0-V_{outp}|=(V_{in}-V_{outp})\cdot C_h/C_0+V_{off} \tag{3.73}$$

在标准 CMOS 工艺中，V_{off} 的值通常小于 15mV。在保持模式期间，C_h 的右端悬浮，C_0 接在输出端和地之间。我们假设可以忽略开关 Φ_{1a} 断开时引起的直流电压失调，并将从保持模式转入采样模式的过程中输出电压的变化近似地写成

$$|\Delta V_{s\to h}|\cong(V_{in}-V_{off})-[V_{outp}-V_{off}-(V_{in}-V_{outp})\cdot C_h/C_0]=(V_{in}-V_{outp})(1+C_h/C_0) \tag{3.74}$$

上面做的这两个近似表明，与图 3.7a 电路的情况不同[其在模式切换期间的最大输出电压跳变高达 $(V_{in}-V_{off})$]，图 3.7b 的 S&H 电路有效地降低了在模式切换期间的输出电压跳变，从而大大放松了对其运放转换速率的要求。如果 $C_h \ll C_0$，或者 V_{in} 的变化比系统采样时钟慢许多（即 V_{in} 被过采样，从而导致模式之间的 ΔV_{in} 值较小），对运放转换速率的要求就更加松了。因此我们可以得出结论，这个电路不但能够跟踪输入信号的变化，而且其最大运行速度会比同等条件下的图 3.7a 电路的高。

Wang 和 Temes 在文献[48]中曾指出，当负载电容等于 20pF 时，这个 S&H 电路的时钟频率可高达 2.8MHz，而图 3.7a 电路的时钟频率最高只能到 0.6MHz 左右（条件是电路中的运放采用共射—共基反相器结构，并由 3μm 的 CMOS 工艺实现）。因为该 S&H 电路具有较快的运行速度和较高的精度（在 2.5MHz 时钟频率下其精度能达到 12bit），所以它（通常是其全差分的版本）被广泛用于过采样音频 ADC 的设计中。

根据式(3.70)和式(3.72)我们发现，在某一种给定的 CMOS 工艺中，为了达到改善 S&H 电路精度的目的，通常我们可以采用更大的保持电容 C_h 以抑制电荷注入的影响，也可以采用更宽的采样开关（即更大的 W）以减少开关导通电阻 R_{on} 的值。另一方面，我们看到，电路的运行速度同时又受 R_{on} 和 $C_{h,s}$ 的乘积（即时间常数）的限制，注意 $C_{h,s}$ 指的是在采样模式期间保持电容的有效值。

到此我们可以确认的一点是，增加 W（即减小 R_{on}）不但会改善电路的精度，还会增加它的速度。因此，对于一个 S&H 电路来说，界于其精度和速度之间的平衡点在本质

上是由采样模式期间和保持模式期间各自的有效保持电容来控制的。这里的一个原则是，如果要在精度和速度间达到双赢的平衡，工程师在设计中就应尽量使保持模式期间的保持电容变大，而使采样模式期间的有效保持电容变小。

基于以上原则设计出的一个简单的 CMOS S&H 电路如图 3.7c 所示[49]。我们发现该电路除了在其节点 A 和输出端之间的是电容 C_0外，看起来与图 3.7a 电路如出一辙。下面我们来看该电路的操作。在采样模式期间（$\Phi_1 \to 1$），输入信号 V_{in}被一个等效保持电容 $C_{h_s} = (C_h + C_0)$采样。而在保持模式期间（$\Phi_1 \to 0$），在节点 A 上的等效 Miller 保持电容（effective Miller holding capacitance）可表示为

$$C_{h_Miller} = (1+G_1)\left(\frac{C_h C_0}{C_h + C_0}\right) \tag{3.75}$$

式中 G_1指运放的直流电压增益的最大值。我们不难看出 C_{h_Miller}的值其实远大于(C_h + C_0)。这意味着我们可以用很小的电容来实现一个很大的等效保持电容值（仅仅是在保持模式期间），而由此可同时得到较高的精度和速度。我们还可证明的是，这里对运放转换速率的要求与图 3.7b 电路的相当。根据 Lim 和 Wooley 的报告[49]，当采用 1μm 的 CMOS 工艺时，这个 S&H 电路能够在高达大约 100MHz 的时钟频率下达到 8bit 的采样精度。

在本小节里我们学习了 S&H 电路的关键性能参数和常用的测试方法，还通过分析几个基本的 S&H 电路实例，着重说明了如何平衡精度和运行速度。最近，广大设计者们不断推陈出新，提出了几个精度—速度性能比上面介绍的电路改进了许多的 S&H 电路，例如具有直流电压失调和有限增益补偿功能的双采样 CMOS S&H 电路[50]，以及具有自举开关功能的翻转（flip-around）型 CMOS S&H 电路[51]等。此外，用于低电压场合、采用开关运放（switched-op-amp）技术的 CMOS S&H 电路，在文献中也能找到[52]。

3.5 开关电容插值滤波器和采样抽取滤波器

SC 插值滤波器

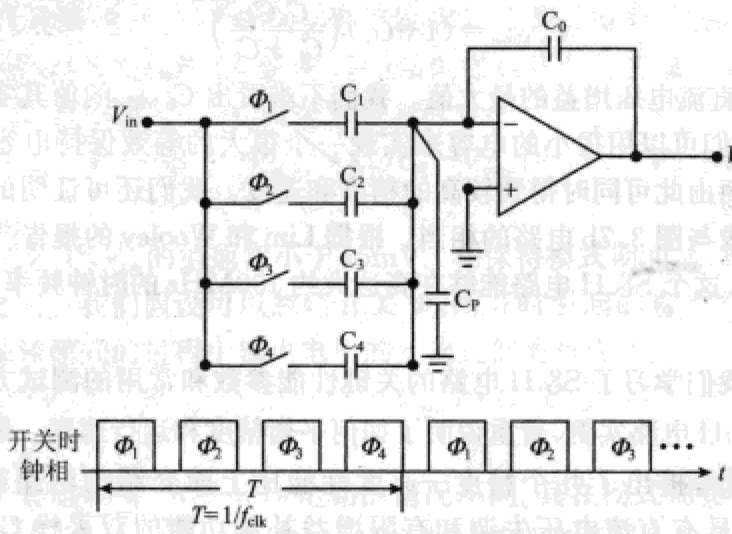
SC 插值滤波器是一种先对模拟输入信号采样，然后再筛选其输出频率裕量的滤波器。它将采样时钟频率从 f_{clk}增大到 Nf_{clk}[N 为大于 1 的整数，常称作插值系数（interpolation factor）]，并抑制/滤除位于 f_n与($Nf_{clk} - f_n$)之间的输入信号副本（replica）裕量，这里的 f_n指奈奎斯特频率。

69

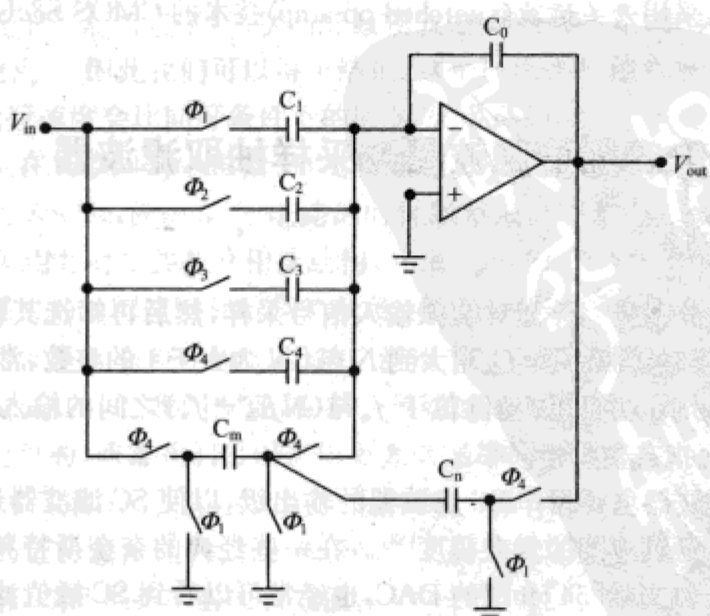
SC 插值滤波器主要用作 SC 滤波器的输出级，以使 SC 滤波器运行在较低的时钟频率下，从而降低其电路的复杂程度[53]。在一些经典的奈奎斯特频率级音频 D/A 转换器（DAC）中，如文献[54]介绍的 DAC，也经常可以看到 SC 插值滤波器的身影，它往往设置在 DAC 的输入端之前，以抑制分别以 f_n、$2f_n$、…、($Nf_{clk} - f_n$)为中心的各个镜像频域裕量，从而放松对紧随 DAC 之后的模拟抗混叠滤波器（AAF）的要求。但值得

一提的是，如果要求的 N 很大(譬如过采样级音频 $\Delta\Sigma$DAC 的情况[55])，我们通常应该采用全数字型的而非 SC 型的线性插值滤波器，以获得数字可编程能力及更高的精度功率比(accuracy versus power ratio)。

SC 插值滤波器本质上等效于在一个低通 SC 滤波器前面放置一个升频器，而且 SC 插值滤波器的输入是一个运行在时钟频率 f_{clk} 的采样保持信号。一般来说，我们只要利用一个 N 步(亦称 N 相)电容阵列，就可以将该采样保持信号直接跳频到 Nf_{clk}。图 3.8a所示为采用 4 步电容阵列升频器的一个 SC 插值滤波器[53,56]。图中 $C_1=C_2=C_3=C_4=C$，$C_0=4C$，$T=1/f_{clk}$。



(a) 易饱和的SC插值滤波器



(b) 改进型SC插值滤波器($N=4$)

图 3.8

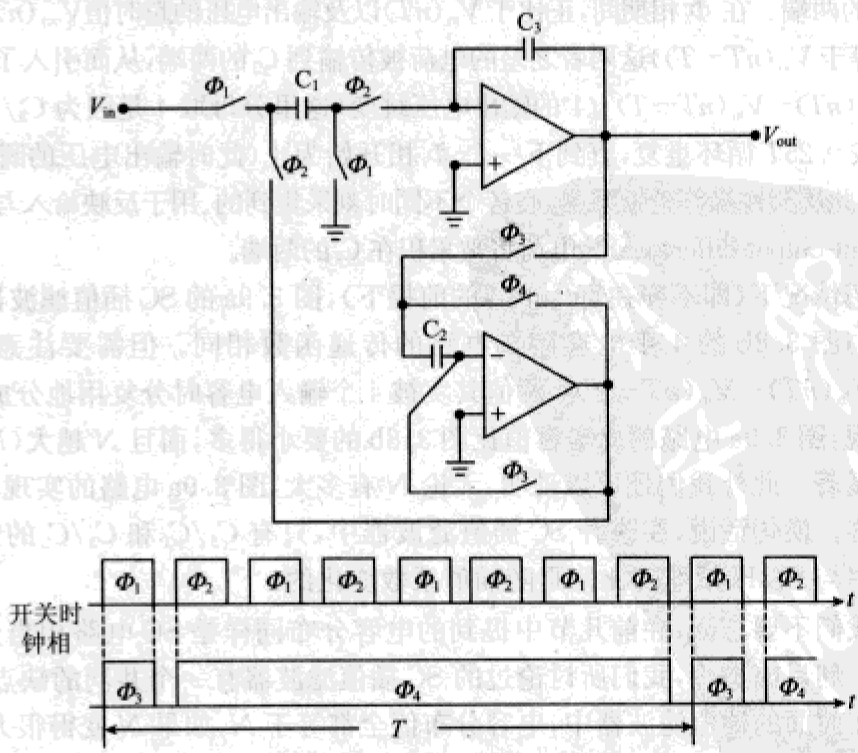
虽然在理想情况下图 3.8a 的电路可以实现 4 倍的升频(即其插值系数等于 4),但在实际中工程师却很少使用它,这是因为在其运放的反相输入端和输出端之间不存在任何直流反馈[20,56]。这样一来,如果在运放的反相输入端和地之间存在一个寄生电容 C_p,则在每个开关断开时产生的电荷将累积在这个寄生电容的两端,最终将导致运放的输入端电平饱和(即运放无法正常工作)。

为了避免上面的情况发生,设计者们提出了一个上述电路的改进版,如图 3.8b 所示。它采用了与上面一样的时钟控制方案。不过同上面的电路相比,图 3.8b 的电路中多出两个电容 C_m 和 C_n($C_m = C_n = C$)。在时钟相 Φ_4 期间,C_p 上的电荷将被 C_m 和 C_n 吸收,然后在下一个时钟相 Φ_1 期间,这些电荷将流入地。而且,在 Φ_4 导通期间,C_m 和 C_n 还会往 C_0 输送电荷,但因为这些电荷是彼此抵消的,所以它们并不会影响整个插值滤波器的传递函数。

然而我们不难发现,这个电路有一个明显的缺点,那就是若插值系数越大,则需要的电容就越多。不仅如此,电路中总电容值的大小、总功率消耗以及总硅片面积都会随 N 增长。

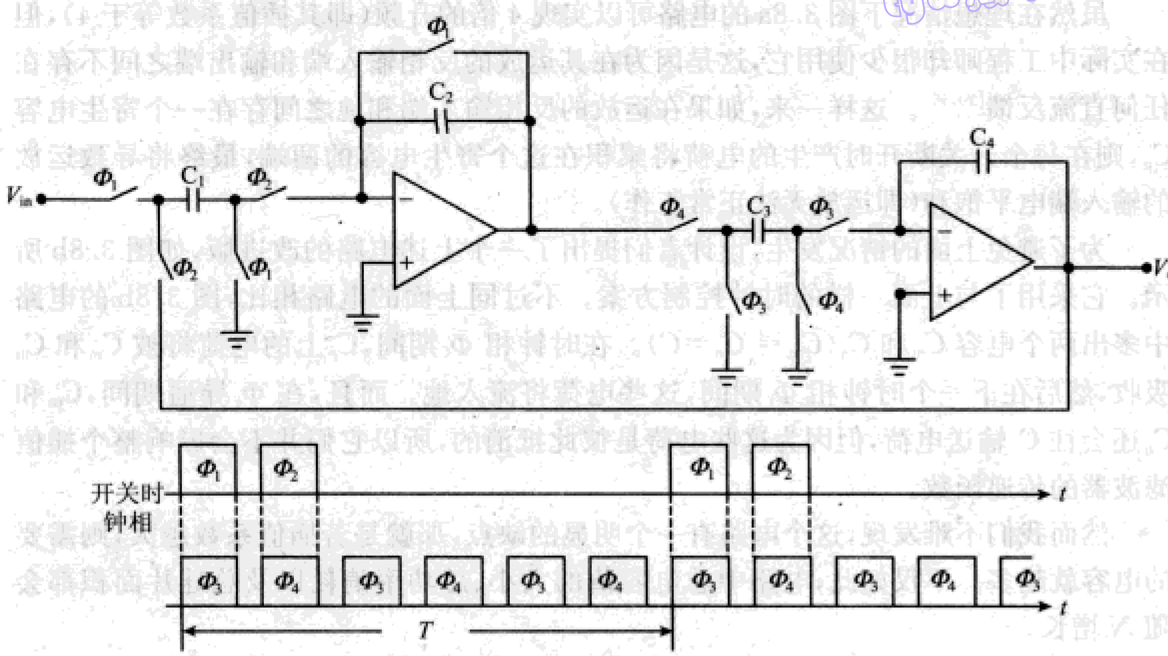
下面我们来考虑图 3.9a 所示的 SC 插值滤波器,它由一个 SC 积分器和一个单位增益的 S&H 反馈回路构成[56]。在插值系数为 4 的情况下,该电路只需要 3 个电容($C_1 = C_2 = C$,及 $C_3 = 4C$)就可以完成跳频的任务。我们发现实际上积分器的时钟频率 4 倍于 S&H 的频率,而且这里的 S&H 级同图 3.7a 中的电路一模一样。

70



(a) 仅用到3个电容的SC插值滤波器

图 3.9



(b) 低电容分布的SC插值滤波器($N=4$)

图 3.9 (续)

图 3.9a 的 SC 插值滤波器的运行原理如下:在 Φ_1 相期间,输入电压的瞬时值$V_{in}(nT)$被采样到 C_1 的两端。在 Φ_2 相期间,正比于 $V_{in}(nT)$以及输出电压的瞬时值$V_{out}(nT)$(在理想情况下它应等于 $V_{in}(nT-T)$)这两者之差的电荷被传输到 C_3 的两端,从而引入了一个大小为 $\Delta V_{out}=[V_{in}(nT)-V_{in}(nT-T)]/4$ 的输出电压跳变(这里分母取 4 是因为 $C_3/C_1=4$)。以上过程将按 $0.25T$ 循环重复,直到下一个 Φ_3 相开始为止(此时输出电压的瞬时值将变成 $V_{in}(nT)$)。此周期性操作的效果是,在各个不同时刻采集到的、用于反映输入与输出电压之间差别(input-output-difference)的电荷将被累积在 C_3 的两端。

71

在理想情况下(即不存在寄生电容的前提下),图 3.9a 的 SC 插值滤波器($N=4$)的传递函数与图 3.8b 的 4 步电容阵列电路的传递函数相同。但需要注意的是,在图 3.8b 中 $[V_{in}(nT)-V_{in}(nT-T)]$ 的值其实被 4 个输入电容时分复用地分成了四等份。我们还发现,图 3.9a 电路的总电容值比图 3.8b 的要小得多,而且 N 越大($N>3$),这个差距就越显著。此外我们还可以证明,无论 N 有多大,图 3.9a 电路的实现永远只需用到 3 个电容。换句话说,在这种 SC 插值滤波器中,只有 C_3/C_1 和 C_3/C_2 的值以及积分器时钟频率与 S&H 频率的比值是随插值系数变化的。

然而我们不要忘记,在前几节中提到的电容分布同样是 SC 电路相当重要的性能参数之一。到目前为止,我们所讨论过的 SC 插值滤波器有一个共同的缺点:电容分布值过大。在前面的插值滤波器中,电容分布值全都等于 N,如果 N 变得很大,电容分布值也就会变得很大。针对这个问题,设计者们提出了如图 3.9b 所示的解决方案($N=4$)[20,54,56]。注意这个电路只包含四个电容(同样,不管 N 有多大)。与前面提到的利用

一个单位增益的S&H级来采样保持输入输出间电压差的方法不同，这个插值滤波器在延迟积分器（其电容比为C_3/C_4）之前设置了一个SC增益级（其电压增益$=C_1/C_2$）。因此，在每个快时钟相以内（即图3.9b中的Φ_3和Φ_4），只要以下条件能够得到满足，输出电压也会像之前一样产生大小为$\Delta V_{out}=[V_{in}(nT)-V_{in}(nT-T)]/N$的跳变：

$$\frac{C_1}{C_2}\cdot\frac{C_3}{C_4}=\frac{1}{N} \tag{3.76}$$

由上式不难看出，这个插值滤波器的电容分布值可以减少至N的开方值。

不仅如此，这个插值滤波器还有一个优点：因为SC增益级同时提供了一个全延迟，所以用来驱动Φ_3和Φ_4的电路时钟频率只需达到$(N-1)f_{clk}$就足够了（而不是Nf_{clk}）。举例来说，如果要求插值系数等于4，工程师只需设置最大值为$3f_{clk}$的时钟频率即可。当f_{clk}的值相当大时（例如过采样音频数据转换器），由此带来的好处就会很明显。另外，第一级运放运行在较低的时钟频率f_{clk}下，因而简化了电路的实现（至少采样电容不用取很大）。

在本小节的结尾，我们回忆前面曾说过SC插值滤波器的输入是一个采样保持的信号（即经过采样保持处理的信号）。直觉告诉我们，SC插值滤波器的频响应该会受到S&H电路所固有的sinc效应的影响，因此在其输出端出现信号混叠的现象也应该是顺理成章的。若f_{clk}/f_n的值并没有比2大多少的话，那么混叠的情况就更不可避免了，尤其是在有些采用SC插值滤波器进行升频的高带宽（high-bandwidth）应用中，例如视频数据转换器、无线通信等。感兴趣的读者可以参考相关文献，以了解更多关于如何减轻S&H对高速SC插值滤波器的影响的技术细节[56~58]。 72~73

SC采样抽取滤波器

作为和SC插值滤波器功能互补的一种模拟采样数据信号处理电路，SC采样抽取滤波器（decimator，亦称降采取样器）将采样频率从Mf_{clk}降低到f_{clk}。M是大于1的整数，常称作采样抽取系数（decimation factor）。同插值滤波器正好相反，SC采样抽取滤波器常用作SC滤波器的输入级，以便SC滤波器在较低的时钟频率下运行。它还可被设置在过采样ΔΣ ADC之后，用来对其输出信号进行降频处理，同时抑制/移除分布在信号带宽以外的量化噪声及高频信号副本裕量。与插值滤波器的情况类似，如果要求达到的M很大（例如过采样音频ADC的情况），则工程师常采用全数字而非SC电路来实现采样抽取滤波器。

SC采样抽取滤波器本质上等效于在一个低通SC滤波器后面放置一个降频器（也可以说，它等效于在一个降频器前面放置一个低通）。图3.10a所示为一个简单的、低功耗的SC采样抽取滤波器（$M=4$）[59]。这个采样抽取滤波器本质上是一个快采样但慢输出的SC积分器。这就是说，它其实可以看成是一个线性相位均值滤波器，因此其传递函数可以表示为[59]：

$$H(z)=\frac{V_{out}(z)}{V_{in}(z)}=\frac{C}{C_0}\cdot\sum_{i=0}^{M-1}z^{-i}\cdot z^{-1/2}=\frac{C}{C_0}\cdot\frac{1-z^{-M}}{1-z^{-1}}\cdot z^{-1/2} \tag{3.77}$$

式中 M 是抽取系数，而 $z=\exp(-s/Mf_{clk})$。$z^{-1/2}$ 只是一个半延迟子电路，它不会对采样抽取滤波器的传递函数造成任何非线性的影响。前面的传递函数表明，这个 SC 采样抽取滤波器又可看作是一个采样数据有限字长脉冲响应（finite-impulse-response，简称 FIR）滤波器。我们发现，开关 Φ_3 不但能够提供一个从运放输出端到其反相输入端的直流反馈，而且每隔周期 $T(T=1/f_{clk})$ 还可将运放重启一次。还有，C/C_0 比值常设置为等于或小于 $1/M$，以免使下一级运放饱和。我们根据式(3.77)可导出采样抽取滤波器的幅频响应如下：

$$H(e^{j\omega T/M})=\frac{C}{C_0}\cdot\left|\frac{\sin(\omega T)}{\sin(\omega T/M)}\right| \tag{3.78}$$

式(3.78)表明，采样抽取滤波器具有 sinc 型的幅频响应。因此从理论上来说，频率为 f_{clk} 的整数倍（整数倍于 Mf_{clk} 的频率除外）的信号副本的幅值应该都为零，也就是说这些高频镜像会被采样抽取滤波器消除。然而，由于电路的非理想性，实际上这些高频镜像不可能被完全消除。此外，在采样抽取滤波器中，运放的速度由采样频率 Mf_{clk} 决定，而众所周知要实现一个不仅处理速度快而且线性精度高的运放是十分困难的，因此这里采样频率 f_{clk} 的值通常不能设得太高（尤其是当 M 很大的时候）。

74

为了放松对采样频率的限制，设计者们[57,60]提出了基于无限字长脉冲响应（infinite-impulse-response，简称 IIR）传递函数的 SC 采样抽取滤波器。一般来说，与 FIR 采样抽取滤波器相比，IIR SC 采样抽取滤波器更适合于要求高信号选择性、大信号带宽的应用场合。

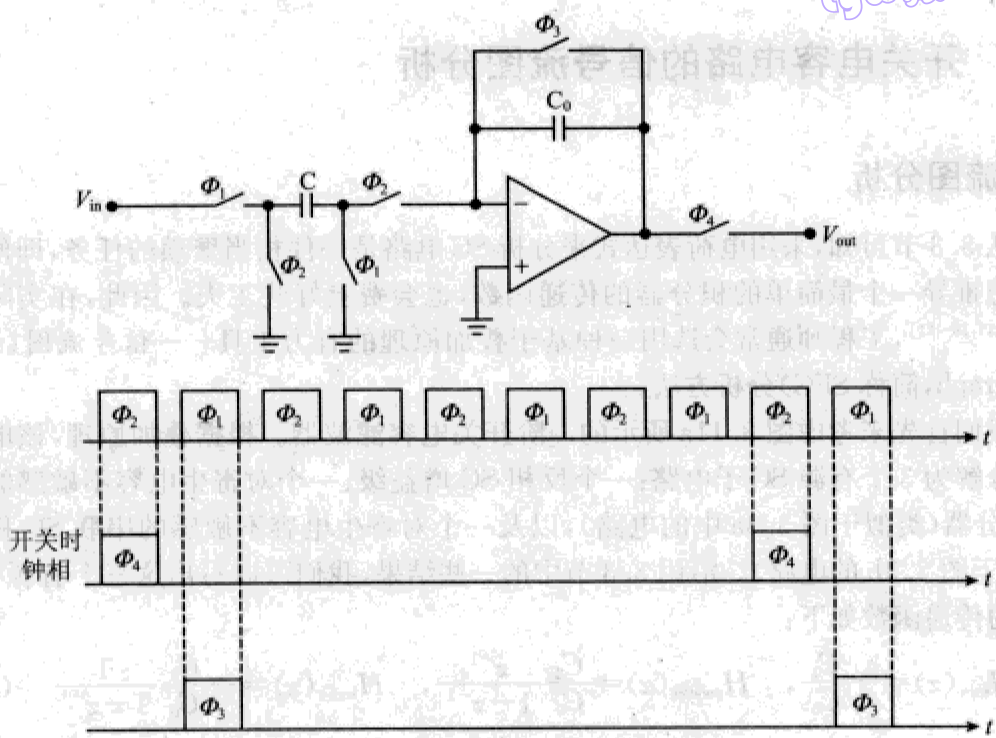
图 3.10b 所示为一个单运放的 IIR SC 采样抽取滤波器[60]。图中的抽取系数 M 等于 4。该采样抽取滤波器的传递函数可表示如下[60]：

$$H(z)=\frac{C_1+C_2z^{-1}+C_3z^{-2}+C_4z^{-3}}{(C_5+C_6)-C_6z^{-4}} \tag{3.79}$$

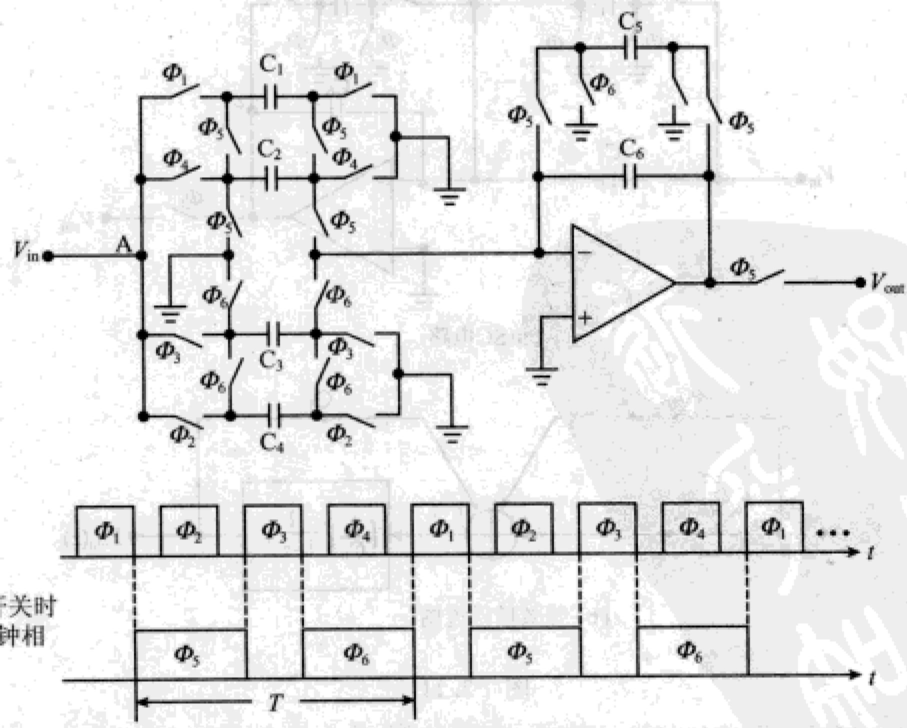
这个 IIR SC 采样抽取滤波器背后的设计理念聚焦于如何延长有效的采样时间这一点上（即如何设计才能达到以下的效果：尽管实际的系统采样频率可能很高，但运放所感应到的有效采样频率却可以很低）。在图 3.10b 中，位于运放之前的 4 个平行采样支路全都运行在时钟频率 $4f_{clk}$ 下，而累积在这些支路上的采样电荷却由运放以较低的频率 f_{clk} 输出。此外，同 C_1 支路相比，C_2 支路的等效采样函数延迟了 z^{-1}，而 C_3 和 C_4 支路则分别延迟了 z^{-2} 和 z^{-3}。这样一来，运放及其后续电路所感应到的有效采样频率最多只有 f_{clk}，从而大大放宽了对运放动态特性的要求。

设计者们有时会选用类似上述平行采样抽取滤波器的电路来实现中间频率（intermediate frequency，简称 IF，亦称中频）较高的降采样（subsampling）无线接收器。Lindfors 等介绍了这样一个有趣的 IIR SC 采样抽取滤波器[61]。根据他们的报告，当采用 0.5μm 的 CMOS 工艺来实现时，该采样抽取滤波器可以运行在高达 230MHz 的时钟频率下。感兴趣的读者可以参考相关文献以深入研究。

现在对本小节做个小结：本小节简单介绍了 SC 插值滤波器和采样抽取滤波器，对几个设计实例做了分析，并讨论了它们各自的优缺点。



(a) FIR SC采样抽取滤波器



(b) IIR SC采样抽取滤波器($M=4$)

图 3.10

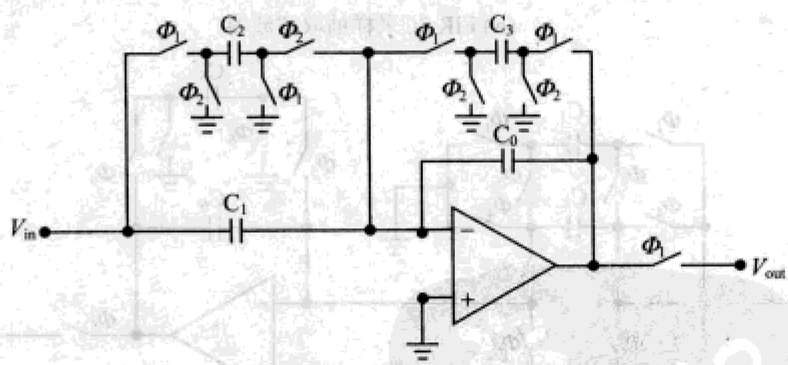
3.6 开关电容电路的信号流图分析

信号流图分析

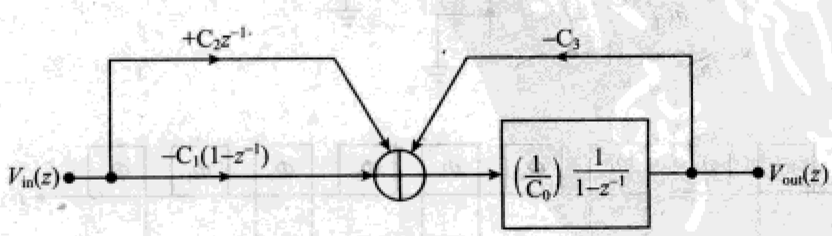
从3.3节可知,采用电荷表达式来分析SC电路是一件相当繁琐的任务,即便我们只是想推导一个最简单的积分器的传递函数,也会费上好些工夫。因此,在实际应用中[9,10,13,19~21],工程师通常会选用一种基于叠加原理的有力工具——信号流图(signal-flow-graph,简称SFG)分析方法。

我们首先来考虑图3.11a所示的一阶开关电容滤波器。根据叠加原理,该电路可以被分解为3个有源SC子电路:一个反相SC增益级、一个对寄生电容不敏感的并联SC积分器(类似于图3.3a中的电路),以及一个对寄生电容不敏感的串联SC积分器(类似于图3.3b的电路)。沿用3.3节中的一些结果,我们可以写出这三个有源SC子电路的传递函数如下:

$$H_{\text{gain}}(z)=-\frac{C_1}{C_0},\quad H_{\text{parallel}}(z)=\frac{C_2}{C_0}\frac{z^{-1}}{1-z^{-1}},\quad H_{\text{series}}(z)=-\frac{C_3}{C_0}\frac{1}{1-z^{-1}} \tag{3.80}$$



(a) 简单SC电路



(b) 等效信号流图

图 3.11

由此不难看出,电路的输入—输出关系可用图3.11b所示的等效信号流图来表示。在图中,在前向路径以及反馈路径上的三个输入级用三个不同的加权因子来表示,而剩下的闭环运放则用一个积分函数来表示。经过加权的输入、输出信号在送入运放之前会先通过一个加法器。基于这个信号流图,我们可以导出以下的表达式:

$$\{V_{in}(z)\cdot[C_2z^{-1}-C_1(1-z^{-1})]+V_{out}\cdot(-C_3)\}\cdot\frac{1}{C_0}\cdot\frac{1}{1-z^{-1}}=V_{out}(z)\quad(3.81)$$

因此,这个电路的总的传递函数为

$$H(z)=\frac{V_{out}(z)}{V_{in}(z)}=\frac{(C_1+C_2)z^{-1}-C_1}{C_0+C_3-C_0z^{-1}}=-\frac{C_1}{C_0+C_3}\cdot\frac{1-[(C_1+C_2)/C_1]z^{-1}}{1-[C_0/(C_0+C_3)]z^{-1}}\quad(3.82)$$

而且,这个电路的极点 Z_p 和零点 Z_z 为:

$$Z_p=\frac{C_0}{C_0+C_3}\quad 和 \quad Z_z=1+\frac{C_2}{C_1}\quad(3.83)$$

因为 Z_p 位于单位圆内(即 $Z_p<1$),所以这个电路总是稳定的。Z_z 则位于单位圆之外($Z_z>1$)。如果想基于这个电路来实现极点位置不变、但零点搬到单位圆内的一阶传递函数,就需要将上面电路中的正相延迟输入级(即 C_2z^{-1})换作反相无延迟输入级(即 $-C_2$)。感兴趣的读者可尝试推导由此而得的新电路的等效信号流图、传递函数及零极点。

梅森公式

当一个电路变得越来越大、越来越复杂的时候,它往往就会包含越来越多的前向支路和反馈回路,以致对于大多数人来说,尽管有信号流图的帮助,要在很短的时间内准确地推导出其输入与输出的关系几乎是不可能的。在实际的设计中,设计者常求助于著名的梅森公式(Mason's rule)[62],以达到用最少的时间检视复杂电路的信号流图就能推导出其传递函数的目的。z 域的梅森公式可以表示如下:

$$H(z)=\frac{V_{out}(z)}{V_{in}(z)}=\frac{1}{\Delta(z)}\sum_i G_i(z)\Delta_i(z)\quad(3.84)$$

式中 $G_i(z)$ 代表的是第 i 条不包含反馈回路的前向支路的输入输出传递函数,$\Delta(z)$ 是整个信号流图的特征行列式,其表达式如下所示:

$$\Delta(z)=1-\sum_j G_{jL}+\sum_{k,l}G_{kL}G_{lL}-\sum_{m,n,p}G_{mL}G_{nL}G_{pL}+\cdots\quad(3.85)$$

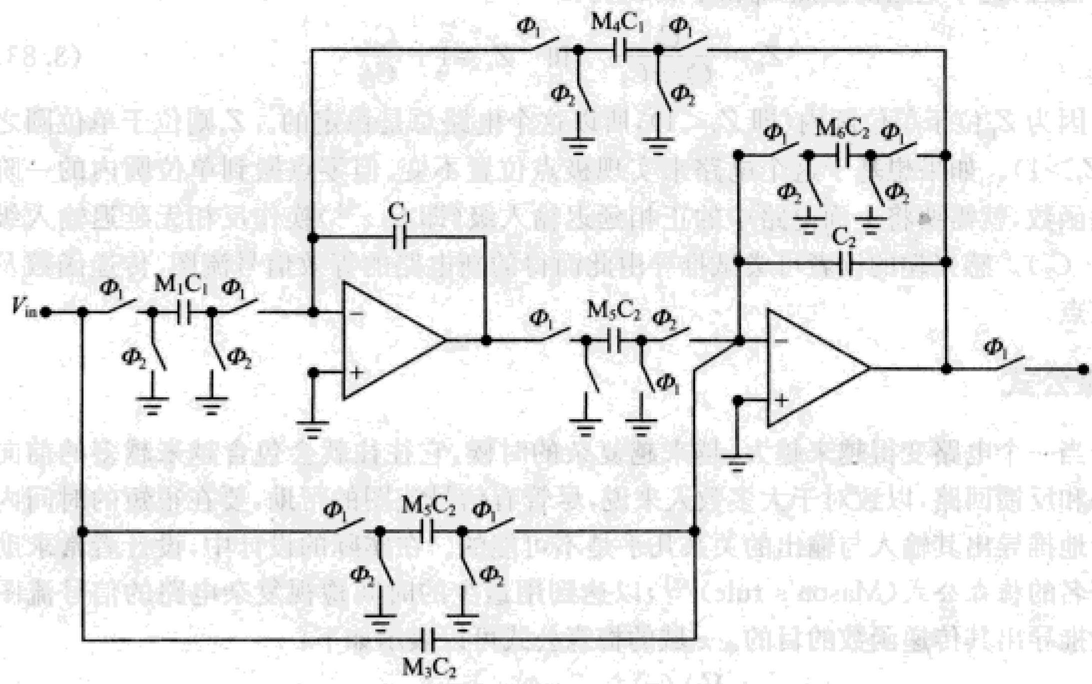
这里 G_{jL} 是第 j 个回路的环路增益,$(G_{kL}G_{lL})$ 是两个互不接触的回路(第 k 个和第 l 个)的环路增益之积(如果这些回路存在的话),$(G_{mL}G_{nL}G_{pL})$ 是三个互不接触的回路(第 m 个、第 n 个和第 p 个)的环路增益之积(如果这些回路存在的话),依此类推我们可以写出更多互不接触的回路间的环路增益乘积项(如果这些回路存在的话)。最后,$\Delta_i(z)$ 是去掉第 i 条前向支路之后,剩余子图的特征行列式。

这里我们用图 3.11b 的信号流图做例子,应用梅森公式来求其传递函数。从图 3.11b 中可见,该电路由两个前向支路和一个反馈回路构成。根据式(3.84)和式(3.85),我们可得以下传递函数:

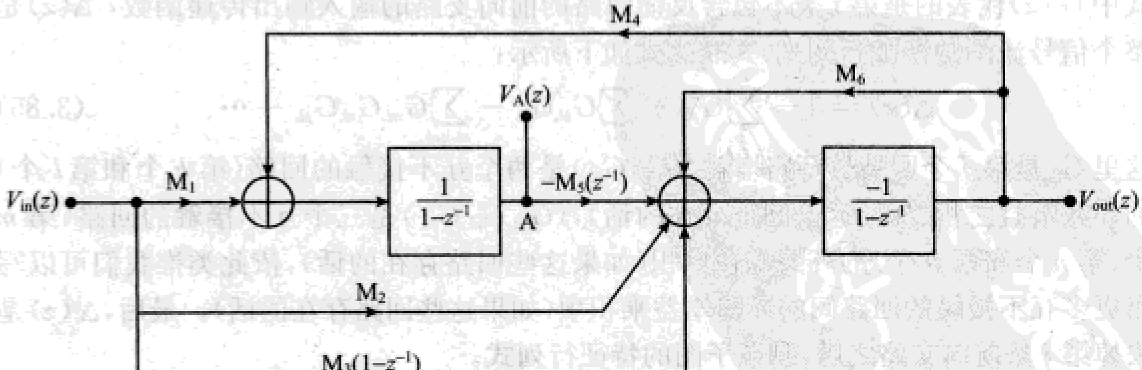
$$H(z)=\frac{1}{1+\frac{C_3}{C_0}\frac{1}{1-z^{-1}}}\cdot\left[-\frac{C_1}{C_0}\cdot1+\frac{C_2}{C_0}\frac{z^{-1}}{1-z^{-1}}\cdot1\right]=\frac{(C_1+C_2)z^{-1}-C_1}{C_0+C_3-C_0z^{-1}}\quad(3.86)$$

不出所料，这个传递函数跟式(3.82)完全相同。

例 3.3 画出图 3.12a 所示 SC 二阶滤波器[9,13]的等效信号流图。注意为了便于说明问题，图 3.12a 中没有实施开关共享(switch-sharing)。应用梅森公式求此滤波器之传递函数，并证明节点 A 的直流信号电平与传递函数无关。最后，讨论电路的 Q 和其电容分布之间的关系。



(a) SC二阶滤波器电路



(b) 等效信号流图

图 3.12

解：图 3.12a 所示的电路可用图 3.12b 所示的信号流图来表示。从信号流图可见，该电路包含三条前向支路和两个反馈环。利用梅森公式，我们可以得到其传递函数如下：

$$H(z)=\frac{V_{out}(z)}{V_{in}(z)}=-\frac{(M_2+M_3)z^2+(M_1M_5-M_2-2M_3)z+M_3}{(M_6+1)z^2+(M_4M_5-M_6-2)z+1} \tag{3.87}$$

因此，该滤波器的总直流增益（$z=1$）为

$$H(z)|_{z=1}=-\frac{(M_2+M_3)+(M_1M_5-M_2-2M_3)+M_3}{(M_6+1)+(M_4M_5-M_6-2)+1}=-\frac{M_1}{M_4} \tag{3.88}$$

假定输入直流信号电平为 1V，那么在理想情况下，输出将为（$-M_1/M_4$）（单位 V）。从图 3.12b可以得到节点 A 处的直流信号电平为：

79

$$V_A(z)|_{z=1}=\left[1\cdot M_1+\left(-\frac{M_1}{M_4}\right)\cdot M_4\right]\cdot\left(\frac{-1}{1-1^{-1}}\right)=\frac{0}{0}=? \tag{3.89}$$

式中的问号代表一种不确定性，它意味着已知电路的传递函数 $H(z)$ 并不足以确定节点 A 处的直流信号电平值。但是另一方面，不确定性本质上也意味着一种灵活性，因此它给 M_1、M_4、M_5 的选择提供了自由度，也就是说，不管这个电路中的三个电容比值分别是多少，节点 A 处的直流信号电平仍可被设置为任何值。在实际设计中一种常见且往往也是最优的做法是：先将内部级的增益 M_5 设置为 1，并令式(3.87)和式(3.24)中 z 的对应系数相等，然后求解传递函数表达式以确定所有的初始电容比值。最后需要做的一件事，就是进行动态幅摆范围调节（dynamic range scaling），以使输出电压的峰值与节点 A 处的峰值持平[20]。

80

回顾 3.2 节的式(3.24)、式(3.27)及式(3.28)，不难发现，当采样时钟频率很高（$\omega_0 T\ll1$）时，在 d_1、d_2、M_1、M_5、M_6、$\omega_0 T$ 及 Q 之间存在一些有趣的关系。首先，如果我们令式(3.24)和式(3.87)中 z 的对应系数相等，就可得：

$$d_1=\frac{M_4M_5-M_6-2}{M_6+1} \quad 和 \quad d_2=\frac{1}{M_6+1} \tag{3.90}$$

然后，通过利用 M_1、M_4、M_5之值选择上的灵活性，我们可从式(3.27)、式(3.28)得到以下近似表达式（假定 $\omega_0 T\ll1$）：

$$M_1\cong\frac{c_0+c_1+c_2}{\omega_0 T},\quad M_4\cong M_5\cong\omega_0 T,\quad M_6\cong\frac{\omega_0 T}{Q} \quad 和 \quad Q\cong\frac{\sqrt{M_4M_5}}{M_6} \tag{3.91}$$

这些表达式意味着 $\omega_0 T$ 和 Q 的值可由 M_4、M_5 和 M_6 确定。换句话说，M_4、M_5 和 M_6 决定系统的各个极点的位置[9,13]。与之相比，我们发现剩余的电容（M_1、M_2 和 M_3）仅决定系统的各个零点。

在大多数情况下，最大与最小电容之比（即电容分布的值）也必须通过 M_4、M_5 和 M_6 中的某一个来控制，便于工程师在保证系统稳定的前提下有效地进行动态幅摆范围调节[13,20]。而且在实际设计中，反馈电容 C_1 和 C_2 通常具有（电路中）最大的电容值。在传递函数的推导过程中这两个电容值往往被归一化（即 $C_1=C_2=1$）。

下面我们来分析电路的 Q 和其电容分布之间的关系。根据式(3.91)中的近似表达式，我们发现当 Q 的值很大（$Q>1$）时，电路中最小的电容值为 M_6C_2，由此我们可得一个约为（$Q/\omega_0 T$）的电容分布值，而且因为 $\omega_0 T\ll1$，所以该值远大于 Q。另一方面，当 Q 的值很小（$Q<1$）时，电路中最小的电容值为 M_4C_1 或 M_5C_2，由此我们可得一个约为（$1/\omega_0 T$）的电容分布值，而且该值比高 Q 时的电容分布值要小得多。因此，我们可以得出结论：图 3.12a 所示的 SC 二阶电路较适合实现低 Q 滤波器。在第 4 章中，我们将学习一些较适合实现高 Q 滤波器的 SC 二阶电路。

81

附录 3.1

本附录提供了一个 SWITCAP 编程的实例。这个源代码可用于仿真图 3.2b 所示的对寄生电容敏感的双线性 SC 积分器。它还可用于绘出此积分器在 1Hz 与 600kHz

间的频响(它将有和无 C_{p1} 两种情况都考虑进去了)。此外，本附录还提供了一个MATLAB程序以证明式(3.50)中的传递函数。这里的假设是：反馈电容 $C_0=5\text{pF}$，采样电容 $C=0.5\text{pF}$，寄生电容 $C_{p1}=0.05\text{pF}$，输入信号频率为 $f_{in}=48\text{kHz}$，采样时钟频率为 $f_{clk}=1.2\text{MHz}$。

```
/*SWITCAP program*/
TITLE: SIMULATING PARASITIC-SENSITIVE BILINEAR INTEGRATOR

TIMING;
PERIOD 1.2E-6          /*Define the input signal frequency and clock
pulses*/
CLOCK PHI1 1 (0 0.5);
CLOCK PHI2 1 (0.5 1);
END;

CIRCUIT
C (2 3) 5E-13;
C0 (4 5) 5E-12;
CP1 (2 0) 5E-14;
VIN (1 0);
S1 (1 2) PHI1;
S2 (2 4) PHI2;
S3 (1 3) PHI2;
S4 (3 0) PHI1;
S5 (5 6) PHI2;
E1 (5 0 0 4) 1E9;        /*Define the op-amp to be an ideal VCCS*/
END;

ANALYZE SSS;          /*Select the analysis package in SWITCAP*/
INFREQ 1 6E5 LIN 100;        /*Sweep from 1 Hz to 600 kHz*/
SET VIN AC 1.0 0.0;
SAMPLE INPUT HOLD 1 3/8+;          /*Sampling the input when Φ1 → 1*/
SAMPLE OUTPUT IMPULSE 1 5/8+;          /*Sampling the output when Φ2 →
1*/
PRINT VDB(6) VP(6);
END;
END;

% MATLAB analysis after SWITCAP simulations %
CLOSE ALL;
LOAD BILINEAR.dat          %Load the response data (with parasitic
```

```
capacitance)%
FF = BILINEAR (:,1);
VDB = BILINEAR (:, 2);
VP = BILINEAR (:, 3);
NFF = FF.*(2.4E-6);
FIGURE (A1);
SUBPLOT (2,1,1);
PLOT (NFF,VDB,'*R');
TITLE ('The Frequency Response from 1 Hz to 500 kHz');
AXIS ([0,1,-100,100]);
GRID ON;
SUBPLOT (2,1,2);
PLOT (NFF, VP, 'B+');
HOLD ON;
FREQZ ([-.2], [1,-1], ((2.4E-6)*PI:0.01*PI:PI)); %Compare magnitudes and
phases%
```

参考文献

[1] R. W. Brodersen, P. R. Gray, and D. A. Hodges, "MOS Switched-capacitor filters," *Proceedings of IEEE*, Vol. 67, pp. 61–75, January 1979.

[2] J. A. McKinney and C. A. Halijak, "The periodically reverse-switched capacitor," *IEEE Trans. on Circuits & Systems*, Vol. CT-15, No. 3, pp. 288–290, September 1968.

[3] G. C. Temes, "The derivation of switched-capacitor filters from active RC prototypes," *Electronics Letters*, Vol. 14, No. 3, pp. 361–362, June 1978.

[4] G. C. Temes, H. J. Orchard, and M. Jahanbegloo, "Switched-capacitor filter design using the bilinear *z*-transform," *IEEE Trans. on Circuits & Systems*, Vol. CAS-25, No. 12, pp. 1039–1044, December 1978.

[5] J. L. McCreary, "Matching properties, and voltage and temperature dependence of MOS capacitors," *IEEE Journal of Solid-State Circuits*, Vol. SC-16, No. 6, pp. 608–616, December 1981.

[6] D. Fried, "Analog sample-data filters," *IEEE Journal of Solid-State Circuits*, Vol. SC-7, No. 4, pp. 302–304, August 1972.

[7] G. C. Temes and I. A. Young, "An improved switched-capacitor integrator," *Electronics Letters*, Vol. 14, No. 9, pp. 287–288, April 1978.

[8] G. M. Jacobs, D. J. Allstot, R. W. Brodersen, and P. R. Gray, "MOS switched-capacitor ladder filters," *IEEE Trans. on Circuits & Systems*, Vol. CAS-25, No. 12, pp. 1014–1021, December 1978.

[9] K. Martin, "Improved circuits for the realization of switched capacitor filters," *IEEE Trans. on Circuits & Systems*, Vol. CAS-27, No. 4, pp. 237–244, April 1980.

[10] B. J. Hosticka and G. S. Moschytz, "Practical design of switched capacitor networks for integrated circuit implementation," *IEE Electronics Circuits and Systems*, Vol. 3, pp. 76–88, March 1979.

[11] E. A. Vittoz, "The design of high-performance analog circuits on digital CMOS chips," *IEEE Journal of Solid-State Circuits*, Vol. SC-20, No. 3, pp. 657–665, June 1985.

[12] A. S. Sedra and P. O. Brackett, *Filter theory and design: Active and passive*, Matrix Publishers, Beaverton, OR, 1978.

[13] P. E. Fleischer and K. R. Laker, "A family of active switched capacitor biquad building blocks," *The Bell Systems Technical Journal*, No. 58, pp. 2235–2269, April 1979.

[14] S. Signell, "On selectivity properties of discrete-time linear networks," *IEEE Trans. on Circuits & Systems*, Vol. CAS-31, No. 3, pp. 275–280, March 1984.

[15] W-H. Ki and G. C. Temes, "Optimal capacitance assignment of switched-capacitor biquads," *IEEE Trans. on Circuits & Systems I: Fundamental Theory and Applications*, Vol. CAS-42, No. 6, pp. 334–342, June 1995.

[16] D. J. Allstot, R. W. Brodersen, and P. R. Gray, "An electrically-programmable switched capacitor filter," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, No. 6, pp. 1034–1041, December 1979.

[17] D. B. Cox, L. T. Lin, R. Florek, and H. F. Tseng, "A real-time programmable switched capacitor filter," *IEEE Journal of Solid-State Circuits*, Vol. SC-15, No. 6, pp. 972–977, December 1980.

[18] S. Signell, "A bilinear switched capacitor bandpass filter with independent selectivity and center frequency adjustments," *IEEE International Symposium on Circuits and Systems*, pp. 802–804, Montreal, Canada, May 1984.

[19] P. E. Allen and E. Sanchez-Sinencio, *Switched capacitor circuits*, Van Nostrand New York, 1984.

[20] R. Gregorian and G. C. Temes, *Analog MOS integrated circuits for signal processing*, John Wiley & Sons, New York, 1986.

[21] R. Schauman, M. Ghausi, and K. Laker, *Design of analog filters passive, active RC, and switched capacitor*, Prentice Hall, Englewood Cliffs, NJ, 1990.

[22] L. T. Bruton, "Low sensitivity digital ladder filters," *IEEE Trans. on Circuits & Systems*, Vol. CAS-22, No. 3, pp. 168–176, March 1975.

[23] SWITCAP2 (v1.1) User manual. [Online]. Available at www.cisl.Columbia.edu/projects/switcap.

[24] A. Knob, "Novel stray-insensitive switched-capacitor integrator realizing the bilinear *z*-transform," *Electronics Letters*, Vol. 16, No. 5, pp. 173–174, February 1980.

[25] P. E. Fleischer, A. Ganesan, and K. Laker, "Parasitic compensated switched capacitor circuits," *Electronics Letters*, Vol. 17, No. 14, pp. 929–931, 1981.

84

[26] S. Eriksson and H. Akhlaghi, "Noninverting parasitic-compensated bilinear SC integrator with only one amplifier," *Electronics Letters*, Vol. 19, No. 2, pp. 450–452, April 1983.

[27] S. R. Norsworthy, R. Schreier, and G. C. Temes, *Delta-sigma data converters: Theory, design and simulation*, IEEE Press, New York, 1997.

[28] T. Brooks et al., "A cascased sigma-delta pipeline A/D converter with 1.25 MHz signal bandwidth and 89 dB SNR," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 12, pp. 1896–1906, December 1997.

[29] D. B. Ribner et al., "A third-order multistage sigma-delta modulator with reduced sensitivity to nonidealities," *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 12, pp. 1764–1774, December 1991.

[30] F. Maloberti et al., "Bilinear design of fully differential switched-capacitor ladder filters," *IEE Proceeding Electronic Circuits & Systems*, No. 132, pp. 266–272, 1985.

[31] D. Senderowicz et al., "Low-voltage double-sampled ΣΔ converters," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 12, pp. 1907–1912, December 1997.

[32] K. Nagaraj, "A parasitic-insensitive area-efficient approach to realizing very large time constants in switched-capacitor circuits," *IEEE Trans. on Circuits & Systems*, Vol. CAS-36, No. 9, pp. 1210–1216, September 1989.

[33] W-H. Ki and G. C. Temes, "Area-efficient gain- and offset-compensated very-large-time-constant SC biquads," *IEEE International Symposium on Circuits and Systems*, No. 3, pp. 1187–1190, San Diego, CA, May 1992.

[34] S. Tewksbury et al., "Terminology related to the performance of S/H, A/D, and D/A circuits," *IEEE Trans. on Circuits & Systems*, Vol. CAS-25, No. 7, pp. 419–426, July 1978.

[35] M. Shinagawa et al., "Jitter analysis of high speed sampling systems," *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 1, pp. 220–224, February 1990.

[36] J. Shieh, M. Patil, and B. Sheu, "Measurement and analysis of charge injection in MOS analog switches," *IEEE Journal of Solid-State Circuits*, Vol. 22, No. 2, pp. 277–281, April 1987.

[37] R. Geiger, P. Allen, and N. Strader, *VLSI: Design techniques for analog and digital circuits*, McGraw-Hill, New York, 1990.

[38] R. van de Plassche, *Integrated analog-to-digital and digital-to-analog data converters*, Kluwer Academic Publisher, Berlin, Germany, 1994.

[39] T. Kuyel, "Method and system for measuring jitter," U.S. Patent 6640193. 2003.

[40] A. Zanchi et al., "Measurement and spice prediction of sub-picosecond clock jitter in A-to-D converters," *IEEE International Symposium on Circuits and Systems*, Vol. 4, pp. 557–560, Bangkok, Thailand, May 2003.

[41] B. Razavi, *Principles of data conversion system design*, IEEE Press, Piscataway, NJ, 1995.

85

[42] K. Hadidi et al., "An open-loop full CMOS 103MHz –61 dB THD S&H circuit," *Proceedings of the IEEE Custom Integrated Circuits Conference*, Vol. 3, pp. 381–383, May 1998.

86

[43] A. Boni et al., "A 10-b 185-MS/s track-and-hold in 0.35 μm CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 2, pp. 195–203, February 2001.

[44] A. Abo and P. R. Gray, "A 1.5-V 10-bit 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, Vol. 34, No. 5, pp. 599–606, May 1999.

[45] B. Pregardier et al., "A 1.2-GS/s silicon bipolar track & hold IC," *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 9, pp. 1336–1339, September 1996.

[46] T. Baumheinrich et al., "A 1-GSample/s 10-b full Nyquist silicon bipolar track and hold IC," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 12, pp. 1951–1959, December 1997.

[47] M. Nayebi and B. A. Wooley, "A 10-bit video BiCMOS track-and-hold amplifier," *IEEE Journal of Solid-State Circuits*, Vol. 24, No. 12, pp. 1507–1516, December 1989.

[48] F. Wang and G. C. Temes, "A fast offset-free S/H circuit," *IEEE Journal of Solid-State Circuits*, Vol. SC-23, No. 5, pp. 1270–1272, October 1988.

[49] P. J. Lim and B. A. Wooley, "A high-speed sample-and-hold technique using a Miller hold capacitance," *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 4, pp. 643–651, April 1991.

[50] G. C. Temes et al., "A high-frequency T/H stage with offset and gain compensation," *IEEE Trans. on Circuits & Systems*, Vol. CAS-42, No. 8, pp. 559–561, August 1995.

[51] W. Yang et al., "A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input," *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 12, pp. 1931–1936, December 2001.

[52] J. Crols and M. Steyaert, "Switched-opamp: an approach to realize full CMOS switched-capacitor circuits at very low power supply voltages," *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 8, August 1994.

[53] R. Gregorian and W. E. Nicholson, "Switched-capacitor decimation and interpolation circuits," *IEEE Trans. on Circuits & Systems*, Vol. CAS-27, No. 6, pp. 509–514, June 1980.

[54] D. Senderowicz et al., "PCM Telephony: Reduced architecture for a D/A converter and filter combination," *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 8, pp. 987–995, August 1990.

[55] R. Adams et al., "A 113 dB SNR oversampling DAC with segmented noise-shaped scrambling," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 12, pp. 1871–1878, December 1998.

87

[56] T.-H. Hsu, *Improved design techniques for switched-capacitor ladder filters*, Ph.D. dissertation, UCLA, Los Angles, CA, 1982.

[57] R. Unbehauen and A. Cichocki, *MOS switched-capacitor and continous-time integrated circuits and systems*, Springer-Verlag, Berlin, Germany, 1989.

[58] Seng-Pan U., R. P. Martins, and J. E. Franca, "Improved switched-capacitor interpolators with reduced sample-and-hold effects," *IEEE Trans. on Circuits & Systems II*, Vol. 47, No. 8, pp. 665–684, August 2000.

[59] D. von Grunigen et al., "Integrated switched-capacitor low-pass filter with combined anti-aliasing decimation filter for low frequencies," *IEEE Journal of Solid-State Circuits*, Vol. SC–17, No. 6, pp. 1024–1029, December 1982.

[60] J. E. Franca and R. P. Martins, "IIR switched-capacitor decimator building blocks with optimum implementation," *IEEE Trans. on Circuits and Systems*, Vol. 37, No. 1, pp. 81–90, January 1990.

[61] S. Lindfors et al., "A 3-V 230-MHz CMOS decimation subsampler," *IEEE Trans. on Circuits and Systems II*, Vol. 50, No. 3, pp. 105–117, March 2003.

[62] S. Mason and H. Zimmermann, *Electronic circuits, signals and systems*, John Wiley & Sons, New York, 1960.

88

第 4 章 开关电容滤波器

4.1 引言

在 20 世纪 70 年代，语音/数据通信及微电子测量仪器领域中对高质量单片 MOSFET 有源滤波器的需求剧增，促使开关电容滤波器(SCF)的研究与开发(R&D)[1~3]欣欣向荣。图 4.1 所示为基于 SCF 的采样数据滤波器系统的基本框架。



图 4.1 采样数据 SC 滤波器的系统框架图

如图所示，系统的模拟输入信号先经由一个抗混叠滤波器(AAF)进行预处理，以消除不需要的信号频谱分量(这些信号频谱的位置高于系统时钟采样频率值的一半)。输入采样—保持(S&H)级对模拟输入信号进行采样，并将采样所得的数据信号发送到下一级的 SCF。在有些应用中，我们需要加一个 SC 抽取滤波器同输入 S&H 级配合，以将 SCF 输入信号的频率从 Mf 降低到 $f(M>1)$。接下来，SCF 的输出信号会被发送到第二个 S&H 级，该 S&H 通常会被设置成一个采样数据—连续时间信号转换器(参见第 5 章)。在有些情况下，我们需要在这一级之中加一个插值滤波器，以将 SCF 输出信号的频率从 f 升高到 $Nf(N>1)$。系统的最后一级是一个信号重构滤波器，用来平滑输出信号的波形。

本章提要

本章结构如下：4.2 节描述了一阶和二阶有源 SC 滤波器(SCF)的基本特性；4.3 节讨论了高阶 SCF 的设计原理，此节提供了一个 6 阶椭圆低通 SCF 设计的实例，详细描述了其中包含的每个步骤(计算机仿真源代码则在附录 4.1 中给出)；最后，4.4 节简单介绍了高频 CMOS SCF。

4.2 低阶开关电容滤波器

一阶 SC 滤波器

图 4.2 所示为一个基本的一阶有源 SCF。它是一个三合一(three-in-one)的滤波系统，组合了三种类型的 SCF：低通、全通及高通。注意图中有三个特别标记的开关。例如标记为 $\Phi_2\Phi_{LP}$ 的开关，它将在 Φ_2 和 Φ_{LP} 同时为 1 时导通。这里 LP、AP 和 HP 分别代表低通、全通和高通的缩写。

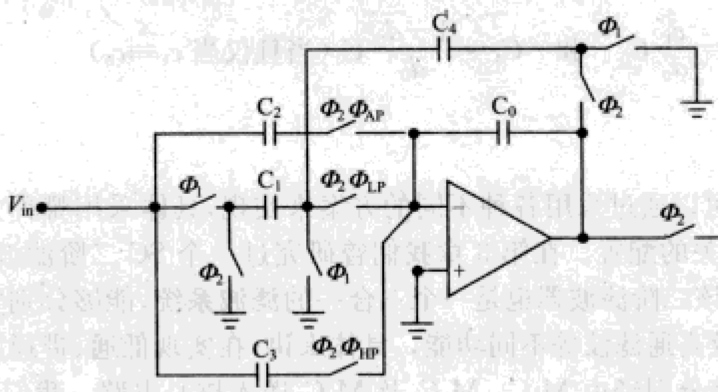


图 4.2 一阶 SC 滤波器

就这个滤波器的时钟安排而言，Φ_{AP} 占用了 Φ_{LP} 的一部分，而 Φ_{HP} 则与 Φ_{LP} 互不重叠。换句话讲，当用该电路来实现一阶全通滤波器时，C_1 和 C_2 两条支路都被激活。相反，当用该电路来实现一阶高通滤波器时，仅有 C_3 支路被激活。而用该电路来实现一阶低通滤波器时，仅有 C_1 支路被激活。利用第 3 章介绍的信号流图(SFG)技术，我们可以求出这三个滤波器的传递函数，它们分别是：

$$
\begin{cases}
H_{lp}(z)=\dfrac{\dfrac{C_1}{C_0+C_4}}{z-\dfrac{C_0}{C_0+C_4}} & \text{(低通)} \\[2ex]
H_{ap}(z)=\dfrac{-\dfrac{C_2}{C_0+C_4}\left(z-\dfrac{C_1+C_2}{C_2}\right)}{z-\dfrac{C_0}{C_0+C_4}} & \text{(全通)} \\[2ex]
H_{hp}(z)=\dfrac{-\dfrac{C_3}{C_0+C_4}(z-1)}{z-\dfrac{C_0}{C_0+C_4}} & \text{(高通)}
\end{cases}
\tag{4.1}
$$

注意上述三个函数具有完全相同的分母表达式，这意味着它们可以由相同的一阶传递函数变换而来。具体来说，让我们考虑一个如下形式的一阶采样数据传递函数：

$$H(z)=\frac{c_1 z \pm c_0}{z-d_0} \tag{4.2}$$

首先，如果要利用图4.2所示的电路来实现一个一阶低通滤波器，则各电容应具有以下关系：

$$C_1=\frac{c_0}{d_0}C_0 \quad 和 \quad C_4=\frac{1-d_0}{d_0}C_0 \tag{4.3}$$

其次，如果要实现一个一阶全通滤波器，则电路中的电容应具有以下关系：

$$C_1=C_4=\frac{1-d_0}{d_0}C_0 \quad 和 \quad C_2=C_0（当且仅当 c_1\equiv c_0 d_0） \tag{4.4}$$

最后，如果要实现一个一阶高通滤波器，则电路中的电容应具有以下关系：

$$C_3=\frac{c_1}{d_0}C_0 \quad 和 \quad C_4=\frac{1-d_0}{d_0}C_0（当且仅当 c_1\equiv c_0） \tag{4.5}$$

二阶SC滤波器

二阶SC滤波器可以通过采用各种不同的方案来实现，具体采用哪种方案取决于实际应用的要求和开关的配置。在第3章我们曾研究过一个SC二阶滤波器，其电路如图3.12所示[3,4]。该二阶滤波器也是一个三合一的滤波系统，能够分别实现二阶低通、(全极点)带通以及高通滤波等不同功能。具体来讲，在实现低通、带通及高通滤波功能时，输入信号应该分别经由M_1C_1、M_2C_2及M_3C_2送入核心电路。我们记得在第3章曾提到过，图3.12所示的电路不适合实现高Q滤波器。这是因为当Q值较高($Q>1$)时，这种电路的电容分布近似于$(Q/\omega_0 T)$，而对于中低频滤波来说，$\omega_0 T \ll 1$，从而导致其电容分布的值变得相当大，所以我们说它不适合高Q应用。

图4.3所示是适用于实现高Q滤波器的一个SC二阶滤波器电路[5]。与前面的情况相似，其输入信号需分别经由M_1C_1、M_2C_1和M_3C_2送入核心电路，以实现低通、带通及高通的滤波功能。

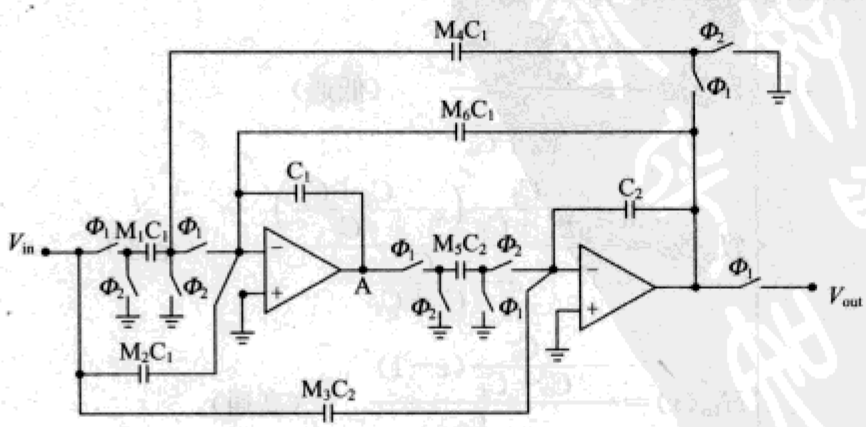


图4.3　高Q的SC二阶滤波器

接下来，我们只要遵从第3章中所介绍的分析方法(即先画信号流图，然后应用梅

森公式求解传递函数),就可以得到该二阶滤波器的传递函数如下:

$$H(z)=\frac{V_{out}(z)}{V_{in}(z)}=-\frac{M_3z^2+(M_1M_5+M_2M_5-2M_3)z+M_3-M_2M_5}{z^2+(M_4M_5+M_5M_6-2)z+1-M_5M_6} \tag{4.6}$$

这个滤波器的直流增益($z=1$)为:

$$H(z)|_{z=1}=-\frac{M_1M_5}{M_4M_5}=-\frac{M_1}{M_4} \tag{4.7}$$

92

有趣的是,这个直流增益的表达式与式(3.88)完全一样。此外我们还发现节点 A 的信号可表示为:

$$V_A(z)=\frac{M_1+M_2(1-z^{-1})+H(z)\cdot[M_4+M_6(1-z^{-1})]}{1-z^{-1}}\cdot V_{in}(z) \tag{4.8}$$

与我们在第 3 章中所看到的相似,节点 A 的直流信号电平其实与 $H(z)$ 无关,因此我们在选定 M_1、M_4、M_5 和 M_6 的值时有一定的自由度。另外,如果我们将式(3.24)与式(4.6)间各自相对应的系统常数设置成等值,就可以得到下面的表达式:

$$d_1=M_4M_5+M_5M_6-2 \text{ 和 } d_2=1-M_5M_6 \tag{4.9}$$

我们利用上面提到的选定 M_4、M_5 及 M_6 值的自由度,就可以根据式(3.27)、式(3.28)得到以下近似表达式(这里我们依然假定 $\omega_0T\ll1$):

$$M_4\cong M_5\cong\omega_0T,\ M_6\cong\frac{1}{Q} \text{ 和 } Q\cong\frac{\sqrt{M_4M_5}}{M_5M_6} \tag{4.10}$$

对于高 Q 的 SC 应用($1<Q<2\pi$)来说,当系统的采样时钟频率 f_{clk} 较高时(即当 $f_{clk}>40f_0$ 或 $\omega_0T<0.05\pi$ 时),Q 的值通常比 $(\omega_0T)^{-1}$ 小。因此在这种情况下,该电路中的最小电容值等于 (ω_0T),而由此所得的电容分布值为 $(\omega_0T)^{-1}$。然而,对于那些要求更高的 Q 值($Q>2\pi$)及更宽的信号带宽($4f_0<f_{clk}<40f_0$)的应用而言,Q 的值往往比 $(\omega_0T)^{-1}$ 大,因此在这种情况下产生的电容分布值等于 Q。

相反,对于低 Q 的 SC 应用($Q<1$)来说,图 4.3 所示电路中的最大电容值等于 Q^{-1},因此在这种情况下,该电路的电容分布值应等于 $(\omega_0TQ)^{-1}$。我们不难看出,这个电容分布的值比 $(\omega_0T)^{-1}$ 和 Q 都要大(假定 $\omega_0T\ll1$)。所以我们得出结论:图 4.3 所示的电路相对来说较适合实现高 Q 滤波器。

除了本节介绍的两个 SC 二阶滤波器实现外,还有许多其他实现 SC 二阶滤波器的方法。想要更全面地了解 SC 二阶滤波器的读者,可参考 Laker 和 Sansen 所著的文献[6]中的 8.7.2 节。应该注意的是,大部分实用 SC 滤波器的设计采用全差分配置,以优化其共模噪声抑制性能。此外,文献[7]提供了一个囊括各种全差分 SC 二阶滤波器的比较表,很有参考价值。

面积优化的高 Q 的 SC 滤波器

前面的分析表明,一个 SC 滤波器(尤其是高 Q 的 SC 滤波器)的电容分布值往往比较大。大家知道,现代集成电路中的每个电容都是用一组等尺寸的单位电容(亦称单元)构建出来的。为了使构建而成的电容具备一定的精度,在设计中我们应尽量避免

93

将每个单元的尺寸取得过小，否则，每个单元自身的理想电容值就可能比由正常的制造误差所导致的电容偏差还要小。在这种单元尺寸不能很小的情况下，高电容比值其实就意味着高电容总值、大芯片面积和高功率损耗。

在实际设计中有许多不同的面积优化方法可被用来降低高 Q 的 SC 滤波器的电容分布，T 网络(T-network)方法是当中最简单的一种[8]。图 4.4 表示的是用一个 T 形电容网络(由 C_1、C_2 及 C_3 构建而成)来替换 SC 电路中最小电容(即 C)的方法。这个方法的基本理念是利用 T 网络来模拟一个设计中所需的小电容(即避免这个小电容在电路中出现)，以便显著降低电路的实际电容分布值。对于图 4.4 中的两个电路来说，根据电荷守恒定律，我们发现它们由各自的 T 网络所实现的等效电容可用以下的同一表达式来表示：

$$C_{equ}=\frac{C_1C_2}{C_1+C_2+C_3} \tag{4.11}$$

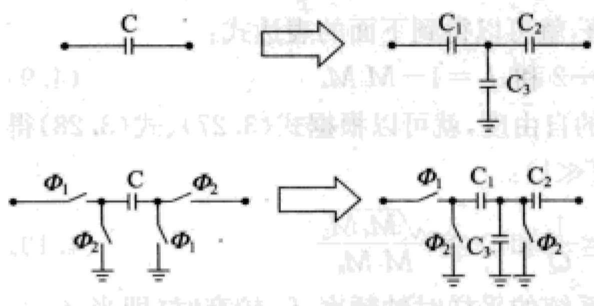


图 4.4　用 T 网络替换电路中最小的电容

假定 $C_1=C_2=C$ 及 $C_3=6C$，根据式(4.11)我们发现得到的等效最小电容为 $0.125C$。如果原有的电容分布值是 64(即电路中最大的电容值为 $8C$)，那么我们可知在实施 T 网络方案之后，新的电容分布值将等于 8，即用 $8C$ 除以 C(而不是除以 $0.125C$)。

一般来讲，如果原有的电容分布值为 A，那么在实施 T 网络方案之后电路的新电容分布值可被表示成：

$$A_{new}=A\cdot\frac{C_1C_2}{(C_1+C_2+C_3)C} \tag{4.12}$$

接下来我们换一个角度来分析这个特性。假定一个 SC 放大器的输入和反馈电容分别等于 C 和 $64C$，则在理想条件下此放大器的直流增益应等于 1/64。在利用 T 网络替换放大器的输入电容 C 之后，等效输入电容值就会变成 $0.125C$。为了保持放大器增益值不变(1/64)，我们应将反馈电容改为 $8C$，由此而得的放大器的总电容值及硅片面积相对之前被显著减小，而且电路的实际电容分布值也从 64 降到了 8。

然而，我们需要注意 T 网络有不少缺点。其一，图 4.4 所示的 SC 电路对 C_3 的上极板与地之间的寄生电容敏感，因此我们在设计及电路布线过程中需要花工夫尽量减小寄生效应。其二，采用这种基于 T 网络的技术来降低电容分布值，所能达到的降幅其实很有限。我们举个实例来理解这一点，假定 $A=64$，$C_1=C_2=C$，$C_3=14C$，根据式(4.12)可得电容分布值为 4，但其实不然：要知道 $C_3=14C$，所以电容分布值实际上应该等于 14。从理论的角度来说，经 T 网络处理后的电路的电容分布值应不会低于经处理前的电容分布值取平方根[8]。

针对上述两点，Huang[9] 提出了一个设计方案，由此得出的改进型电路不仅对寄生电容不敏感，而且能更有效地大幅降低原电路的电容分布值。该电路设计方案的基本理念是利用滤波器的空闲时钟相(在这里的讨论中空闲时钟相是指当 $\Phi_2=1$ 时)来降

低电容分布值。

考虑图 4.3 所示的高 Q 二阶滤波器的第一级 SC 积分器。我们采用 Huang 的方法对它进行修改，所得电路如图 4.5 所示。由图可知，第一级积分器的反馈电容（亦称积分电容）C_1 被分解成了三个电容，分别是 C_{11}、C_{12} 和 C_{13}（这里我们选择对电容 C_1 进行分解的原因是：与图 3.12a 所示的电路相似，C_1 往往是在图 4.3 所示的电路中最大的电容，而且 $C_1=C_2$）。假定输入信号经过 M_1C_1 进入电路，即假定该 SC 电路实现的是一个低通滤波器，在空闲时钟相（$\Phi_2=1$）期间，这个积分器的运放在节点 A 的输出为

95

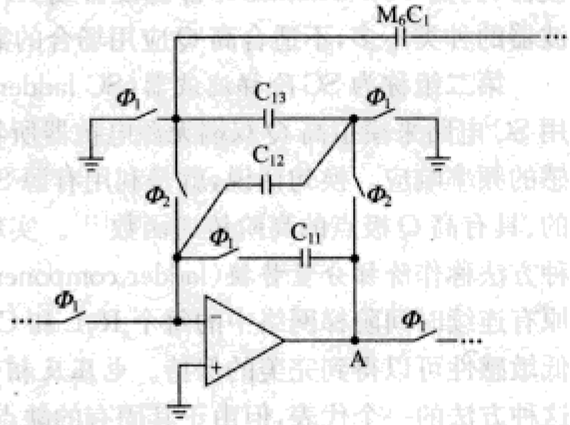


图 4.5 经改进后的 SC 积分器电路

$$V_A(z)|_{\text{idle}}=-\frac{M_1C_1}{C_{12}+C_{13}}V_{in}(z) \tag{4.13}$$

接下来 $\Phi_1=1$，电容 C_{13} 往地放电，而 C_{12} 两端的电荷则被传输到 C_{11} 两端。根据电荷守恒定律，我们可以写出 $V_A(z)$ 的表达式如下：

$$V_A(z)|_{\text{active}}=-\frac{M_1C_1C_{12}}{(C_{12}+C_{13})C_{11}}\cdot\left(\frac{1}{z-1}\right)V_{in}(z)=-M_1\left(\frac{1}{z-1}\right)V_{in}(z) \tag{4.14}$$

由上式可见，为了使此运放在工作时钟相（即当 $\Phi_1=1$ 时）期间保持应有的电压增益值（即 $-M_1$），C_1 与 C_{11}、C_{12} 和 C_{13} 这些电容之间的关系必须满足以下条件：

$$C_1=\frac{(C_{12}+C_{13})C_{11}}{C_{12}} \tag{4.15}$$

满足以上条件的情况很多，我们举其一为例：$C_{11}=0.125C_1$，$C_{12}=0.125C_{11}$，以及 $C_{13}=0.875C_{11}$。这样一来，电路中的最大电容值以及电容分布值同时得到了减少（此例电路的最大电容值由 C_1 降到了 $0.125C_1$，而且电容分布值也变成了原值的八分之一）。可以证明的是，因为这里提到的 SC 积分器电路设计采用了文献[10]中所介绍的补偿设计技术（请参考第 7 章），所以其电路性能对寄生电容、运放的直流电压偏差和有限运放电压增益所导致的输出偏差都不敏感。此外，经这个方法处理后的电路的电容分布值能够低于原电容分布值取平方根。此处的证明留给读者作为习题。

上述两种面积优化方法被工程师们在 SC 滤波器电路设计中广泛采用。不同的 SC 滤波器设计往往要求采用不同的降低电容分布值的方法。在此恕不详述这些主题，感兴趣的读者可以参考相关文献以获得更多信息。

4.3 高阶开关电容滤波器

SC 滤波器的实现

96

SCF 的实现方法可以划分为 3 组。第一组称为连续时间滤波器模拟（continuous-

time filter emulation)。在这种情况中，用 SC 无源元件来替代经典连续时间有源 RC 滤波器(例如 Tow-Thomas 二阶滤波器或 KHN 二阶滤波器)中的电阻。其主要缺点是滤波器的种类不多，不适合高 Q 应用场合的需要。

第二组称为 SC 阶梯滤波器(SC ladder filter)。这种滤波器的基本设计想法，是利用 SC 电路来模拟高 Q 双端无源电抗器所特有的、对电路内部及外部环境变化极不敏感的频率响应。换句话说，就是利用有源 SC 电路来实现像无源 RLC 阶梯型网络那样的、具有高 Q 极点的高阶传递函数[11]。实现 SC 阶梯滤波器有两种不同的方法。第一种方法称作阶梯分量替换(ladder component substitution)，它用等效的 SC 元件来替换原有连续时间阶梯网络中的每个 R、L 和 C 部件。其优点是原有滤波器对部件变化的低敏感性可以得到完美的保持。电压反相开关(voltage-inverter-switch，VIS)技术[12]是这种方法的一个代表，但由于其固有的缺点，例如，其对电容上极板的寄生不是完全不敏感的，其正常运行需要多于两个的时钟相等等，而未能被电路设计者们接受。虽然文献[13]提出了一种改进的 VIS-SCF 技术，仅仅需要两个时钟相，但其带来的好处不大，难以在现有 CMOS 工艺上进行低成本的生产。

另一种方法称作基于 SFG 的阶梯实现(SFG-based ladder realization)。其基本理念是，根据精度的要求以及信号带宽上的时钟频率比(即 f_{clk}/f_0)，利用 LDI(即近似设计)或双线性(即精确设计)的 s 到 z 的变换，将 RLC 阶梯滤波器的 s 域传递函数转换成对应的 z 域传递函数。一旦转换得到确定，就可以根据所得的 z 域传递函数，做出一个由积分单元、延迟单元，以及求和单元等构成的信号流图(SFG)，然后根据 SFG 现实 SCF 电路。一般来讲，基于 SFG 来构建一个寄生不敏感的 SC 阶梯滤波器要比使用 VIS 方法实现容易得多，因为该方法使用积分器而非反相器。

第三组 SCF 实现有点类似上述基于 SFG 的阶梯滤波器，其名称是级联 SCF 实现(cascade SCF realization)。这类实现也采用直接的构件方法来确定滤波器 z 域的传递函数。然而，其主传递函数是采用一阶项和二阶项的乘积来表示的。换句话讲就是，高阶传递函数($L\geqslant3$)的分子和分母将被分解成一阶和二阶子函数。每个子函数可以用前面介绍的低阶(一阶或二阶)滤波器来实现。由于每个低阶滤波器具有各自的缓冲，能够独立工作，将它们级联在一起不会影响它们的传递函数[14]，因而可以得到一个直接且易于发现问题的设计方案。在实际应用中，级联配置常用于实现中、高阶($3\leqslant L\leqslant12$)的 SCF，以提供中高程度的选择性($1\leqslant Q\leqslant30$)。

97

然而，当遇到阶数更高和选择性要求更严的情况时，级联 SCF 实现就不适用了，因为其实现的高阶传递函数往往具有高 Q 极点(即极点很靠近 z 平面上的单位圆)。结果，系统中每个系数的值，或者说电容的比值将在小数点后拥有一长串数字，从而导致频率响应对元件精度过于敏感，以致难以用任何现有的 CMOS 工艺来制造 SCF。

相反，基于 SFG 的 SC 阶梯滤波器则往往对元件变化不那么敏感，因为其实现采用的是双端 LC 电路，这种电路的频率响应通常对元件的变化具有很低的敏感性。这意味着，其实现的高阶 SC 阶梯滤波器的通带响应，要比对应的级联方案的通带响应平坦

(即纹波较少)。

尽管 SC 阶梯滤波器具有超高的灵敏度,但它往往要求更加复杂的设计策略和高深的数学推导,其中将涉及多参数灵敏度分析和信号端子优化。因此,为一个高阶 SC 阶梯滤波器纠错要比为一个级联 SCF 纠错困难得多。另外,在 LDI 转换(或近似)SC 阶梯滤波器设计中,常常需要用到大量的反馈电容,而且电容分布的值一般会很大,不仅限制了时钟采样频率,还将占用很大的硅片面积[11,14]。由于篇幅有限,本文只研究级联 SCF 方法(通过一个低通 SCF 设计实例来进行介绍)。读者可以参考相关文献,以获取其他阶梯方法的更多信息。

二阶滤波器的排序及其动态范围标定

如前所述,多个 SC 二阶滤波器可以进行级联,以实现高阶 SCF。我们已经见到用二阶滤波器实现的一个低 Q 二阶传递函数(图 3.12 所示的 1 型二阶滤波器)和另一个高 Q 传递函数(图 4.3 所示的 2 型二阶滤波器)。它们被广泛用作高阶 SCF 的构件。

当实现一个 SCF 需要多于两个的二阶滤波器(即 $L\geqslant 6$)时,接下来的步骤就必然是确定每个二阶滤波器的阶数。显然,仅仅使用低 Q 二阶滤波器或仅仅使用高 Q 二阶滤波器来实现 SCF 都不现实,因为前者无法提供足够的阻带衰减,后者则将使输出在拐角频率(ω_0)处产生明显的尖峰,引起 SCF 不稳定(参见第 3 章)。

98

为了简化分析,假定构建一个 6 阶 SCF 要用到三个二阶滤波器(分别为 Q_1、Q_2、Q_3),它们的品质因数各不相同,有 $Q_1>Q_2>Q_3$。那么我们将有 6 种排序选择:$Q_1\to Q_2\to Q_3$,$Q_3\to Q_2\to Q_1$,$Q_1\to Q_3\to Q_2$,$Q_2\to Q_3\to Q_1$,$Q_3\to Q_1\to Q_2$,以及 $Q_2\to Q_1\to Q_3$。

$Q_1\to Q_2\to Q_3$ 配置可利用后两级来衰减拐角频率附近的尖峰。然而可以证明,高 Q 的第一级往往将导致较大的电容分布和较高的敏感性,因为其中最敏感的极点(即最靠近单位圆的极点)没有某个相近的零点与之配对[15]。作为对比,$Q_3\to Q_2\to Q_1$ 的配置则往往可以得到平滑的通带,具有较小的纹波,但其中高 Q 的最后级仍将在拐角频率附近引起一些尖峰,因为其极点—零点配对没有得到优化。和以上两个配置相比,$Q_1\to Q_3\to Q_2$ 和 $Q_2\to Q_3\to Q_1$ 两个配置可以获得同样的电容分布(但不是很好)。

在实际应用中,后面两个配置,即 $Q_3\to Q_1\to Q_2$ 以及 $Q_2\to Q_1\to Q_3$ 使用更为广泛,因为它们都可以用来实现级联型的 SCF,以获得最小可能的电容分布和最低可能的元件变化敏感性。具体选用哪个主要取决于应用的要求,在做出最终决定之前,利用计算机对两个配置都进行一下仿真测试是极有必要的。

确定了二阶滤波器的排序之后,接下来的工作就是确定电路中每个电容的大小。通常的做法是:在每个二阶滤波器级中,将两个运放的反馈电容(它通常具有电路中的最大电容值)归一化为 1,并代入从二阶滤波器的 z 域传递函数产生的设计方程之中,确定其余的初始电容值。下一个重要的步骤称为*动态范围定标*(dynamic range scaling)。其基本理念是对每个运放的输出电压幅值进行缩放,以使所有运放能够在同样的输入电平下饱和,从而让 SCF 能够在尽可能大的输入动态范围内工作。

动态范围定标的典型实现方法如下[14]。首先，增大输入电压 V_{in} 直到滤波器的输出处在饱和的边沿(但尚未饱和)。在这一饱和点上，计算每个内部运放的输出电压值(通常采用计算机仿真方法)。然后将连接到每个运放输出节点的所有电容乘以相应运放的输出电压值。接下来，进行电容的最小化或缩放。对连接到每个运放输入端的所有电容进行缩放，以使其中的最小电容(非零值)归一化为1。从第一个二阶滤波器的第一个运放开始，对系统中所有运放依次重复这个处理步骤。

例 4.1　假定图3.12所示的低 Q 二阶滤波器是某个高阶级联 SCF 的最后级。并假定开始时有 $C_1=C_2=1, M_2'=0, M_4=0.1256, M_5=0.1558, M_6=0.1103, M_1=42.5678$ 及 $M_3=59.965$(后面两个参数是上述定标操作的计算结果)。在对该级进行定标之前，第一个和第二个运放输出电压的最大值分别是500和250。试对电容值进行动态范围定标。在定标之后，每个运放所需的输出电压值应该归一化到1。

解：从第一个运放开始。首先将连接到其输出端的电容乘以500，得到

$$C'_1=500 \quad \text{和} \quad M'_5=77.9 \tag{4.16}$$

然后对第二个运放进行同样的操作，有

$$C'_2=250, \quad M'_4=31.4 \quad \text{和} \quad M'_6=27.575 \tag{4.17}$$

接下来，对连接到每个运放输入端的所有电容进行缩放，以使其中的最小电容(这里是 M'_4)归一化到1。可以写出：

$$C''_1\approx 7.962, \quad M''_4=1 \quad \text{和} \quad M''_1\approx 1.356 \tag{4.18}$$

对第二个运放进行类似的计算，有：

$$C''_2\approx 9.066, \quad M''_6=1, \quad M''_5\approx 2.825 \quad \text{和} \quad M''_3\approx 2.175 \tag{4.19}$$

式(4.18)和式(4.19)给出的电容值为定标后的结果。如果假定最小电容，即单位电容等于 C，则最终的电容值可以通过将上述结果乘以 C 来得到。C 的尺寸由两个因素确定：一个是制造误差对最小尺寸的限制，另一个是噪声(通常为 kT/C 或采样噪声)要求[14,16]。

关于动态范围定标，人们常常会问到一个很有趣的问题：动态范围定标会不会影响SC滤波器的频率响应？我们从第3章知道，在典型的SC电路中，SC无源元件用来模拟实际的电阻。因此，如果假定需进行动态范围定标的SCF能够通过将某个RC滤波器的所有实际电阻用SC元件替换而得到，则容易看出，SCF动态范围定标在本质上等效于在RC滤波器中将所有电阻乘以定标系数 S 和将所有电容乘以 $(1/S)$。因此，从理论上讲，整体时间常数(无论是实际的还是SC模拟的RC乘积)不会有显著的变化，SCF的频率响应也不应该受到动态范围定标的影响，例外的是最大输出电压幅值可能会改变。

最后，尽管上述电容设置过程能够满足许多实用的SCF规范，却不能保证一定可以获得最小可能的总电容或电容分布。换句话说，它并非最优的电容设置。这是由于在前述分析中做了一些基本的假定，即假定动态范围标定和电容极小化是彼此无关的，且可以分开进行[16]。读者可以参考文献[16]及相关资料以获得更多关于电容设置优化的信息。

设计实例:低通 SC 椭圆形滤波器

本小节详细介绍高阶低通 SCF 的设计。本例将用到动态范围标定以及电容极小化等技术。在正式开始之前,请注意介绍这一工作的目的,不是为了报告一个优化结果,而是为了以逐步引导的形式展示整个设计过程。

SCF 的目标参数列出在表 4.1 中。以这些参数为基础,应用 MATLAB 仿真方法可以确定出滤波器的 z 域传递函数。相应的源代码在附录 4.1 中给出。在这种系统级的仿真中,我们假定最大容许的通带纹波等于 0.1dB,阻带衰减至少为 75dB,以便为电路级的现实提供一些裕度。下面让我们来过一遍设计。

表 4.1 低通 SCF 的目标参数

参　数	取　值	单　位
采样频率	30	MHz
通带直流增益	0	dB
通带	0—1.5	MHz
通带纹波	<0.3	dB
阻带	3—9	MHz
阻带衰减	65	dB
最小电容大小	0.5	pF
供电电压	3.3	V

为了确定滤波器的拓扑结构,以表 4.1 中的参数为基础,对 4 种不同的滤波器类型(巴特沃兹型、切比雪夫Ⅰ型、切比雪夫Ⅱ型,以及椭圆型)进行了仿真,仿真的(理想)频率响应如图 4.6 所示(点划线代表通带和阻带要求)。正如图 4.6 所示,在 4 个方案中,椭圆形低通滤波器为最佳选择,因为其只需要 6 个运放(即其为 6 阶滤波器)。从计算机仿真可以得到这个 6 阶椭圆形低通滤波器的理想传递函数为

101

$$H(z)=\frac{G\cdot(z^2-1.63z+1)\cdot(z^2-1.394z+1)\cdot(z^2+0.2202z+1)}{(z^2-1.721z+0.7479)\cdot(z^2-1.764z+0.8316)\cdot(z^2-1.837z+0.9427)} \tag{4.20}$$

这里常数 G=0.00038221。从仿真中可以得到该传递函数的零点和极点。零点为:

$$\text{零点}=\begin{cases}-0.1101+\mathrm{j}0.9939\\-0.1101-\mathrm{j}0.9939\\0.8150+\mathrm{j}0.5795\\0.8150-\mathrm{j}0.5795\\0.6970+\mathrm{j}0.7171\\0.6970-\mathrm{j}0.7171\end{cases} \tag{4.21}$$

极点则为:

$$
\text{极点}=\begin{cases}0.9185+j0.3147\\0.9185-j0.3147\\0.8820+j0.2317\\0.8820-j0.2317\\0.8605+j0.0863\\0.8605-j0.0863\end{cases}\tag{4.22}
$$

利用这些结果，可以得到每个二阶滤波器的最高的 *pole-Q*（极点品质因数）的近似值。文献[16]介绍了一种更加精确的求取 *pole-Q* 的方法。

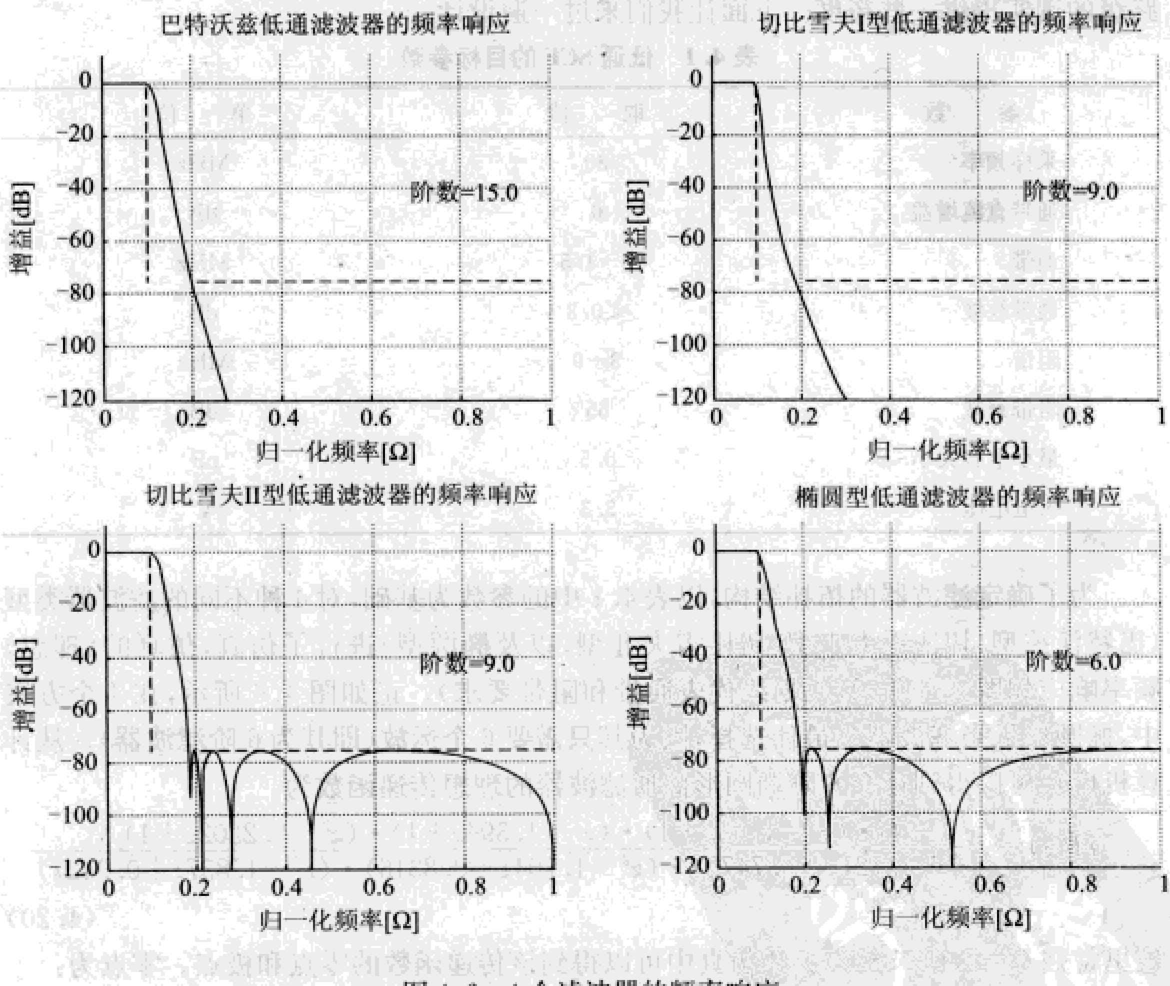


图 4.6　4 个滤波器的频率响应

下一步是将极点与邻近的零点配对。作为一般规则，最灵敏的极点（z 平面上最靠近单位圆的极点）拥有最高的优先级，应该同最靠近它的零点首先配对，然后是第二灵敏的极点与其邻近的零点配对，照此方法依次进行[15]。遵从这一规则对零极点进行配对，最后得到以下的 3 个二阶传递函数：

$$
\begin{cases}
H_1(z)=C_1\dfrac{z^2+0.2202z+1}{z^2-1.721z+0.7479},(Q_1\cong 8.071)\\
H_2(z)=C_2\dfrac{z^2-1.63z+1}{z^2-1.837z+0.9427},(Q_2\cong 9.738)\\
H_3(z)=C_3\dfrac{z^2-1.394z+1}{z^2-1.764z+0.8316},(Q_3\cong 3.311)
\end{cases}
\tag{4.23}
$$

102~103

注意 $C_1\cdot C_2\cdot C_3=G=0.00038221$。

前面曾经提到,经验表明将较高 Q 的二阶滤波器放在中间,将较低 Q 的两个二阶滤波器分别放在第一级和最后一级,有助于得到较低的灵敏度和较低的电容分布。因此,我们决定将具有高 Q 的 $H_2(z)$ 放在中间。

现在有两种方案来放置剩余的两个二阶滤波器:一种方案是将 $H_1(z)$ 放在第一级,将 $H_3(z)$ 放在第三级,另外一种是将两者对调。计算机仿真结果表明,在这个例子中,第一种方案优于第二种,因为前一种方案可以得到较低的电容分布值。事实上,经过动态范围定标之后,第一种方案提供的电容分布值大约为 16.395,而第二个方案为 24.221。因此本例选择的二阶滤波器的排序是:$H_1(z)\rightarrow H_2(z)\rightarrow H_3(z)$。每个二阶滤波器的频率响应如图 4.7 所示。

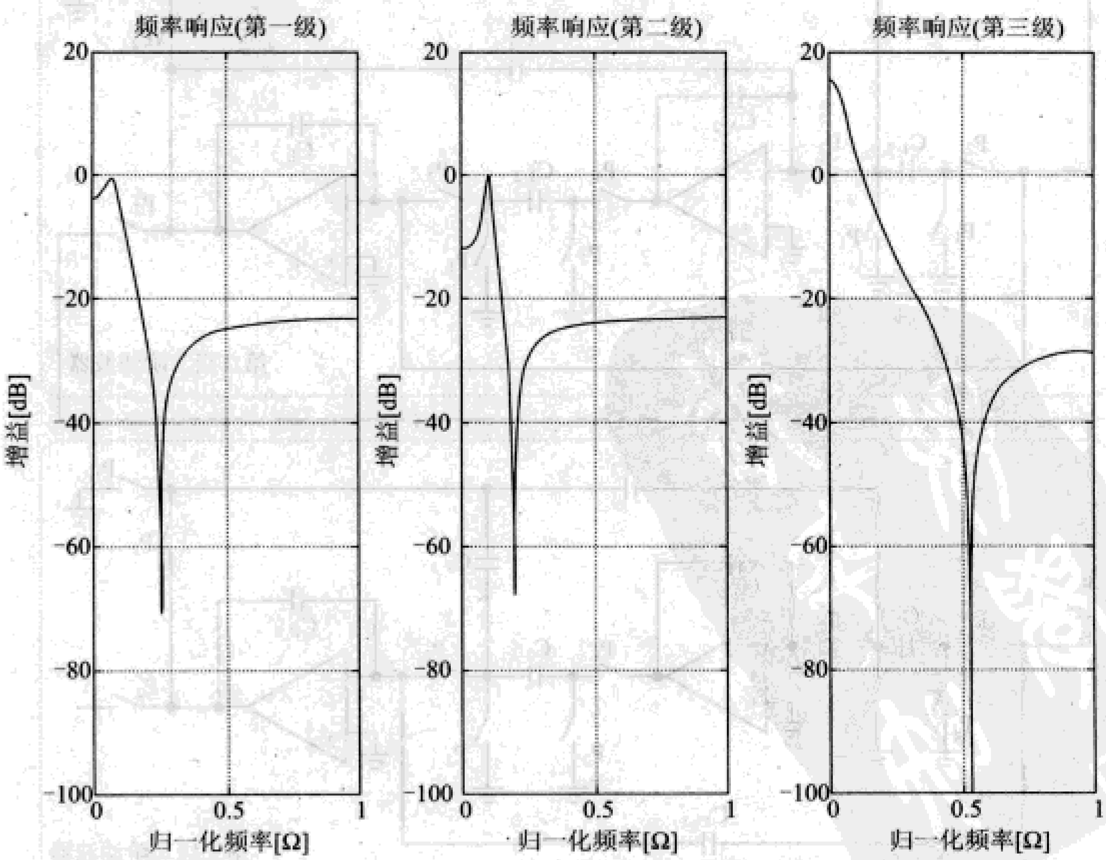


图 4.7　3 个二阶滤波器各自的频率响应

104

完整的 SCF 如图 4.8 所示。如原理图所示，第一级和第三级是基于图 3.12 的1 型二阶滤波器实现的(注意这里使用了开关共享技术)，而第二级是基于图 4.3 所示的 2 型二阶滤波器实现的。此外，注意滤波器的输出仅仅在 P_2 相期间发生跳变。

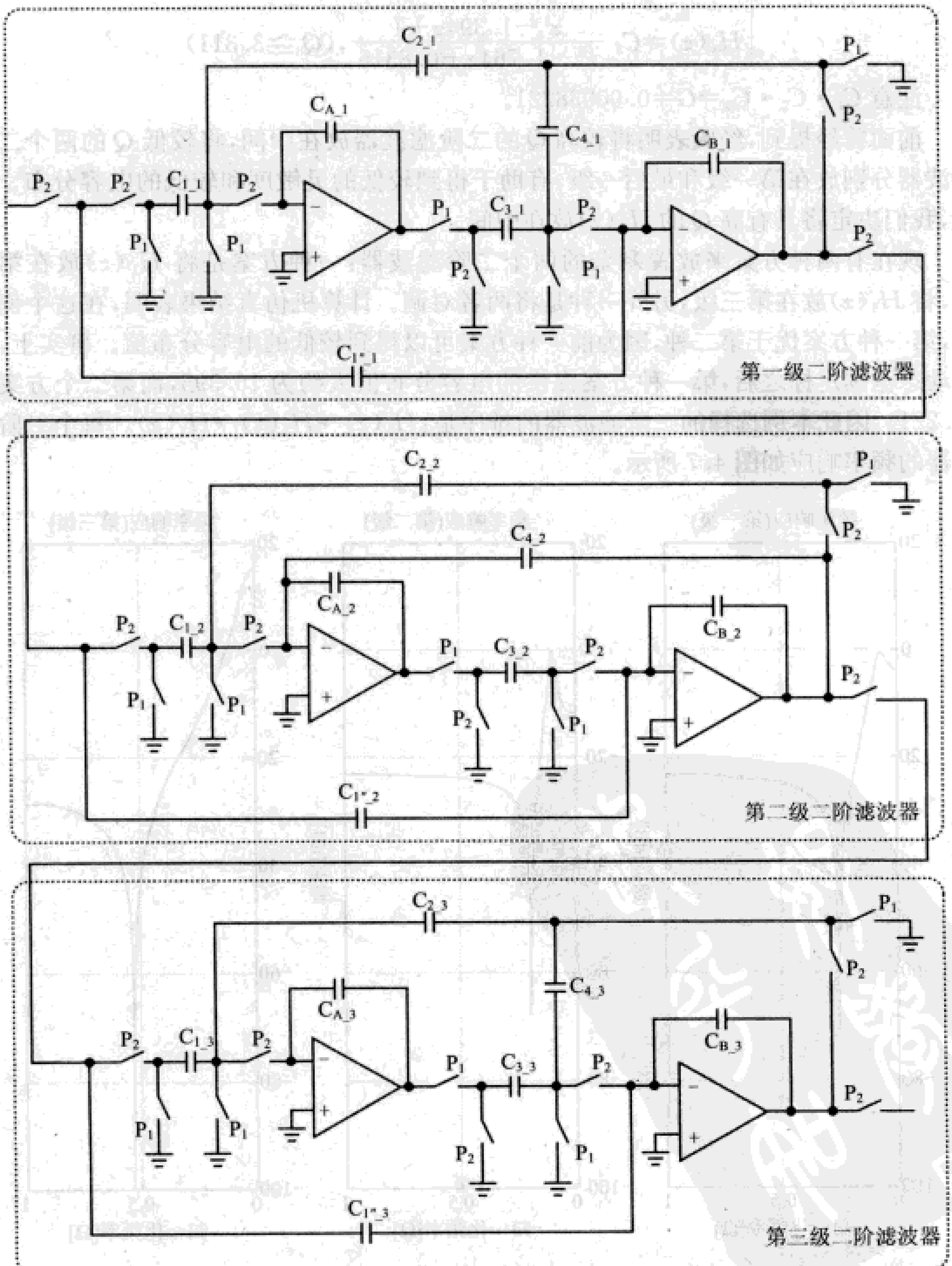
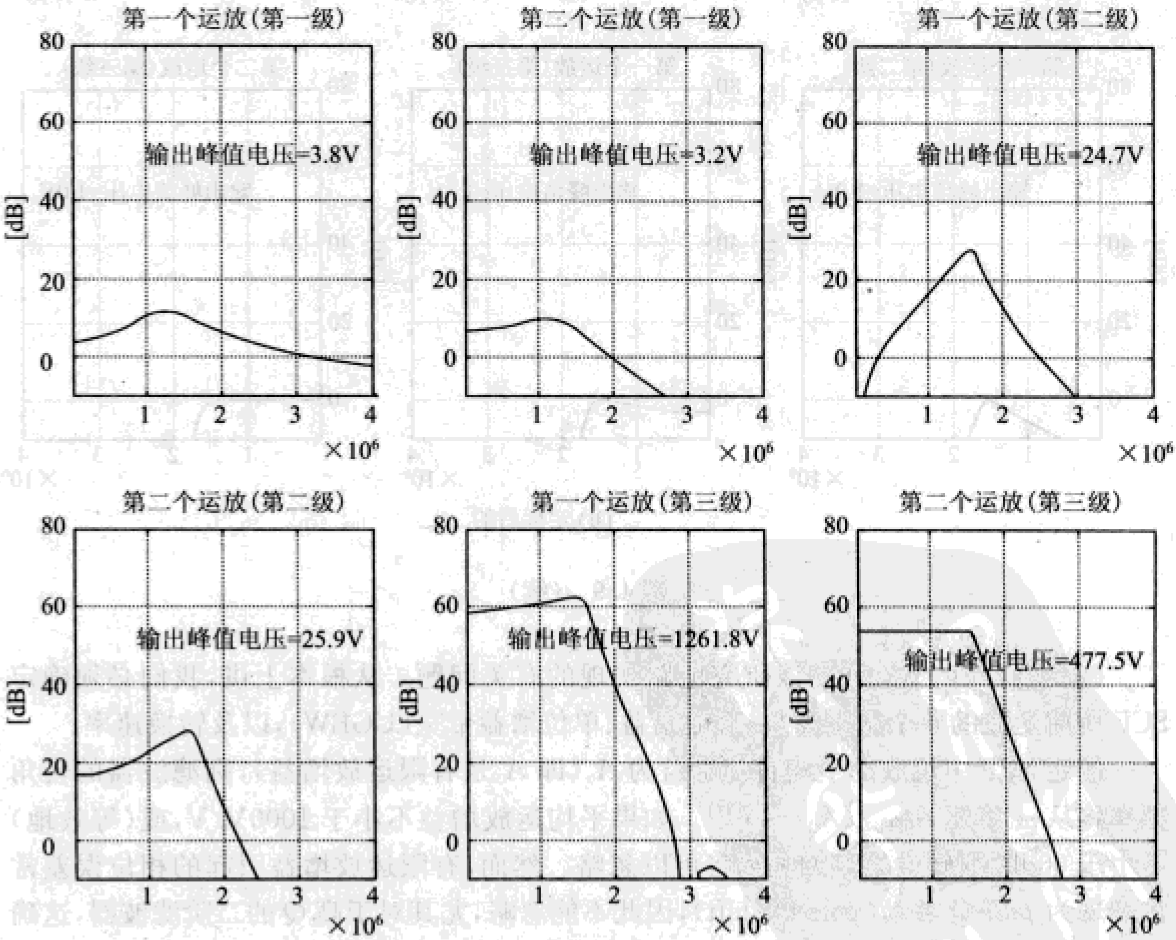


图 4.8　6 阶椭圆形低通 SCF

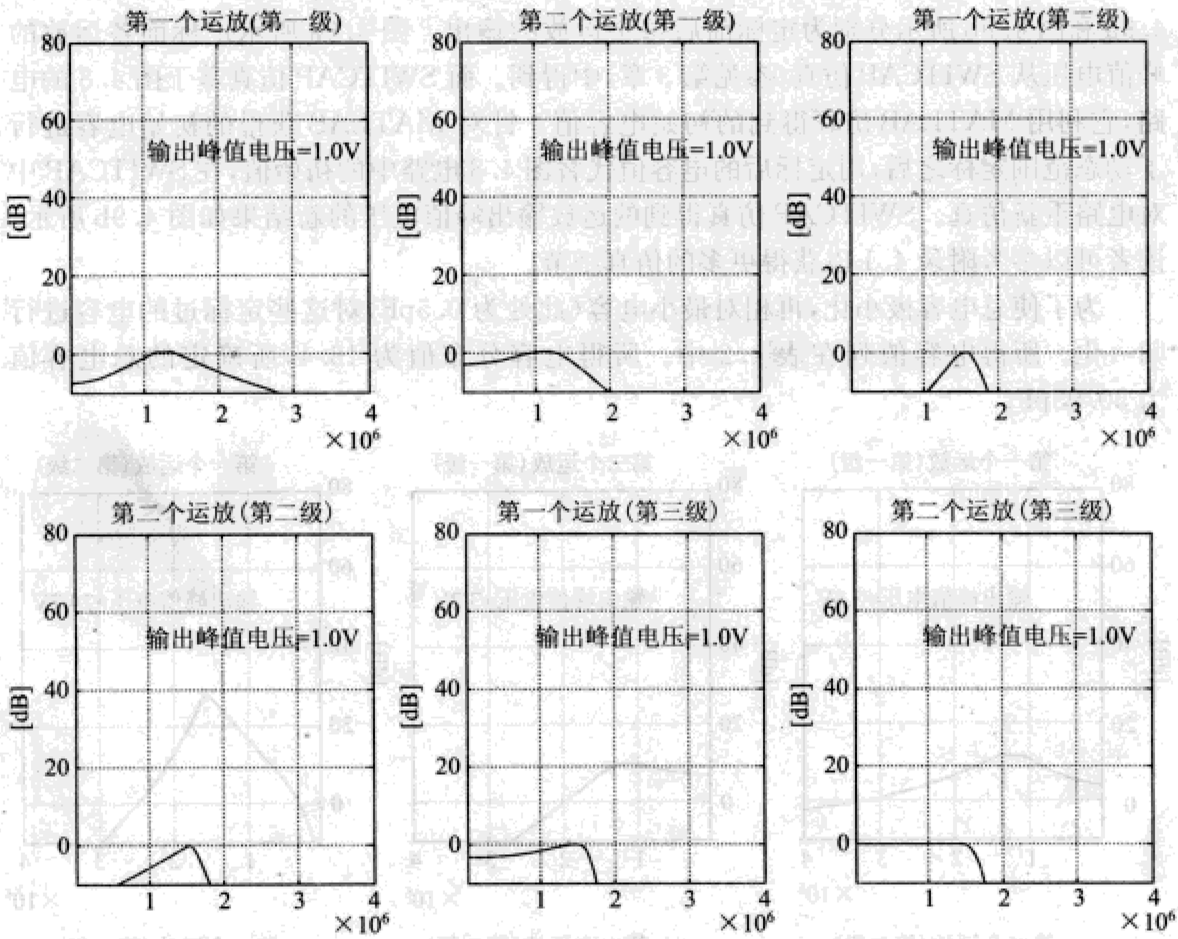
下一步是利用动态范围定标技术来对每个运放的峰值输出电压进行缩放。图 4.9a 和图 4.9b 所示分别为定标前后每个运放的输出。图 4.9a 所示定标前各运放的峰值电压从 SWITCAP 仿真(参见第 3 章)中得到。而 SWITCAP 仿真基于图 4.8 的电路,它利用 MATLAB 仿真得到的初始电容值。针对 MATLAB 获得的初始电容进行了动态范围定标之后,用定标后的电容值代替图 4.8 电路中的初始值,在 SWITCAP 中对电路重新仿真。SWITCAP 仿真得到的运放输出峰值电压的新结果如图 4.9b 所示。读者可以参考附录 4.1 以获得更多的仿真细节。

为了使总电容极小化,再相对最小电容(此处为 0.5pF)对这些定标过的电容进行归一化。所得电容值列在表 4.2 中。所得电容分布值为 16.4,所确定的总电容值为 50.95pF。



(a) 定标前的

图 4.9 运放输出电压峰值



(b) 定标后的

图 4.9 (续)

确定电容值之后，就应该研究电路实现的有关问题。从根本上讲，我们必须确定SCF所用运放的3个重要参数：直流增益、单位增益带宽(UGBW)，以及转换速率。

假定SCF中运放的平均直流增益为A_0(即A_0是有限运放增益)，则滤波器的转角频率将从ω_0移到$A_0\omega_0/(A_0-1)$[17]。如果平均运放增益不小于1000V/V，或(等效地)不小于60dB，则转角频率的偏离将可以忽略。然而，有限运放增益引起的相位误差常常表现为*pole-Q*移动(pole-Q shift)，因此不能忽略，尤其对于高Q的二阶滤波器，这确实是一个相当不好处理的问题。可以发现，在有限运放增益为A_0的情况下，第i个*pole-Q*为[17,18]：

108

$$\frac{1}{Q_i}=\frac{1}{Q_{i0}}+\frac{2}{A_0} \tag{4.24}$$

式中Q_{i0}指第i个*pole-Q*的理想值，系数2意味着在该SC二阶滤波器中有2个运放。*pole-Q*偏离其理想值的直接结果之一是：增益响应峰值附近将出现我们不希望看到的

幅值变化(这就是工程师提及的通带纹波,亦称带内不平坦),其最大变化量(单位为dB)如下表示:

$$\Delta G=20\lg\left(1+\frac{2Q_{max}}{A_0}\right) \tag{4.25}$$

表 4.2 定标前后的电容值

二阶滤波器级	电　容	定标前的初始电容值(pF)	定标后的电容值
第一级	C1_1	2.1262	0.5
	C2_1	0.2848	0.71676
	C3_1	0.2848	1.8515
	C4_1	0.2025	1.0835
	CA_1	1	3.0571
	CB_1	1	5.3502
	C1″_1	1	0.5
第二级	C1_2	1.0732	0.5
	C2_2	0.3248	1.3220
	C3_2	0.3248	1.4333
	C4_2	0.1765	0.71859
	CA_2	1	3.8760
	CB_2	1	4.6341
	C1″_2	0.9427	0.5
第三级	C1_3	11.6834	1.8749
	C2_3	0.1900	0.5
	C3_3	0.1900	4.1171
	C4_3	0.3370	2.7630
	CA_3	1	6.9535
	CB_3	1	8.1982
	C1″_3	1	0.5

回顾前面的仿真结果,在这个低通 SCF 中,最大的 *pole-Q* 等于 9.738。如果假定 $\Delta G=0.1$dB,则根据前面的公式,可以算得所需的运放最小直流增益 A_0,结果为大约 1682V/V 或 64.5dB。为了提供足够的设计裕度,我们选定运放的最小直流增益为 2500V/V 或 68dB。

通常基于电路的线性调节特性来分析有限运放带宽对 SCF 的影响。具体来讲,我们应该将注意力集中在输入阶跃仍然相对较小时,每个运放达到其输出终值一定百分

数所需要的时间上，因为此时转换速率（它控制着非线性调节特性）的限制尚不存在。

通常用一个具有 90°相位裕度（PM）的一阶闭环运放模型来模拟和分析运放的线性调节特性。在该模型中，假定极点彼此远离，运放的频率响应仅由一个极点主导，因此也称其为单极点运放模型（single-pole op-amp model）[17]。所以基本的闭环运放增益函数可以写成：

$$A_{cl}(s)=\frac{1}{\beta+\frac{s}{\omega_0}} \tag{4.26}$$

其中 A_{cl} 上闭环运放的直流增益，β 是反馈增益或反馈系数，ω_0 是闭环运放频率响应的 −3dB频率。由于这里使用了完美补偿（即 90°相位裕度）的闭环运放模型，因此可以用开环运放的单位增益带宽（UGBW）ω_{ol} 与 β 的乘积来近似表示 ω_0[19]。

109

此外，可以求出闭环运放模型的时间常数 τ 为

$$\tau=\frac{1}{\omega_0}\cong\frac{1}{\beta\omega_{ol}} \tag{4.27}$$

在小阶跃输入的情况下，时间常数 τ 表示运放的调节特性。根据信号与系统理论，我们知道线性反馈系统的阶跃响应为

$$V_{out}(t)=V_{step}(1-e^{-t/\tau}) \tag{4.28}$$

经过计算，我们发现闭环单极点运放的输出电压 V_{out} 调整到其最终值 V_{step} 的 0.1%误差范围所需要的时间是 7τ。另一方面，实现任何 SC 电路的一个铁律是其输出电压必须在半个时钟周期内调节到满意的程度，否则 SC 电路的精度将消失。因此，调节时间 7τ 必须小于或等于 $T/2$。我们这里将这个要求设置为（保留一定的设计裕度）：

$$7\tau\leqslant\frac{3}{8}T \tag{4.29}$$

将式（4.27）应用到式（4.29）中，有：

$$\omega_{ol}\geqslant\frac{56}{3\beta}\cdot f_{clk} \tag{4.30}$$

注意这里的时钟采样频率 f_{clk} 等于 30MHz。下一步是发现最小可能的 β 值，以便确定最坏情况下需要的开环 UGBW（ω_{ol}）。因此需要计算滤波器中每个 SC 积分器的反馈系数。结果列在表 4.3 中。

表 4.3　SCF 中积分器的反馈系数

反馈系数（i=1,2,3）	第一级	第二级	第三级
β（第一个积分器的）$=C_{A_i}/(C_{A_i}+C_{1_i})$	0.860	0.890	0.665
β（第二个积分器的）$=C_{B_i}/(C_{B_i}+C_{3_i})$	0.743	0.764	0.788

110

注意最小反馈系数等于 0.665。根据式(4.30),可以求得 ω_{u} 不应该小于 842.11Mrad/s 或 134.026MHz。考虑到设计裕度,我们设定滤波器中每个运放的 UGBW 不低于 140MHz。

第 3 个需要确定的重要运放参数是转换速率。转换速率就是当输入信号存在大阶跃时,输出变化的速度。运放的转换速率也可以定义为其能够对输出端的电容性负载(C_L)进行充电或放电的速度[19]。精确的转换速率分析不应该忽略转换速率(即非线性调节特性)与有限运放带宽(即线性调节特性)之间的相关性。根据运放的小信号模型可知,运放输入器件的跨导 g_m 跟其中流过的电流 I_c 之间不是独立无关的。因此,通常使用计算机仿真产生的等值线来研究 UGBW(通常用 g_m/C_L 来表示)、转换速率(通常用 I_c/C_L 来表示)以及电容性负载 C_L 之间的精确关系。

作为上述转换速率计算方法的另一种选择,有一个更为简单、但却稍微有点保守的估算方法,可以用来求取满足滤波器精度要求的转换速率最小值。首先,我们将一个运放的输出转换时间(output slew time)表示为:

$$t_{SR}=\frac{\Delta V_{out}}{SR}=\frac{\Delta V_{out}}{\left|\dfrac{\partial V_{out}}{\partial t}\right|} \tag{4.31}$$

其中 SR 代表转换速率。假定滤波器输入的为正弦信号 $v_{in}(t)=V_{max}\sin\omega_a t$。为了考虑最坏的情况,假定 ω_a 是 SCF 的通带中的最高频率(本例中它等于 $2\pi\times1.5$Mrad/s),V_{max} 是最大可能的运放电压摆幅(使用电源的电压 $V_{dd}=3.3$V)。那么最大输入斜率为

$$\left|\frac{\partial V_{in}}{\partial t}\right|_{max}=\omega_a V_{max} \tag{4.32}$$

在采样相期间(即在半个时钟周期内),为了与输入电压的变化同步,输出阶跃 ΔV_{out} 应该在转换时间内达到其峰值。假定输出转换时间占时钟周期的一部分,即

$$t_{SR}=aT,0<a\leqslant0.5 \tag{4.33}$$

111

结合式(4.31)和式(4.33),可以得到最小输出转换速率的表达式为

$$SR_{min}=\frac{\omega_a V_{max}\cdot\dfrac{T}{2}}{aT}=\frac{1}{2a}\omega_a V_{max} \tag{4.34}$$

在实际应用中,a 的典型值在 0.25~0.75 之间。然而,为了设置一定的设计裕度,我们这里假定 $a=0.1$,这比大多数实际电路所容许的要小,由此我们可以确定运放的最小转换速率大约为 155.51V/μs。

在确定了运放的设计参数之后,我们应该考虑如何用 MOSFET 器件来实现开关。由第 1 章所学内容知道,由 MOSFET 构成的片上开关存在多种非理想性,其中之一是非零的导通电阻。当 MOS 三极管运行在线性区或三极管区时,其行为类似一个电阻,相应的阻值为

$$R_{on}=\frac{1}{2K\cdot(V_{gs}-V_{th})} \tag{4.35}$$

其中 K 是与工艺有关的常数,$V_{gs}-V_{th}$ 为有效过驱动电压。在 SC 电路中,MOSFET 开

关通常用来将电容充电到一个给定的电压(譬如 V_{in})。此外,开关的导通电阻 R_{on} 直接影响到时间常数 τ,因而影响运放的线性调节时间。

根据表 4.2,可以计算出所设计低通 SCF 的最大时间常数,并知道它是由第三级二阶滤波器的第二个运放周围的 SC 组合所引起的(因为 C_{B_3} 具有最大电容值,等于 8.1982pF)。根据式(4.29),可以计算出 SCF 容许的最大 R_{on} 值为:

$$R_{on_max}=\frac{3T}{56C_{B_3}}\approx 218\Omega \tag{4.36}$$

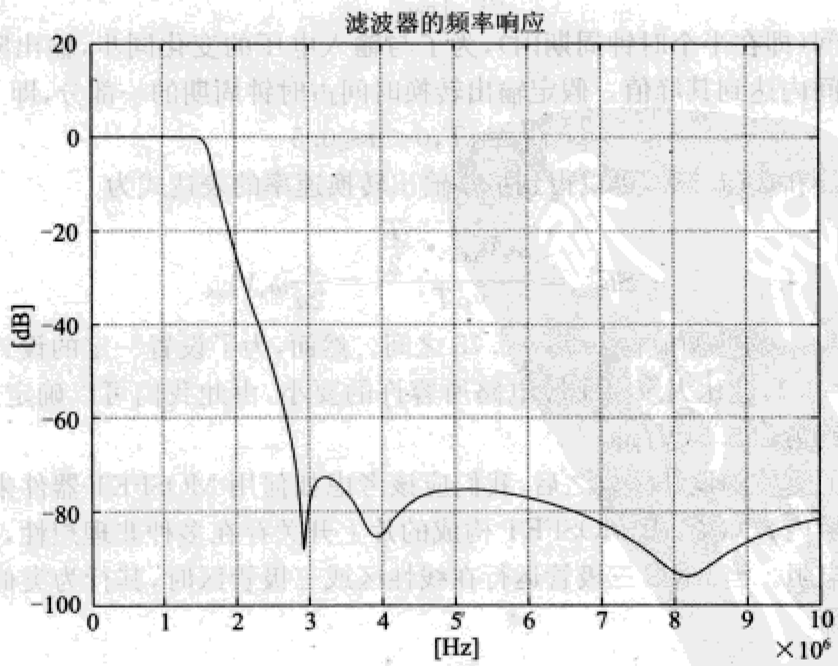
将这个值代入式(4.35),并假定 $\mu_n C_{ox}=60\mu A/V^2$,$\mu_p C_{ox}=20\mu A/V^2$,$(V_{gs}-V_{th})_{max}=3.0V$,则有:

$$\left(\frac{W}{L}\right)_{n_min}=\frac{1}{3}\left(\frac{W}{L}\right)_{p_min}=\frac{K_{min}}{\mu_n C_{ox}}=\frac{1}{\mu_n C_{ox}\cdot 2R_{on_max}\cdot(V_{gs}-V_{th})_{max}}\approx 12.742 \tag{4.37}$$

112 为了给调整留点余地,我们选择最小晶体管尺寸比为 15/1(NMOS)和 45/1(PMOS)。

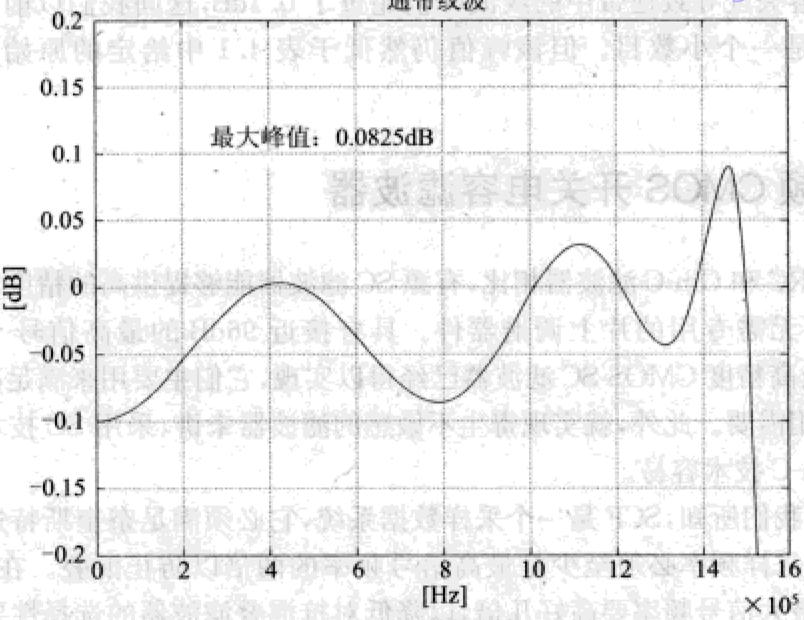
CMOS 传输门可以用来构建电路中的关键开关,以减轻电荷注入误差。在本 SCF 中,第一级和第二级二阶滤波器的输入支路以及 C_{2_1}、C_{4_2} 和 C''_{1_3} 支路可以用传输门来构建。此外,可以采用全差动配置来优化 SCF 的共模噪声抑制性能。

从现在开始,SCF 的电路实现就相当直接了,这全部跟运放有关。采用折叠式共源共栅运放实现我们前面确定的参数是合适的。布线后的仿真结果如图 4.10 所示。电路布线采用 3.3V、0.5μm 的 CMOS 工艺。该低通 SCF 的频率响应如图 4.10a 所示,而通带纹波则如图 4.10b 所示。



(a) 频率响应

图 4.10 布线后的仿真结果



(b) 通带纹波

图 4.10 （续）

最后，研究一下电容失配对 SCF 频率响应的影响很有价值。利用 MATLAB 产生了一个具有 0.1%标准偏差的随机失配电容序列。在 SWITCAP 网单中，用新的电容值与失配的元件一起取代相应的理想值与元件。然后在 SWITCAP 环境中，仿真计算电容失配对滤波器通带性能的影响，结果如图 4.11 所示。

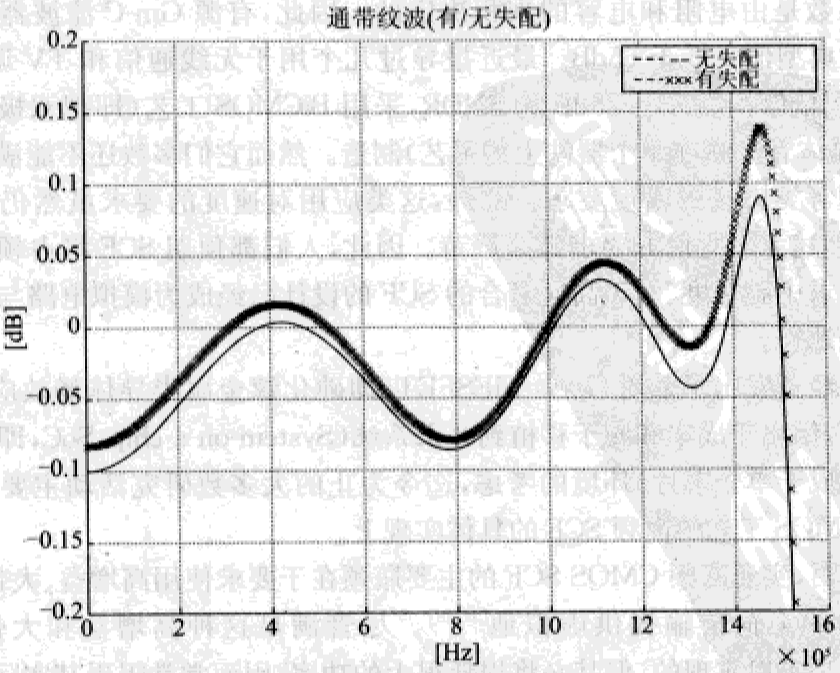


图 4.11 通带纹波（有、无失配两种情况）

注意电容失配导致通带中的纹波峰值超过了0.1dB,这同我们以前规定的0.1dB限制相比不是一个小数目。但该峰值仍然低于表4.1中给定的原始参数要求(即0.3dB)。

4.4　高频CMOS开关电容滤波器

同有源RC和Gm-C滤波器相比,有源SC滤波器能够提供高的精度和可编程序的频率响应,而无需专用的片上调谐器件。具有接近96dB的最高信号—噪声畸变比(SNDR)的极高精度CMOS SC滤波器已经得以实现,它们主要用来满足高品质音频和传感器的应用需要。此外,就实现寄生不敏感的滤波器来讲,采用SC技术要比采用有源RC或Gm-C技术容易。

114

然而,如我们所知,SCF是一个采样数据系统,它必须满足奈奎斯特速率要求。也就是说,时钟采样频率必须至少是最高信号频率的两倍以防止混叠。在实际应用中,时钟频率比最大信号频率要高好几倍,以降低对抗混叠滤波器的选择性要求。这就给SCF处理高频信号的能力施加了内在限制[20,21]。

相反,有源RC和Gm-C滤波器是连续时间(CT)系统,不存在因奈奎斯特速率对采样的要求而引起的内在限制。不仅如此,Gm-C滤波器还常使用开环的(而不是闭环的)运算跨导放大器(OTA),因此,同SC和RC两种滤波器相比,Gm-C滤波器通常都具有速度上的优势,在数百兆赫范围的应用尤其如此。不过,前面已经提到,连续时间Gm-C滤波器在不采用复杂且耗电的调谐电路的情况下,将无法提供精确的系统常数,因为这些系数是由电阻和电容的乘积决定的。因此,有源Gm-C滤波器能够获得的SNDR性能典型值要低于65dB。最近报导过几个用于无线通信和TV调谐的Gm-C滤波器,它们能够提供65～75dB的SNDR,采用BiCMOS工艺(即把双极结型晶体管和CMOS晶体管集成在单个器件上的工艺)制造。然而它们多数还不能满足仪器和模拟视频处理等类应用的精度要求。此外,这类应用对速度的要求虽然仍在兆赫的水平,但不如前述无线通信的要求那么严苛。因此,人们都预期SCF将占领这类应用领域,现在,要求中高精度、用于高速场合的SCF的设计已经成为模拟电路与系统中的一个热门研究课题。

115

尽管已经开发出了采用GaAs MESFET(即砷化镓金属半导体场效应管)[22]实现的高频SCF,但出于成本和便于移植到片上系统(System-on-a-chip,SoC,即把模拟和数字电路都集成于单个芯片)环境的考虑,迄今为止的大多数研究活动主要还是集中在基于标准CMOS工艺的高频SCF的具体实现上。

可以证明,实现高频CMOS SCF的主要瓶颈在于要求使用高增益、大带宽的运放,以便为精确的电荷传输提供虚拟地[17,18]。尽管满足这种高增益和大带宽要求的CMOS运放是可以实现的,但其必将损耗很大的功率,因而常常阻碍其实际实现[23,24]。

除了大增益带宽的方法之外,也曾经报导过几项有趣的技术,用来增强CMOS

SCF 的能力，以便可以在百兆赫范围内运行。这类技术大致可以分为两类：即基于运放的和基于单位增益缓冲的。前者保留了 SCF 中的运放，而后者则用单位增益缓冲(UGB)来替代运放[20]。

大家都知道，大带宽或高速度的运放往往都具有较低的直流增益，因为它们需要在 RC 时间常数和 $g_m R_{out}$ 之间进行性能的折中或取舍。运放直流增益低往往会在 SC 积分器的输出中引入非线性误差，因而影响到滤波器的精度。为了解决这个问题，基于运放的技术往往侧重于对传统的运放结构进行修改，以使修改后的新运放能够满足高频 SCF 在速度和精度两个方面的要求，而不会因为运放仍然具有低直流增益而受到影响[10]。Baschirotto 等人在文献[25]中报道了一个基于运放的 SC 二阶滤波器，其时钟采样速率为每秒 200 兆次采样(采用双采样配置)，损耗的功率为 10mW，使用 3.3V/0.5μm 的 CMOS 工艺实现。

116

Baschirotto 等人声称，其设计的二阶滤波器在 1%的总谐波畸变(THD)下，达到了 62dB 的动态范围，而所使用的运放平均直流增益则低至 80V/V 或 38dB。其电路基于一种称为增益调节(gain regulating)的技术进行实现，该技术在文献[25]中被命名为精确运放增益设计方法。其基本理念是对高频 SCF 中的每个大带宽运放的低直流增益进行精确的控制(或调节)，并将增益的调节值作为参考，来定标电路中的电容，以达到这样的效果：在 SCF 的频率响应中，由被调节运放的直流增益 A 引起的有效误差，等效于当运放具有等效运放增益 A/ε、但却拥有相同 UGBW 时所引起的误差(显然，后面这种运放在实际中不可能存在)，其中 ε 是被调节运放直流增益 A 的最大变化量[25]。所以，就二阶滤波器的精度而言，等效的运放增益大约为 A/ε。以他们所提出的二阶滤波器为例。每个运放的增益由一个副本运放和一个积分器构成的控制回路来调节，以将 ε 的值限制在大约 2%，因此等效的运放增益可以用 80V/V 除以 0.02 得到，结果是 4000V/V 或 72dB。

作为基于运放的方法的替代，基于单位增益缓冲的技术则利用单位增益缓冲来构建 SC 积分器[20,26~28]。典型的单位增益缓冲(UGB)的工作信号带宽要比传统的运放宽得多。此外，UGB 可以用较简单的电路来实现，所以它占用的硅片面积小，消耗的功率也比传统的大增益带宽运放小。因此，对于要求低功耗、长电池使用时间的小型便携式设备来讲，用 UGB 构建的 SCF 特别有吸引力。

然而，基于 UGB 的 SC 积分器的性能好坏直接受寄生电容的影响，这些电容主要是由 UGB 的输入晶体管的源—栅极间扩散(diffusion)引起的，因此它们的数值随工艺参数和环境温度而变化。此外，第 3 章中介绍的对寄生电容不敏感技术对基于 UGB 的 SC 积分器并不适用，这是因为低增益(一般来说其直流增益值为 1)的 UGB 没有能力提供一个合格的虚拟地，而一个合格的虚拟地恰恰是进行精确的电荷传递必不可缺的条件。也正是因为如此，UGB 输入端的偏差电压也是一个很棘手的问题。在本书写作时，尚没有恰当的方法来解决基于 UGB 的 SC 电路的上述问题，不过文献[26]和文献[28]提供了一些很有用的讨论，读者可以参考。

117

附录 4.1

第 1 部分：滤波器参数要求

```
% ----- original specifications of the filter -------
clear all;
close all;
Fp = 1.5e6;     % passband edge frequency [Hz]
Fs = 3.0e6;     % stopband edge frequency [Hz]
Fc = 3.0e7;     % sampling frequency [Hz]
Wp = 2*Fp/Fc;   % passband normalized frequency
Ws = 2*Fs/Fc;   % stopband normalized frequency
Wc = 2;         % sampling normalized frequency
Rp = 0.10;      % maximum passband ripple [dB]
Rs = 75;        % minimum stopband attenuation [dB]
nfig0=1;
Wa_max=1;
Wa_nr=2^10;
Wa=linspace(0,Wa_max,Wa_nr); % frequency range

% --- Locations of zeros and poles of the Elliptic filter ----

  figure(nfig0+2);
  zplane(z,p); hold on;
  title('Locations of zeros and poles of the Elliptic filter');
  xlabel('real part');
  ylabel('imag part');
  grid on;

% ---- Decomposition of H(z) into three sections -------

  figure(nfig0+3);
  H1_a3=(real(p(3)))^2+(imag(p(3)))^2;
```

```
H1=tf([1 -2*real(z(5)) 1],[1 -2*real(p(3)) H1_a3],1/Fc)
[z1,p1,k1]=tf2zp([1 -2*real(z(5)) 1],[1 -2*real(p(3)) H1_a3]);
Q1=abs(atan(imag(p1)./real(p1))./2./(1-sqrt((real(p1).^2+imag(p1).^2))))
% Q1 is an approximate value.
alpha1=1-2*sqrt(H1_a3)*cos(atan(imag(p(3))/real(p(3))))+(H1_a3);
beta1=1-H1_a3;
Q1_accurate=sqrt(alpha1*(1-0.25*alpha1-0.5*beta1))/beta1
% The first biquad is a low_Q one.
omega1=Fc*(sqrt(alpha1/(1-0.25*alpha1-0.5*beta1)))

H2_a3=(real(p(1)))^2+(imag(p(1)))^2;
H2=tf([1 -2*real(z(3)) 1],[1 -2*real(p(1)) H2_a3],1/Fc)
[z2,p2,k2]=tf2zp([1 -2*real(z(3)) 1],[1 -2*real(p(1)) H2_a3]);
Q2=abs(atan(imag(p2)./real(p2))./2./(1-sqrt((real(p2).^2+imag(p2).^2))))
% Q2 is an approximate value.
alpha2=1-2*sqrt(H2_a3)*cos(atan(imag(p(1))/real(p(1))))+(H2_a3);
beta2=1-H2_a3;
Q2_accurate=sqrt(alpha2*(1-0.25*alpha2-0.5*beta2))/beta2
% The second biquad is a high_Q one.
omega2=Fc*(sqrt(alpha2/(1-0.25*alpha2-0.5*beta2)))

H0_a3=(real(p(5)))^2+(imag(p(5)))^2;
H0=tf([1 -2*real(z(1)) 1],[1 -2*real(p(5)) H0_a3],1/Fc)
[z0,p0,k0]=tf2zp([1 -2*real(z(1)) 1],[1 -2*real(p(5)) H0_a3]);
Q0=abs(atan(imag(p0)./real(p0))./2./(1-sqrt((real(p0).^2+imag(p0).^2))))
% Q0 is an approximate value.
alpha0=1-2*sqrt(H0_a3)*cos(atan(imag(p(5))/real(p(5))))+(H0_a3);
beta0=1-H0_a3;
Q0_accurate=sqrt(alpha0*(1-0.25*alpha0-0.5*beta0))/beta0
% The third biquad is a low_Q one.
omega0=Fc*(sqrt(alpha0/(1-0.25*alpha0-0.5*beta0)))

k_decomp=k^(1/3); % Decompose the gain.

subplot(131);
HH1=freqz(k_decomp*[1 -2*real(z(5)) 1],[1 -2*real(p(3)) H1_a3],Wa_nr);
plot(Wa, 20*log10(abs(HH1)),'k-'); hold on;
axis([0 Wa_max -100 20]);
```

```
title('frequency response(1st stage)');
ylabel('Gain[dB]');
xlabel('Normalized frequency, \Omega');
grid on;

subplot(132);
HH2=freqz(k_decomp*[1 -2*real(z(3)) 1],[1 -2*real(p(1)) H2_a3],Wa_nr);
plot(Wa, 20*log10(abs(HH2)),'k-'); hold on;
axis([0 Wa_max -100 20]);
title('frequency response(2nd stage)');
ylabel('Gain[dB]');
xlabel('Normalized frequency, \Omega');
grid on;

subplot(133);
HH0=freqz(k_decomp*[1 -2*real(z(1)) 1],[1 -2*real(p(5)) H0_a3],Wa_nr);
plot(Wa, 20*log10(abs(HH0)),'k-'); hold on;
axis([0 Wa_max -100 20]);
title('frequency response(3rd stage)');
ylabel('Gain[dB]');
xlabel('Normalized frequency, \Omega');
grid on;
```

第2部分：动态幅摆范围调节和电容值设置

```
% ------ The capacitance values before scaling -------

% --------- The first stage (low-Q) ----------

 H1=tf([1 -2*real(z(5)) 1],[1 -2*real(p(3)) H1_a3],1/Fc)
 % A reminder. Next, format the transfer function.
 n1_reformed=[1 -2*real(z(5)) 1];
 d1_reformed=[1/(H1_a3) -2*real(p(3))/(H1_a3) 1];
 C1_pipi_first=1; % C1''
 C1_pi_first=0; % C1'
 C2_first=sqrt(d1_reformed(1)+d1_reformed(2)+1)
 C3_first=C2_first
 C1_first=(n1_reformed(1)+n1_reformed(2)+n1_reformed(3))/C3_first
```

```
C4_first=d1_reformed(1)-1
Ca_first=1
Cb_first=1

% -------- The second stage (high-Q) ---------

H2=tf([1 -2*real(z(3)) 1],[1 -2*real(p(1)) H2_a3],1/Fc)
% A reminder. Next, format the transfer function.
n2_reformed=[1 -2*real(z(3)) 1];
d2_reformed=[1/(H2_a3) -2*real(p(1))/(H2_a3) 1];
C1_pipi_second=n2_reformed(1)/d2_reformed(1) % C1''
C2_second=sqrt((1+d2_reformed(1)+d2_reformed(2))/d2_reformed(1))
C3_second=C2_second
C4_second=(1-1/d2_reformed(1))/C3_second
C1_second=sum(n2_reformed)/(d2_reformed(1)*C3_second)
C1_pi_second=(n2_reformed(2)-n2_reformed(3))/(d2_reformed(1)*C3_second);
if C1_pi_second <= 0
  C1_pi_second = 0
end
Ca_second=1
Cb_second=1

% --------- The third stage (low-Q) ---------

H0=tf([1 -2*real(z(1)) 1],[1 -2*real(p(5)) H0_a3],1/Fc)
% A reminder. Next, format the transfer function.
n0_reformed=[1 -2*real(z(1)) 1];
d0_reformed=[1/(H0_a3) -2*real(p(5))/(H0_a3) 1];
C1_pipi_third=1; % C1''
C1_pi_third=0; % C1'
C2_third=sqrt(d0_reformed(1)+d0_reformed(2)+1)
C3_third=C2_third
C1_third=sum(n0_reformed)/C3_third
C4_third=d0_reformed(1)-1
Ca_third=1
Cb_third=1

% ---------- Dynamic Range Scaling ----------------
```

```
% Before scaling, use SWITCAP to simulate the peak output voltage
of each op-amp.
% The SWITCAP code is in biquad_6thorder_ideal.in. Its results are
% stored in the *.dat files, which will be loaded in the following.

load biquad_6thorder_bfscl_v2_1.dat;
ff=biquad_6thorder_bfscl_v2_1(:,1);
vdb2=biquad_6thorder_bfscl_v2_1(:,2);
vdb3=biquad_6thorder_bfscl_v2_1(:,3);
vdb4=biquad_6thorder_bfscl_v2_1(:,4);
vdb5=biquad_6thorder_bfscl_v2_1(:,5);
load biquad_6thorder_bfscl_v2_2.dat;
vdb6=biquad_6thorder_bfscl_v2_2(:,2);
vdb7=biquad_6thorder_bfscl_v2_2(:,3);

figure(nfig0+5);
subplot(231);
max_vdb2=max(vdb2);
max_vp2=10^(max_vdb2/20);
plot(ff,vdb2); hold on;
s=sprintf('Vout-peak=%4.1fV\n',max_vp2);
text(1.5e6,48,s);
title('1st opamp(1st stage)');
ylabel('[dB]');
axis([1,4e6,-10,80]);
grid on;
subplot(232);
max_vdb3=max(vdb3);
max_vp3=10^(max_vdb3/20);
plot(ff,vdb3); hold on;
s=sprintf('Vout-peak=%4.1fV\n',max_vp3);
text(1.5e6,48,s);
title('2nd opamp(1st stage)');
ylabel('[dB]');
axis([1,4e6,-10,80]);
grid on;
subplot(233);
max_vdb4=max(vdb4);
```

```
max_vp4=10^(max_vdb4/20);
plot(ff,vdb4); hold on;
s=sprintf('Vout-peak=%4.1fV\n',max_vp4);
text(1.5e6,48,s);
title('1st opamp(2nd stage)');
ylabel('[dB]');
axis([1,4e6,-10,80]);
grid on;

subplot(234);
max_vdb5=max(vdb5);
max_vp5=10^(max_vdb5/20);
plot(ff,vdb5); hold on;
s=sprintf('Vout-peak=%4.1fV\n',max_vp5);
text(1.5e6,48,s);
title('2nd opamp(2nd stage)');
ylabel('[dB]');
axis([1,4e6,-10,80]);
grid on;

subplot(235);
max_vdb6=max(vdb6);
max_vp6=10^(max_vdb6/20);
plot(ff,vdb6); hold on;
s=sprintf('Vout-peak=%4.1fV\n',max_vp6);
text(1.5e6,48,s);
title('1st opamp(3rd stage)');
ylabel('[dB]');
axis([1,4e6,-10,80]);
grid on;

subplot(236);
max_vdb7=max(vdb7);
max_vp7=10^(max_vdb7/20);
plot(ff,vdb7); hold on;
s=sprintf('Vout-peak=%4.1fV\n',max_vp7);
text(1.5e6,48,s);
title('2nd opamp(3rd stage)');
```

```
ylabel('[dB]');
axis([1,4e6,-10,80]);
grid on;

% Now, all the peak output voltages are known. Next, we start the
scaling.

% ---- Scale the first stage after SWITCAP simulations --------
  Ca_first_scaled=Ca_first*max_vp2;
  C3_first_scaled=C3_first*max_vp2;
  Cb_first_scaled=Cb_first*max_vp3;
  C2_first_scaled=C2_first*max_vp3;
  C4_first_scaled=C4_first*max_vp3;
  C1_second_scaled=C1_second*max_vp3;
  C1_pipi_second_scaled=C1_pipi_second*max_vp3;
 % ---- Obtain minimum total capacitance in the first stage ---

 % Among C1_first, C2, and Ca(_first_scaled), divide all by the
 smallest.

 % Among C1_pipi_first, C3, C4 and Cb(_first_scaled), divide by the
 smallest.

 % ---- Scale the second stage after SWITCAP simulations ------

  Ca_second_scaled=Ca_second*max_vp4;
  C3_second_scaled=C3_second*max_vp4;
  Cb_second_scaled=Cb_second*max_vp5;
  C2_second_scaled=C2_second*max_vp5;
  C4_second_scaled=C4_second*max_vp5;
  C1_third_scaled=C1_third*max_vp5;
  C1_pipi_third_scaled=C1_pipi_third*max_vp5;

 % ---- Obtain minimum total capacitance in the second stage ---

 % Among C1, C2, C4 and Ca(_second_scaled), divide all by the
 smallest.
```

```
% Among C1_pipi, C3, and Cb(_second_scaled), divide by the smallest.

% ---- Scale the third stage after SWITCCAP simulations. -----

 Ca_third_scaled=Ca_third*max_vp6;
 C3_third_scaled=C3_third*max_vp6;
 Cb_third_scaled=Cb_third*max_vp7;
 C2_third_scaled=C2_third*max_vp7;
 C4_third_scaled=C4_third*max_vp7;

% ---- Obtain minimum total capacitance in the third stage ---

% Among C1, C2, and Ca(_third_scaled), divide by the smallest.

% Among C1_pipi, C3, C4, and Cb(_third_scaled), divide by the
smallest.
```

第 3 部分：调节及滤波器系数仿真的 SWITCAP 程序

```
TITLE: SIXTH-ORDER SC BIQUAD (IDEAL-OPAMPS)

TIMING;
PERIOD 3.3333E-8;
CLOCK PHI 1 (0 3/8);
END;

SUBCKT (1 5 9) biquadhighQ (K:P2 P:C1x P:C2x P:C3x P:C4x P:CAx P:CBx
P:CPIx);

S1 (1 2) P2;
S2 (2 0) #P2;
S3 (3 0) #P2;
S4 (3 4) P2;
S5 (5 6) #P2;
S6 (6 0) P2;
S7 (7 0) #P2;
S8 (7 8) P2;
S9 (9 10) P2;
S10 (10 0) #P2;
```

```
C1  (2  3)  C1x;
C2  (3  10)  C2x;
C3  (6  7)  C3x;
C4  (4  9)  C4x;
CA  (4  5)  CAx;
CB  (8  9)  CBx;
CPI  (1  8)  CPIx;
E1  (5  0  0  4)  1e5;
E2  (9  0  0  8)  1e5;
END;

SUBCKT  (1  5  9)  biquadhighQ  (K:P2  P:C1x  P:C2x  P:C3x  P:C4x  P:CAx  P:CBx
P:CPIx);

S1  (1  2)  P2;
S2  (2  0)  #P2;
S3  (3  0)  #P2;
S4  (3  4)  P2;
S5  (5  6)  #P2;
S6  (6  0)  P2;
S7  (7  0)  #P2;
S8  (7  8)  P2;
S9  (9  10)  P2;
S10  (10  0)  #P2;
S11  (11  1)  P2;
C1  (2  3)  C1x;
C2  (3  10)  C2x;
C3  (6  7)  C3x;
C4  (7  10)  C4x;
CA  (4  5)  CAx;
CB  (8  9)  CBx;
CPI  (1  8)  CPIx;
E1  (5  0  0  4)  1e5;
E2  (9  0  0  8)  1e5;
END;
```

126

```
CIRCUIT;
```

```
V1 (1 0);
/*Before dynamic scaling*/
X1 (1 2 3) biquadlowQ (PHI 2.1262 0.2848 0.2848 0.2025 1 1 1);
X2 (3 4 5) biquadhighQ (PHI 1.0732 0.3248 0.3248 0.1765 1 1 0.9427);
X3 (5 6 7) biquadlowQ (PHI 11.6834 0.1900 0.1900 0.3370 1 1 1);
/*After scaling*/
/*X1 (1 2 3) biquadlowQ (PHI 1 1.4335 3.703 2.1669 6.1143 10.7004 1);*/
/*X2 (3 4 5) biquadhighQ (PHI 1 2.6441 2.8665 1.4372 7.7519 9.2682
1);*/
/*X3 (5 6 7) biquadlowQ (PHI 3.7497 1 8.2342 5.5259 13.9069 16.3965
1);*/
END;

ANALYZE SSS;
INFREQ 1 4e6 LOG 300;
SET V1 AC 1.0 0.0;
SAMPLE OUTPUT IMPULSE 1 3/8-;
PRINT VDB(2) VDB(3) VDB(4) VDB(5);
PRINT VDB(6) VDB(7);
END;
END;
```

第 4 部分：有限运放增益/带宽响应的仿真

```
TITLE: 6th-order LPF BIQUAD (NON IDEAL-OPAMP MODELS)

TIMING;
PERIOD 3.333E-8;
CLOCK PHI 1 (0 3/8);
CLOCK rq 1/100 (0 1/200)
END;

SUBCKT (1 2 3 4) opamp (P:a0);
  E1 (5 0 3 4) 1;
  E2 (1 2 8 0) a0;
  S1a (5 6) rq;
  S1b (8 6) #rq;
  S2a (8 7) rq;
  S2b (5 7) #rq;
```

```
 Ceq (6 7) 1.04167e-4;
 Cp (8 0) 8; /* Bandwidth controlling parameter*/
END;

SUBCKT (11 5 9) biquadlowQ (K:P2 P:C1x P:C2x P:C3x P:C4x P:CAx P:CBx
P:CPIx);

S1 (1 2) P2;
S2 (2 0) #P2;
S3 (3 0) #P2;
S4 (3 4) P2;
S5 (5 6) #P2;
S6 (6 0) P2;
S7 (7 0) #P2;
S8 (7 8) P2;
S9 (9 10) P2;
S10 (10 0) #P2;
C1 (2 3) C1x;
C2 (3 10) C2x;
C3 (6 7) C3x;
C4 (4 9) C4x;
CA (4 5) CAx;
CB (8 9) CBx;
CPI (1 8) CPIx;
xE1 (5 0 0 4) opamp(2000);
xE2 (9 0 0 8) opamp(2000);
END;

SUBCKT (1 5 11) biquadlowQ (K:P2 P:C1x P:C2x P:C3x P:C4x P:CAx P:CBx
P:CPIx);

S1 (1 2) P2;
S2 (2 0) #P2;
S3 (3 0) #P2;
S4 (3 4) P2;
S5 (5 6) #P2;
S6 (6 0) P2;
S7 (7 0) #P2;
```

```
S8 (7 8) P2;
S9 (9 10) P2;
S10 (10 0) #P2;
S11 (11 9) P2;
C1 (2 3) C1x;
C2 (3 10) C2x;
C3 (6 7) C3x;
C4 (7 10) C4x;
CA (4 5) CAx;
CB (8 9) CBx;
CPI (1 8) CPIx;
xE1 (5 0 0 4) opamp(2000);
xE2 (9 0 0 8) opamp(2000);
END;

CIRCUIT;

V1 (1 0);
/*without capacitance mismatches*/
X1 (1 2 3) biquadlowQ (PHI 0.5 0.71676 1.8515 1.0835 3.0571 5.3502
0.5);
X2 (3 4 5) biquadhighQ (PHI 0.5 1.322 1.4333 0.71859 3.8760 4.6341
0.5);
X3 (5 6 7) biquadlowQ (PHI 1.8749 0.5 4.1171 2.763 6.9535 8.1982 0.5);
/*with capacitance mismatches*/
/*X1 (1 2 3) biquadlowQ (PHI 0.5005807749102 0.7172081863109
1.8529235412651 1.0843828663141 3.0581122223560 5.3425772737829
0.4994215386226);*/
/*X2 (3 4 5) biquadhighQ (PHI 0.5000763755722 1.3217932424972
1.4304761979499 0.7172719968889 3.8714454914394 4.6310768558187
0.4997941648477);*/
/*X3 (5 6 7) biquadlowQ (PHI 1.8771135272584 0.5000207699676
4.1131684719799 2.7618695693500 6.9537708910291 8.1853492455430
0.5004532413102);*/
Cout (7 0) 8;
END;

ANALYZE SSS;
INFREQ 1 10e6 lin 3000;
```

```
SET V1 AC 1.0 0.0;
SAMPLE OUTPUT IMPULSE 1 3/8-;
PRINT VDB(3) VDB(5) VDB(7);

/*ANALYZE TRAN;
/*TIME 0+ 400 1/30;
/*SET V1 COSINE 0 1 1.5e6 0 0 0;
/*PRINT v(out) v(7) v(5) v(1);
/*PLOT v(out) v(Inp) v(opout)*/
END;
END;
```

第 5 部分：运放宏模型仿真的 HSPICE 程序

```
.options post
.OPTIONS RELTOL=1e-9 ABSTOL=1e-15 VNTOL=1e-6 * VATOL=1e-8
*.include models
.PARAM wl=10u L1=1u
* Subcircuit for a 741 op-amp
.subckt opamp 5 0 1 2
  * +in (=1) -in (=2) out+ (=3) out- (=4)
  rin 1 2 2meg
  Gmvgs 0 4 1 2 5m
  rgbw 4 0 800k
  cbw 4 0 5.305p
  eout 5 0 4 0 1
.ends opamp
*SWITCHES 1st section
mL2 L1 phi2 L2 g cmosn w=wl L=L1
mL3 L2 phi1 g g cmosn w=wl L=L1
mL4 L3 phi1 g g cmosn w=wl L=L1
mL5 L3 phi2 L4 g cmosn w=wl L=L1
mL6 L5 phi1 L6 g cmosn w=wl L=L1
mL7 L6 phi2 g g cmosn w=wl L=L1
mL8 L7 phi1 g g cmosn w=wl L=L1
mL9 L7 phi2 L8 g cmosn w=wl L=L1
mL10 L9 phi2 L10 g cmosn w=wl L=L1
mL11 L10 phi1 g g cmosn w=wl L=L1
mL12 out1 phi2 L9 g cmosn w=wl L=L1
*CAPS 1st stage
```

```
CL1 L2 L3 0.5p
cLa L4 L5 3.0571p
cL2 L3 L10 0.71676p
cL3 L6 L7 1.8515p
cL4 L10 L7 1.0835p
cLb L8 L9 5.3502p
cL1pp L1 L8 0.5p
*opamps 1st biquad
x11 L5 g g L4 opamp ;
x12 L9 g g L8 opamp ;
*SWITCHES 2nd section
mB1 b1 phi2 b2 g cmosn w=wl L=L1
mB2 b2 phi1 g g cmosn w=wl L=L1
mB3 b3 phi1 g g cmosn w=wl L=L1
mB4 b3 phi2 b4 g cmosn w=wl L=L1
mB5 b5 phi1 b6 g cmosn w=wl L=L1
mB6 b6 phi2 g g cmosn w=wl L=L1
mB7 b7 phi1 g g cmosn w=wl L=L1
mB8 b7 phi2 b8 g cmosn w=wl L=L1
mB9 b9 phi2 b10 g cmosn w=wl L=L1
mB10 b10 phi1 g g cmosn w=wl L=L1
mb11 b9 phi2 out2 g cmosn w=wl L=L1
*CAPS 2nd stage
CB1 b2 b3 0.5p
cBa b4 b5 3.8760p
cB2 b3 b10 1.322p
cB3 b6 b7 1.4333p
cB4 b4 b9 0.71859p
cBb b8 b9 4.6341p
cB1pp b1 b8 0.5p
x21 b5 g g b4 opamp
x22 b9 g g b8 opamp
*SWITCHES 3rd section
*m1 a phi2 1 0 cmosn w=wl L=L1
m2 1 phi2 2 g cmosn w=wl L=L1
m3 2 phi1 g g cmosn w=wl L=L1
m4 3 phi1 g g cmosn w=wl L=L1
m5 3 phi2 4 g cmosn w=wl L=L1
m6 5 phi1 6 g cmosn w=wl L=L1
```

```
m7 6 phi2 g g cmosn w=wl L=L1
m8 7 phi1 g g cmosn w=wl L=L1
m9 7 phi2 8 g cmosn w=wl L=L1
m10 9 phi2 10 g cmosn w=wl L=L1
m11 10 phi1 g g cmosn w=wl L=L1
m12 9 phi2 out g cmosn w=lu L=L1
*CAPS 3rd section
c1 2 3 1.8749p
ca 4 5 6.9535p
c2 3 10 0.5p
c3 6 7 4.1171p
c4 10 7 2.763p
cb 8 9 8.1982p
c1pp 1 8 0.5p
cLoad out 0 1p
*OPAMP
x31 5 g g 4 opamp
x32 9 g g 8 opamp
*connecting buffer
econ1 b1 0 out1 0 1
econ2 1 0 out2 0 1

vin L1 0 sin(1 1 1.5Meg 0 0 0);
Msample in phi2 L1 L1 cmosn w=wl L=L1
vin L1 0 0
vphi1 phi1 0 pulse(0 5 0 0.01u 0.01u 0.030u 0.1u)
vphi2 phi2 0 pulse(0 5 0.05u 0.01u 0.01u 0.030u 0.1u)
Vg g 0 1

.tran 0.1u 30u 20u
.print v(out) v(L1) v(9)

*
include HP .5um Model files
*

.end
```

参考文献

[1] D. Fried, "Analog sample-data filters," *IEEE Journal of Solid-State Circuits*, Vol. SC-7, No. 4, pp. 302–304, August 1972.

[2] R. W. Brodersen, P. R. Gray, and D. A. Hodges, "MOS Switched-capacitor filters," *Proceedings of IEEE*, Vol. 67, pp. 61–75, January 1979.

[3] P. E. Fleischer and K. R. Laker, "A family of active switched capacitor biquad building blocks," *The Bell Systems Technical Journal*, No. 58, pp. 2235–2269, 1979.

[4] K. Martin, "Improved circuits for the realization of switched-capacitor filters," *IEEE Trans. on Circuits and Systems*, Vol. CAS-27, No. 4, pp. 237–244, April 1980.

[5] K. Martin and A. S. Sedra, "Exact design of switched-capacitor bandpass filters using coupled-biquad structures," *IEEE Trans. on Circuits and Systems*, Vol. CAS-27, No. 6, pp. 469–478, June 1980.

[6] K. R. Laker and W. Sansen, *Design of analog integrated circuits and systems*, McGraw-Hill, New York, 1994.

[7] I. C. Jou, C. Y. Wu, and R. L. Liu, "The characteristic comparison of fully differential switched capacitor biquads," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. III, pp. 1712–1715, Portland, OR, May 1989.

[8] T. Choi et al., "High-frequency CMOS switched-capacitor filters for communications application," *IEEE Journal of Solid-State Circuits*, Vol. SC-18, No. 6, pp. 652–664, December 1983.

[9] Q. Huang, "A novel technique for the reduction of capacitance spread in high Q SC circuits," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. II, pp. 1249–1252, Helsinki, Finland, June 1988.

[10] K. Nagaraj et al., "Switched-capacitor circuits with reduced sensitivity to amplifier gain," *IEEE Trans. on Circuits and Systems*, Vol. CAS-34, No. 5, pp. 571–574, May 1987.

[11] G. M. Jacobs, D. J. Allstot, R. W. Brodersen, and P. R. Gray, "Design techniques for MOS switched-capacitor ladder filters," *IEEE Trans. on Circuits and Systems*, Vol. CAS-25, No. 12, pp. 1014–1021, December 1978.

[12] A. Fettweis et al. "MOS switched capacitor filters using voltage inverter switches," *IEEE Trans. on Circuits and Systems*, Vol. CAS-27, No. 6, pp. 527–538, June 1980.

[13] F. Montecchi, "On design of switched-capacitor filters with the voltage-inverter-switch approach," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. II, pp. 1479–1482, Helsinki, Finland, June 1988.

[14] R. Gregorian and G. C. Temes, *Analog MOS integrated circuits for signal processing*, John Wiley & Sons, New York, 1986.

[15] G. C. Temes, "Switched-capacitor filters," *Class notes: Analog CMOS integrated circuit design*, Oregon State University, Corvallis, OR, 2002.

[16] W.-H. Ki and G. C. Temes, "Optimal capacitance assignment of switched-capacitor biquads," *IEEE Trans. on Circuits and Systems*, Vol. 42, No. 6, pp. 334–342, June 1995.

[17] G. C. Temes, "Finite amplifier gain and bandwidth effect in switched-capacitor filters," *IEEE Journal of Solid-State Circuits*, Vol. SC-15, No. 3, pp. 358–361, June 1980.

[18] K. Martin and A. S. Sedra, "Effects of the op-amp finite gain and bandwidth on the performance of switched-capacitor filters," *IEEE Trans. Circuits and Systems*, Vol. CAS-28, No. 8, pp. 822–829, August 1981.

[19] D. A. Johns and K. Martin, *Analog integrated circuits design*, John Wiley & Sons, New York, 1997.

[20] S. C. Fan et al., "Switched-capacitor filters using unit-gain buffers," *Proceedings of IEEE International Symposium on Circuits and Systems*, Houston, TX. pp. 334–337, May 1980.

[21] G. Fischer and G. Moschytz, "On the frequency limitations of SC filters," *IEEE Journal of Solid-State Circuits*, Vol. SC-19, No. 4, pp. 510–518, August 1984.

[22] L. E. Larson et al., "GaAs switched-capacitor circuits for high-speed signal processing," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 6, pp. 971–981, December 1987.

[23] F. Op't Eynde and W. C. Sansen, "Design and optimisation of CMOS wideband amplifiers," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 25.7.1–25.7.4, San Diego, CA, May 1989.

[24] F. Op't Eynde and W. C. Sansen, "A CMOS wideband amplifier with 800 MHz gain-bandwidth," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 9.1.1–9.1.4, San Diego, CA, May 1991.

[25] A. Baschirotto, F. Severi, and R. Castello, "A 200-Ms/s 10-mW switched-capacitor filter in 0.5-μm CMOS technology," *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 8, pp. 1215–1219, August 2000.

134

[26] A. D. Plaza, "High-frequency switched-capacitor filter using unity-gain buffers," *IEEE Journal of Solid-State Circuits*, Vol. SC-21, pp. 470–477, June 1986.

[27] P. Wu, *Unit-gain buffer switched-capacitor filters—design techniques and circuit analysis*, Ph.D. dissertation, University of California, Los Angeles, CA, 1986.

[28] C. Y. Wu, P. H. Lu, and M. K. Tsai, "Design techniques for high-frequency CMOS switched-capacitor filters using non-op-amp-based unity-gain amplifiers," *IEEE Journal of Solid-State Circuits*, Vol. 26, pp. 1460–1466, October 1991.

135

第 5 章 开关电容数据转换器

5.1 引言

数据转换器在现代电子系统中的地位举足轻重，它们是模拟世界和强大的数字信号处理器(DSP)之间的桥梁。在 20 世纪 70 年代，成本低廉的互补金属氧化物半导体(CMOS)制造工艺在初具规模的数字化应用中展示了其强大的数字信号处理能力。从那时起，广大集成电路设计者们不断地推陈出新，发明了不计其数的 CMOS 数据转换器，从而有力地推动了 DVD、CD 播放机/刻录机、数码相机、非对称数字用户线路(ADSL)以及缆线调制解调器(Cable Modem)等数字设备成功地走进千家万户。

从 20 世纪 90 年代中期开始，随着无线通信标准和技术的快速进步，人们对集高数据率、高线性精度、高动态幅摆范围及低功耗等特征于一身的低成本 CMOS 数据转换器的需求日益增加[1,2]。以无线通信应用为例，在目前的无线路由和转换系统设备中包含了大量基于无线局域网(WLAN)标准(例如 IEEE 802.11/a/b/g 标准)的高性能 CMOS 数据转换器。

最近在工业界有关数据转换器研究的热门话题之一，是如何基于 CMOS 工艺来最好地实现通过无线发送/接收宽频多媒体信号(如数字音频、数字视频、数字图片等)的数据转换器芯片。其中最引人注目的一项技术被称为超宽带(UWB)近距(10m 以内)数字传输技术，它的系统运行载频范围是 3.1GHz～10.6GHz，而它的最小信号带宽能够达到 500MHz[3]。但是，如此之高的载频和数据传输频率将迫使工程师不得不用非常高的采样时钟频率来运行 UWB 系统中的模数(A/D)和数模(D/A)接口，以在现有的 CMOS 工艺的匹配水平下，获得信号转换精度。此外，UWB 最大的功能上的优势之一(而同时也是其所面临的最主要的技术挑战)就在于它是低发射功率的无线信号传输技术。低发射功率的优点之一是大大增强了在多系统间实现无缝切换和建立信号保密协议的可能性。然而，与此同时，低发射功率也给 A/D 转换器的动态摆幅范围带来了苛刻的限制。特别是，设计一个能将低功率的主信号从系统背景噪声和镜像信号等当中辨识/提取出来的高速(时钟在 GHz 水平)ADC 就很让人头痛了。

在我们继续下面的讨论之前，需要将数据转换器做个简单的分类(一般可以按照时钟频率划分为两个级别)：奈奎斯特频率级和过采样级数据转换器。虽然被称为奈奎斯特频率级数据转换器，但实际上这种数据转换器电路的时钟频率几乎永远不会被设成与输入信号的奈奎斯特频率($f_s=2f_{in}$)相等的值，如果我们真的这么做，那么系统中的抗混叠滤波器就太难设计了。通常奈奎斯特频率级转换器的时钟频率可选在奈奎斯特频率的 1.5 倍到 10 倍之间。

在 5.5 节我们将详细分析另一个级别的数据转换器：过采样级数据转换器，它一般采用远高于奈奎斯特频率的时钟频率(通常高达 16～512 倍奈奎斯特频率)，用这么高的时钟频率主要是为了在维持输入信号功率的前提下，将位于 $2f_{in}$ 信号带宽以内的类白噪声(white-niose-like)型量化噪声功率摊派到更宽的 $2f_{in}\cdot$ OSR 范围内(亦称频率裕量稀释)，这里 OSR 是过采样比率(Oversampling ratio)的简称。一般来说，同一个转换器电路，如果其时钟频率从 $2f_{in}$ 增加到 $2f_{in}\cdot$ OSR，那么位于其信号带宽内($f<2f_{in}$)的量化噪声功率会降低到其原始值的 OSR 分之一，也就是说电路的信号量化噪声比(*SQNR*)会增加 10lg(OSR)分贝。

通过采用 ΔΣ 调制器作为量化噪声整形器(quantization noise shaper)而获得的 *SQNR* 方面的改善更为显著。在对量化噪声整形的作用下，数据转换器电路噪声功率的相当一部分可被有效地从频谱上的低频段排挤到高频段，而与此同时几乎不会对位于低频段内的输入主信号造成任何影响。目前高性能过采样级数据转换器方面的研究趋势主要聚焦在复杂的级联型 ΔΣ 调制器的最优设计方法上(例如，这种电路通常还需要具有多位量化及全数字精度校正的功能)，以使其能够工作在 OSR 较低(例如 16、12、8，甚至低至 4)的条件下，而且具有较高的分辨精度(14～16 位)[4~7]。可以预见的是，遵循此目标设计出来的过采样级数据转换器将特别适合视频处理以及无线通信应用。

138

本章介绍多种 CMOS A/D 和 D/A 转换器的基本性质、设计原则、拓扑结构及其电路实现。本章还会着重讲述开关电容(SC)技术在实际集成 CMOS 数据转换器设计中的应用。

本章提要

5.2 节介绍集成 ADC 和 DAC 的许多极其有用的重要性能参数。5.3 节概述了奈奎斯特频率级 DAC 的结构和电路，对 SC 数据转换器中电容失配的影响进行了评估，并对失配误差的消除技术进行了介绍。5.4 节详细介绍奈奎斯特频率级 ADC 的结构和电路实现。对各种 ADC，包括快闪型、两步型、流水线型、循环型以及渐次逼近型 ADC 等进行了研究。讨论了电容失配、输入偏差以及有限运放增益等关键设计议题。5.5 节介绍过采样级数据转换器的原理，重点讨论开关电容 ΔΣ 调制器。

5.2 数据转换器的性能参数

DAC 指标

D/A 转换器(DAC)的基本功能是将一个数字"字"M_{in}转换成模拟(或连续)输出信号 N_{out}(严格来讲,这里的输出不是真正连续的,而是由有限数目个不同的值构成的),相应的输入输出的关系为

$$N_{out}=K_{ref}\cdot\frac{M_{in}}{2^M} \tag{5.1}$$

其中 K_{ref}是一个模拟参考量,具体可以是电压、电流或电荷量。数字输入 M_{in}既可以用二进制(也称二进制权(binary-weighted))码表示,也可以用温度计编码表示,具体取决于应用的要求。不过请注意,这两种编码格式是可以转换的。M_{in}的幅值可以表示为:

$$M_{in}=\sum_{i=1}^{M}A_i2^{M-i}=2^M\cdot\sum_{j=1}^{2^M-1}B_j \tag{5.2}$$

139

这里 A_i是二进制码的位,而 B_j是温度计编码的位。通常,为了表示 2^M个不同的数字输入值,二进制码仅需要 M 位,而温度计编码需要(2^M-1)位。表 5.1 对一个 3 位二进制码和等效的 7 位温度计编码进行了比较。

表 5.1 3 位二进制码和 7 位温度计编码比较表

二进制码			温度计编码						
A_1	A_2	A_3	B_1	B_2	B_3	B_4	B_5	B_6	B_7
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	1
0	1	1	0	0	0	0	1	1	1
1	0	0	0	0	0	1	1	1	1
1	0	1	0	0	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1

在表内所示的二进制码中,A_1是最高位(most significant bit,MSB),A_3是最低位(least significant bit,LSB)。在温度计编码的位中,B_1和 B_7分别是最高位和最低位。最低位就是在 M_{in}中使 N_{out}的数值发生最小变化的位,而最高位则是引起 N_{out}发生最大变化的位。

注意在二位权的设置中,当输入数字从(A_1 A_2 A_3)= (011)变化到(100)时,可能会导致输出 N_{out}临时降低到零(如果 A_2和 A_3变到 0 比 A_1变到 1 稍晚),也有可能导致 N_{out}临时跳变到其最大值(如果 A_2和 A_3变到 0 比 A_1变到 1 稍迟),因而将破坏转换器的

单调性(即输出随着输入的增加而一直保持增加的特性),产生非线性偏差。这种现象称为开关操作干扰脉冲(switching glitch)或主进位效应(major-carry effect)。相反,在温度计编码的设置中则不存在开关干扰脉冲的问题,因为其每次只改变一个位。所以,温度计编码转换器可以保证单调性,其非线性度可以最小化(当电容等元件完美匹配时)。

如果 K_{ref} 选用的是电压量(即 $K_{ref} \equiv V_{ref}$),那么 N_{out} 跟 K_{ref} 具有相同的量值(即 $N_{out} \equiv V_{out}$),这是因为式(5.1)中的数字 M_{in} 是无量纲的。根据式(5.1)和式(5.2),可以写出:

140

$$V_{out} = V_{ref} \cdot \frac{M_{in}}{2^M} = \frac{V_{ref}}{2^M} \cdot \sum_{i=1}^{M} A_i 2^{-i} = \frac{V_{ref}}{2^M} \cdot \sum_{j=1}^{2^M-1} B_j \tag{5.3}$$

按照惯例,V_{out} 中的理想最小变化量(即当 $M_{in}/2^M$ 发生一个 LSB 的变化时,V_{out} 对应的变化量)被定义为

$$V_{LSB} = V_{ref}/2^M \tag{5.4}$$

此外,若假定输入数字为二进制码,则当所有 $A_i \equiv 1$ 时($i = 1,2,\cdots,M$),V_{out} 达到其最大值或满刻度值(full-scale output voltage)V_{fs},可表示为

$$V_{fs} = V_{ref} \sum_{i=1}^{M} 2^{-i} = V_{ref}(1-2^{-M}) = V_{ref} - V_{LSB} \tag{5.5}$$

分辨率(resolution)这一术语常用来指数字输入的位数(DAC 的情况)或数字输出的位数(ADC 的情况)。例如,前面讨论的 DAC 的分辨率是 M 位。精度(accuracy)这一术语则用来指实际转换曲线(即连接每个输出值的曲线)相对理想曲线的精确程度。根据式(5.4)可知,一旦 V_{ref}/V_{LSB} 比值已知,就可以确定出 DAC 的分辨率。然而精度的正确表达却要稍微复杂一些,因为必须考虑偏移误差、增益偏差以及非线性偏差等[8~11]。实际上,电路的精度常常用有效位数(effective number of bits, ENOB)来表示。

偏移误差(offset error)这一术语用于表示当数字输入等于 0…0 时的非零输出电压,即当 $M_{in} = 0\cdots0$ 时,输出电压偏离理想值 0 的数量。它的大小可以用 LSB 的个数来表示,即:

$$\varepsilon_{offset} = \left.\frac{V_{out}}{V_{LSB}}\right|_{0\cdots0} \tag{5.6}$$

增益偏差(gain error)这个术语是指实际转换曲线斜率与理想转换曲线斜率之间的差值,单位是 LSB,计算如下:

$$\varepsilon_{gain} = \underbrace{\left(\left.\frac{V_{out}}{V_{LSB}}\right|_{1\cdots1} - \left.\frac{V_{out}}{V_{LSB}}\right|_{0\cdots0}\right)}_{\text{实际斜率}} - \underbrace{(2^M-1)}_{\text{理想斜率}} \tag{5.7}$$

注意在理想情况下,当 $M_{in} = 1\cdots1$ 时,有 $V_{out} = V_{fs}$。因此,DAC 转换曲线的理想斜率等于(V_{fs}/V_{ref})除以 2^{-M},由式(5.5)可得其结果为(2^M-1)。

非线性偏差(nonlinearity error)这一术语定义为在除掉偏移误差和增益偏差之后,

141

剩余的转换曲线偏离理想转换曲线的程度。数据转换器的非线性度通常被表示成两

项的组合，即积分非线性偏差(INL)和差分非线性偏差(DNL)。

INL 常被定义为 DAC 的转换曲线与连接该曲线两端点的直线之间的最大偏离[8,9]。然而在文献中则广泛使用另一种被称作最佳拟合试验(best-fit test)的度量方法。在这种试验中，每个输出点与其最佳拟合值(最佳拟合直线上的一点)的偏差被当作该点的 INL 偏差，单位是 LSB[11]，因此，基于记录下来的这些点的偏差可以绘出一条 INL 曲线。本书采用后面这种 INL 定义。

DNL 通常定义为相邻的两个输出点之间的垂直距离与对应的理想值(即一个 LSB)之间的偏差，单位也是 LSB。类似于前面对 INL 的处理，也常使用 DNL 曲线来表示转换器线性度的好坏。此外，有一个很实用、很有趣的特点值得一提，就是 N 级和 $(N+1)$ 级之间的 DNL 偏差，可以通过简单地从 $(N+1)$ 级的 INL 偏差中减去 N 级的 INL 偏差来得到。

例 5.1 一个 3 位单极的(unipolar)(即无符号的)DAC，其 $V_{ref}=4V$。请问在理想情况下其输出电压最大值 V_{fs} 是多少？如果测得的输出电压(单位为伏特)是{−0.005，0.497，0.999，1.498，2.004，2.503，3.002，3.504}，试求偏移误差、增益偏差、最大 INL 偏差以及最大 DNL 偏差(单位全部为 LSB)。并计算 DAC 的 *ENOB*(有效位数)。

解：根据式(5.4)和式(5.5)，马上可以得到：

$$V_{fs}=V_{ref}-V_{LSB}=4-(4/8)=3.5V \tag{5.8}$$

利用式(5.6)，可以得到偏移误差为：

$$\varepsilon_{offset}=\frac{-0.005}{V_{LSB}}=-0.01LSB \tag{5.9}$$

利用式(5.7)，可以得到增益偏差为：

$$\varepsilon_{gain}=\frac{3.504+0.005}{V_{LSB}}-(2^3-1)=0.018LSB \tag{5.10}$$

为了确定最大 INL 和 DNL 偏差，必须先确定各点的 INL 和 DNL 偏差。在计算 INL 和 DNL 偏差之前，必须先从测量值中移除偏移误差和增益偏差。假定在输出测量值序列中第 i 项是 V_{out_i}，则其调整后的值(无偏移误差和增益偏差时的值，单位为 LSB)为[9,11]：

$$V_{nout_i}=\left(\frac{V_{out_i}}{V_{LSB}}-\varepsilon_{offset}\right)-\left(\frac{i-1}{2^3-1}\right)\cdot\varepsilon_{gain} \tag{5.11}$$

经过一些计算之后，得到调节后的全部 8 个输出值(单位为 LSB)为：

{0.000，1.001，2.003，2.998，4.008，5.003，5.999，7.000}

接下来计算理想值{0，1，2，…，7}和上述值之差，就是 INL 偏差，结果为：

{0，+0.001，+0.003，−0.002，+0.008，+0.003，−0.001，0}

因此，最大 INL 偏差等于 0.008LSB(<0.5LSB)。计算相邻 INL 偏差之间的差，可以得到 DNL 偏差，结果为：

{+0.001，+0.002，−0.005，+0.010，−0.005，−0.004，+0.001}

因此最大 DNL 偏差等于 0.01LSB(<0.5LSB)。

将实测电压与理想值之间的最大偏差(本例中是 0.005)同满刻度输出电压 V_{fs} 进行比较，可以得到 DAC 的有效位数(*ENOB*)。换句话来讲，有效位数是这样来定义的，即它是能保证满刻

142

度值除以 2^{ENOB} 后比最大偏差要大的最大 $ENOB$ 值。因此，$ENOB$ 为

$$ENOB=\log_2\left(\frac{V_{fs}}{\varepsilon_{max}}\right)=\log_2\left(\frac{3.5}{0.005}\right)\approx 9.45\text{位} \tag{5.12}$$

有趣的是，此处的 $ENOB$ 比给定的 DAC 分辨率要大(即3位)。这意味着电路设计得很好，其精度同一个具有较高分辨率(即大约9.45位)的 DAC 相当。

上面确定的 DAC 有效位数($ENOB$)也称绝对精度(absolute accuracy)，因为其中考虑了所有的偏差(包括偏移误差、增益偏差及非线性偏差等)。相反，相对精度则仅仅考虑非线性偏差(即不考虑偏移和增益偏差)。在上面的计算中，用最大 INL 偏差的幅值(即 $0.008\times0.5=0.004$V)替代 ε_{max}(即0.005V)，即可得到相对精度。因此，相对精度对应的 $ENOB$ 值比绝对精度的要大。

143

注意在前面的例子中，ε_{max} 碰巧跟偏移误差(即最小可能的输出信号)具有相同的幅值。这样一来，式(5.12)在某种意义上就对动态幅摆范围(dynamic range，DR)的定义作出了解释，它就是最大可能与最小可能的输入(或输出)信号之比(在 DAC 的情况下，比值是针对输出信号的)。通常，DR 以分贝表示：

$$DR=20\lg\left(\frac{V_{fs}}{V_{min}}\right)\text{dB} \tag{5.13}$$

其中 V_{min} 代表最小可能的输出信号。因此例5.1中的 DAC 的动态幅摆范围是56.9dB。下面的比值也很有意义：

$$\frac{DR}{ENOB}\cong\frac{56.9}{9.45}\approx 6.02\text{dB/位} \tag{5.14}$$

如前面所见，温度计编码 DAC 可以保证单调性(monotonicity)，这是因为其最大 DNL 偏差很少超过1 LSB。单调性通常被认为是一种定性特征而不是一个定量参数，因此这里不对单调性进行具体的定量分析，以节省篇幅。

描述 DAC 性能的重要参数还有很多，也很有用。例如，信噪比(signal-to-noise ratio，SNR)表示最大可能的信号功率与噪声功率的有效值之比。对于 DAC 来讲，SNR 和动态幅摆范围通常是可以互换的。此外，数据转换器还会受到采样时间不确定性(或孔径抖动)的不利影响，这类似第3章对采样保持电路进行测试时遇到的情况。在下面介绍 ADC 指标时，我们将更加详细地讨论 SNR 和孔径抖动这两个指标。

ADC 指标

ADC 转换器是与 DAC 转换器在基本功能上互补的器件。M 位的 A/D 转换器(ADC)用于将模拟输入 C_{in}(例如一个正弦波)转换成 M 位的数字输出 D_{out}(严格来讲，输出是一个阶梯状的波形，而不是一系列数据位)。M 位的理想 ADC 的输入输出关系为：

144

$$K_{ref}\cdot\frac{D_{out}}{2^M}=C_{in}\pm\varepsilon_q,\quad -\frac{K_{ref}}{2^{M+1}}\leqslant\varepsilon_q\leqslant\frac{K_{ref}}{2^{M+1}} \tag{5.15}$$

其中，K_{ref} 是一个模拟参考量，具体可以是电压、电流或电荷量。数字输出 D_{out} 可以表示

为二进制码，也可以是温度计编码。在上式中，最重要的一个项是 E_q，它被称为量化噪声(quantization noise)，定义为实际模拟输入 C_{in} 与阶梯状输出值($K_{ref} \cdot D_{out}/2^M$)之差。假定 C_{in} 和 K_{ref} 都是电压(即 V_{in} 和 V_{ref})，重新组织式(5.15)可得：

$$D_{out} = 2^M \cdot \frac{V_{in}}{V_{ref}} + E_q \tag{5.16}$$

这表明，在理论上量化噪声 E_q(单位为 LSB)可以用 ADC 中的一个附加的噪声源来模拟。在理想情况下，E_q 的幅值应该被限制在 $-0.5\sim+0.5$LSB 的范围之内，否则，可能会丢失一个代码转换点(即出现一个丢码)。

图 5.1 所示的电路采用了一对互补的 ADC 和 DAC，二者具有相同的分辨率，采用相同的参考电压 V_{ref}。根据式(5.16)，可以发现这对 ADC 和 DAC 是用来提取量化噪声 V_q 的。

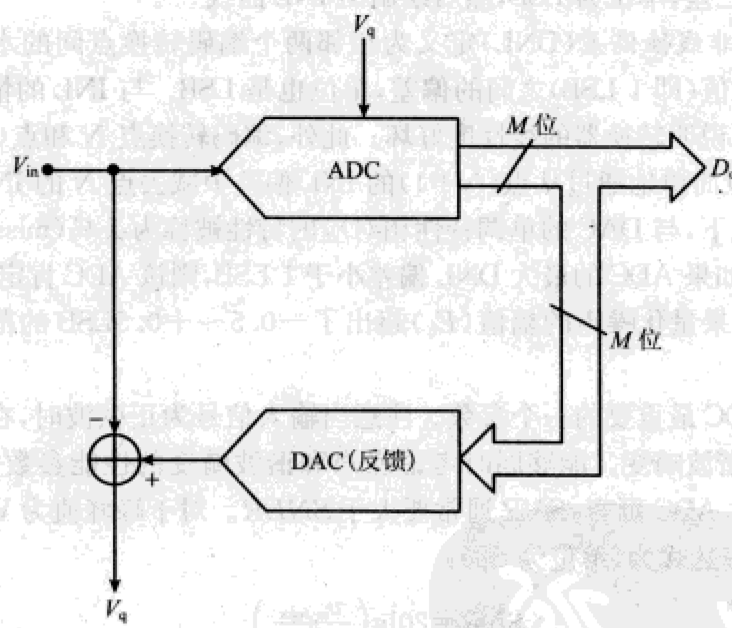


图 5.1 通过一对互补的 ADC 和 DAC 提取量化噪声

此外，请注意量化噪声引起的偏差通常只出现在 ADC 中，因为量化噪声本质上源自多个模拟输入电平被转换成了同一个数字码这种不确定性[9,11]。这是很好理解的，因为对 ADC 而言，其模拟输入信号具有无穷多种电平，而输出信号却只有少数的几个离散值。相反，对于 DAC 而言，其输入和输出都只有有限个级别，它们是一一对应的关系。例如，如果 DAC 的输入有 2^M 个离散值，那么对应可以产生 2^M 个离散的输出值。这就是说，在理想情况下 DAC 的输出是由输入惟一确定的，因此不会发生信号的不确定性。

分辨率在 ADC 中定义为其数字输出的位数。ADC 的精度也可以表示为有效位数，它和动态幅摆范围指标具有紧密的联系。

大多数 ADC 参数与相应的 DAC 参数具有互补的关系。ADC 的偏移误差定义为

第一个数字码转换点(即当 D_{out} 从 0…0 跳到 0…1 时)与其理想位置(0.5LSB)之间的偏差，单位为 LSB，计算公式如下：

$$\varepsilon_{offest}=\frac{V_{in}}{V_{LSB}}\bigg|_{0\cdots1}-\frac{1}{2} \tag{5.17}$$

类似地，ADC 增益偏差由下式给定(单位也是 LSB)：

$$\varepsilon_{gain}=\underbrace{\left(\frac{V_{in}}{V_{LSB}}\bigg|_{1\cdots1}-\frac{V_{in}}{V_{LSB}}\bigg|_{0\cdots1}\right)}_{\text{实际斜率}}-\underbrace{(2^M-2)}_{\text{理想斜率}} \tag{5.18}$$

ADC 的积分非线性偏差(INL)可以定义为在去除了偏移误差和增益偏差之后，在 ADC 转换曲线上的编码转换点与连接该曲线原点及最终转换点(即当 D_{out} 变成 1…1 时的转换点)的直线之间的最大偏差值[8,9]。另一种定义方法是，记录每个实际编码转换点与其最佳拟合位置之差，单位为 LSB，然后绘制出 INL 曲线[11]。

ADC 的差分非线性偏差(DNL)定义为相邻两个编码转换点间的水平步进(或码宽)与对应的理想值(即 1 LSB)之间的偏差，单位也是 LSB。与 INL 的情况类似，也常使用 DNL 曲线来说明转换器的线性度好坏。此外，编码转换点 N 和点($N+1$)之间的 DNL 偏差，也可以简单地通过从点($N+1$)的 INL 偏差中减去点 N 的 INL 偏差得到。

146

在 ADC 情况下，与 DAC 的单调特性相对应的特性被称为丢码(missing code)。类似 DAC 的情况，如果 ADC 的最大 DNL 偏差小于 1 LSB，则该 ADC 肯定不会丢失任何数字码。然而，如果量化噪声的幅值(E_q)超出了 −0.5～+0.5LSB 的范围，则将发生丢码。

信噪比是 ADC 最重要的一个参数。注意当输入信号为正弦波时，在 ADC 的输出信号中可能出现谐波畸变。能够同时考虑噪声和谐波畸变的性能参数是信号噪声畸变比(SNDR)。对 ADC 而言，SNR 通常要大于 $SNDR$。对于峰峰值为 V_{ref} 的最大正弦波输入，SNR 的表达式为(单位为 dB)：

$$SNR=20\lg\left(\frac{v_{in_max}}{v_n}\right) \tag{5.19}$$

这里 V_{in_max} 是最大输入信号的有效值，它通常等于 V_{ref} 的有效值，V_n 是噪声功率的有效值。如果假定输入信号频率很高，那么可以近似认为量化噪声功率在 $-0.5V_{LSB}$～$+0.5V_{LSB}$ 之间是均匀分布的。经过一定的数学运算之后，可以得到：

$$SNR=20\lg\left(\frac{v_{in_max}}{v_n}\right)=20\lg\left(\frac{2^{M-1}V_{LSB}/\sqrt{2}}{V_{LSB}/\sqrt{12}}\right)=6.02M+1.76\text{dB} \tag{5.20}$$

上式确定了 M 位 ADC(在未使用过采样或噪声整形等技术时)的 SNR 极限。然而，SNR 往往随着输入信号幅值的减小而减小，SNR 相应的降低量可以表示为：

$$\Delta SNR=20\lg\left(\frac{v_{in}}{v_{in_max}}\right) \tag{5.21}$$

例如，若假定一个 ADC 的参考电压为 $V_{ref}=4\text{V}$，V_{in} 的峰峰值等于 80mV，那么 SNR 将从其最大值降低多达 34dB！更进一步，如果 V_{in} 的峰峰值降低到 $1V_{LSB}$，那么 SNR 将降

低高达 6.02MdB,所得的 *SNR* 将仅有 1.76dB。

在实际应用中,奈奎斯特频率级 ADC(未采用过采样与噪声整形的情况)的分辨率往往被定义为等于或近似等于 *ENOB*。这与 DAC 的情况不同。例如,回顾例 5.1 中的 DAC,其分辨率给定为 3 位,而其 *ENOB* 却高达 9.45 位。

147

为了对上面所述的差别获得一点感性认识,请考虑以下的事实:在 ADC 中,*SNR*(或 *ENOB*)的定义必须考虑到量化噪声——这种噪声取决于在物理上能够做出多少个实际的位(即分辨率)。而在 DAC 的情况下,量化噪声不成问题,因此 *SNR*(或 *ENOB*)的定义重点考虑的是电路的其他不完美因素,如增益偏差、非线性偏差等,这些因素主要依赖于元件的匹配精度,而不是输入数据"字"的位数。

最后一个重要的偏差来源称为*采样时间不确定性*(sampling-time uncertainty)或*孔径抖动*(aperture jitter)。DAC 和 ADC 都存在这种类型的偏差。但是在 ADC 的设计中,其引起的问题较在 DAC 中更为严重,尤其当 ADC 具有高速(50MHz 水平)和中高分辨率(8~14 位)特点时更是如此。

此外,请注意 ADC 的本质特征是对连续时间信号进行采样,这一点同 S&H 是一样的。因此,在 ADC 装置中,可应用式(3.68)对孔径抖动引起的偏差进行量化。假定在一个 M 位的 ADC 上施加的输入 V_{in} 是正弦的,峰峰值电压为 V_{ref},频率是 f,则我们可以根据式(3.68)写出其孔径抖动表达式为:

$$\epsilon_{aperture_jitter}(t)=\sigma\cdot\left|\frac{dV_{in}(t)}{dt}\right|=\frac{V_{ref}}{2}\cdot 2\pi\cdot f\cdot\sigma\cdot|\cos(2\pi\cdot f\cdot t)| \quad (5.22)$$

其中 σ 代表时刻 t 的孔径抖动。根据第 3 章的解释,最大偏差电压发生在过零点处($t=0$),由下式给定:

$$\epsilon_{aperture_jitter_max}=V_{ref}\cdot\pi\cdot f\cdot\sigma=2^M\cdot V_{LSB}\cdot\pi\cdot f\cdot\sigma \quad (5.23)$$

在实际应用中,都希望最大偏差电压能保持在 $0.5V_{LSB}$ 以下,否则 ADC 的精度将丧失。重新整理式(5.23),可得:

$$\sigma\leqslant\frac{1}{2^{M+1}\cdot\pi\cdot f} \quad (5.24)$$

例 5.2 一个 9 位的奈奎斯特 ADC,用来转换一个 250MHz 的正弦输入信号,信号的峰峰值电压为 V_{ref}。根据式(5.24),所容许的最大采样时间不确定性是多少?如果输出需要拥有 9 位的 *ENOB*,那么容许的最大采样时间不确定性又是多少?

148

解:根据式(5.24),有

$$\sigma_{ap_max}=\frac{1}{2^{10}\cdot\pi\cdot 250\times10^6}\approx1.24\text{ps} \quad (5.25)$$

根据式(5.20),可以得到 9 位 *ENOB* 的等效 *SNR* 为:

$$SNR=6.02\times9+1.76=55.94\text{dB} \quad (5.26)$$

应用式(3.69),可以写出由孔径抖动施加的 *SNR* 理论极限为:

$$SNR_t=-20\lg\left(2\pi\cdot f\cdot\frac{\sigma_t}{\sqrt{2}}\right)=-20\lg\left(2\pi\cdot 250\times10^6\cdot\frac{\sigma_t}{\sqrt{2}}\right)\geqslant SNR \quad (5.27)$$

因此，

$$\sigma_t \leqslant 1.44\text{ps} \tag{5.28}$$

上述计算表明，当孔径抖动是 ADC 的主要偏差来源时，式(5.24)虽然可以充分保证 9 位的精度(*ENOB*)，但裕度却相当小。此外，在实际应用中还需考虑量化噪声、元件不匹配等许多其他原因引起的偏差，孔径抖动并非惟一的偏差来源。

积分非线性、微分非线性和量化噪声

从实际应用考虑，明确积分非线性(INL)、微分非线性(DNL)以及量化噪声之间的关系很有必要。首先，请注意，任何具有 *M* 位分辨率的数据转换器，无论它是 DAC 还是 ADC，都必须保证其 INL 和 DNL 的最大绝对值不大于 1/2 LSB，否则，其能提供的真正分辨率(即精度)将小于 *M* 位。例如，如果一个 3 位的 DAC 具有大于 1/2LSB 但小于 1LSB 的 INL 或 DNL 绝对值，则从有效位数(*ENOB*)来看，它实际上只能等效于一个具有 2 位完美精度的 DAC。如果 INL 或 DNL 的绝对值超过了 1LSB，则所得的 *ENOB* 将仅有 1 位，不仅如此，转换器还可能变成非单调的！

通过分析下面的例子，可以更好地理解以上的问题。如果假定上述 3 位 DAC 的 INL 偏差为{0,0.5,−0.5,0.5,−0.5,0.5,−0.5,0}(从最低位开始，单位为 LSB)，则与输入的二进制码 001 对应的输出电平将无法同 010 的输出电平相区分。同样，在 011 和 100 之间，以及在 101 和 110 之间，也存在着类似的信号混淆问题。因此，虽然这个 DAC 在物理结构上是 3 位分辨率的，但它却不能重建 8 个离散的电平，事实上它只能重建 5 个电平。换而言之，这个转换器等效于一个理想的 2 位 DAC(从 2.324 位取整而得)。

149

其次，在去掉数据转换器的偏移误差和增益偏差后，在 INL 和 DNL 两个非线性偏差中，哪一个才是确定数据转换器有效位数(*ENOB*)的限制因素呢？换而言之，在最坏情况分析中，到底其中哪一个的最大绝对值应该被设置成 1/2LSB 呢？

答案在很大程度上取决于数据转换器所采用的编码类型。尽管还存在许多其他的数字编码方案，例如格雷码，但在本书中只讨论数据转换器中最常见的两种编码方案，即二进制码和温度计编码。有一个经验：如果数据转换器是用来处理二进制权值数字信号的(即它是一个二进制权值转换器)，则 DNL 的要求比 INL 的要求严格，即 DNL 是限制因素；相反，对于温度计编码转换器而言，INL 的要求更难满足，因此 INL 是限制因素。

再次，请注意即使在理想 ADC 中也存在着量化噪声，但增益偏差、DNL 和 INL 却仅当电路中存在着非理想性时才会出现。前面说过，在 ADC 中必然存在量化噪声这一点是很自然的，因为模拟输入信号有无穷多级(电平)，而输出信号却是离散时间的信号，不相同的输出信号的数目有限。在理想 ADC 中，量化噪声确实存在，但其绝对值不会超过 1/2LSB，它在时域中具有锯齿波形的特点，在 −1/2 和 +1/2 LSB 之间对称交替地变化。在实际的 ADC 中，由于电路存在非理想性，引起的 DNL 和 INL 偏差

会使锯齿波产生畸变，偏离理想的几何形状，结果变成非对称的。

文献中还可见到其他一些性能参数，例如 DAC 的干扰冲击响应(glitch impulse area)、逼近时间(settling time)，以及 ADC 的位偏差率(bit-error-rate，BER)、转换时间(conversion time)等。为简单起见，这里不对它们进行详细介绍。作为最后一个提示，测量数据转换器的性能有两个最著名的工业标准，一个是 IEEE 标准 764－1984[12]，另一个是 IEEE 标准 1241－2000[13]。

最后对本节做个小结。本节介绍了 ADC 和 DAC 的关键性能参数，并提供了一些很有用的数学公式，可以对这些参数进行定量计算。

150

5.3 奈奎斯特频率级 DAC

积分奈奎斯特频率级 DAC

回顾 DAC 的内容可知，式(5.1)中的数字输入“字”M_{in}是无量纲的，而模拟输出信号 N_{out}则跟 K_{ref}具有相同的量纲。

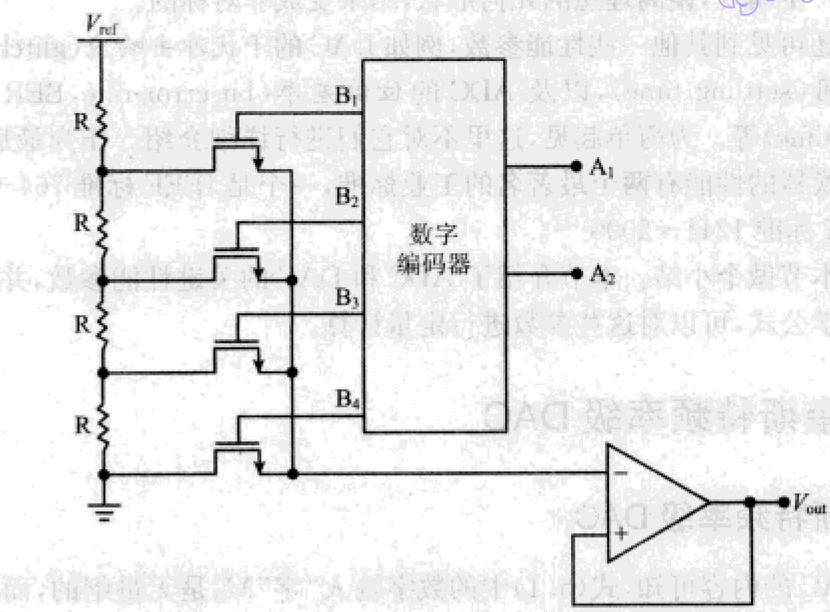
当 K_{ref}的量纲为电压时，转换器称为电压模式(voltage-mode)DAC 或梯形(ladder) DAC。电压模式 DAC 本质上是个电压表(即电位计)，往往基于电阻排列的方法进行实现[14,15]。

图 5.2a 所示的是一个 2 位的温度计编码电阻排列型 DAC。如原理图所示，由 MOS 构成的开关之通/断操作，是受一个将数字二进制码转换成温度计编码的解码器的输出位控制的。注意其中采用了 4 位而不是 3 位的温度计编码，因此 V_{out}的最大值将限制在 $V_{ref}-V_{LSB}$(即 $0.75V_{ref}$)以内。

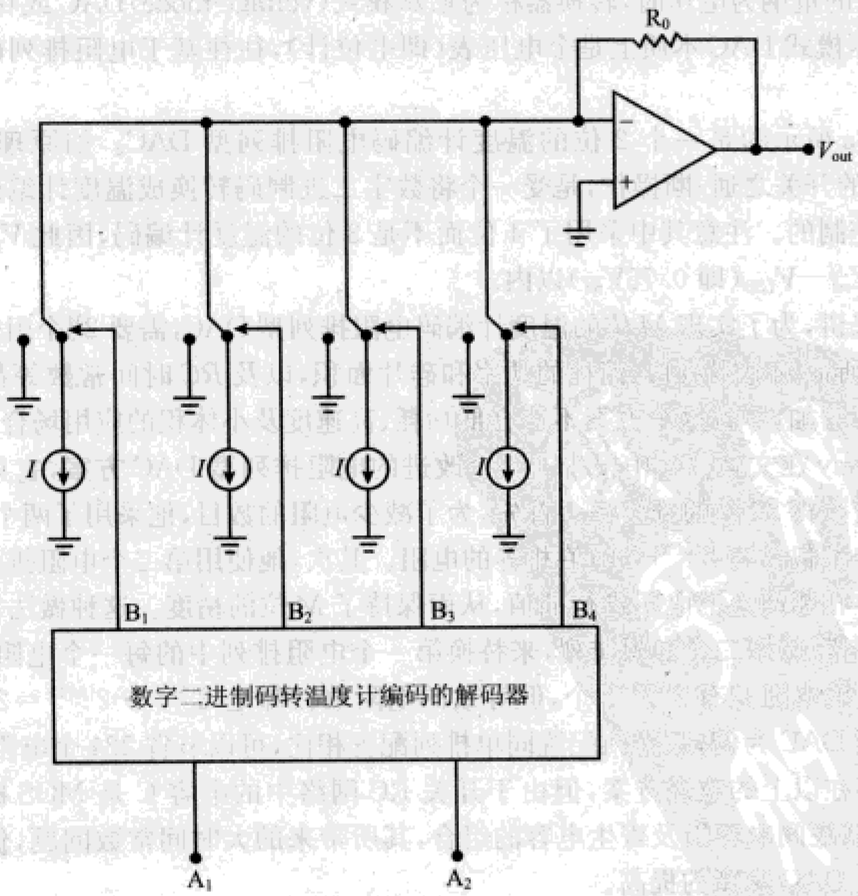
一般来讲，为了实现 M 位的温度计编码电阻排列型 DAC，需要 2^M个阻值相同的电阻，因此其所需的电阻数目、消耗的功率和硅片面积，以及 RC 时间常数等都将随着 M 按指数规律增加，导致这个方案不适合低功耗、高速度及小体积的应用场合。

Holloway 在文献[14]中报告了一个改进的电阻排列型 DAC 方案，它只需 $2^{(M/2+1)}$ 个电阻即可获得 M 位的分辨率。首先，为了减少电阻的数目，他采用了两个电阻排列，每个排列中都包含有 $2^{(M/2)}$ 个阻值相等的电阻。其次，他使用第二个电阻排列对第一个电阻排列中相邻两点的电压进行插值，从而保持了 M 位的精度。这种做法等效于用具有 $2^{(M/2)}$ 个电阻的第二个电阻排列，来替换第一个电阻排列中的每一个电阻。因此，尽管实际使用的电阻只有 $2^{(M/2+1)}$ 个，但等效的电阻数目却是 $2^{(M/2)}\cdot 2^{(M/2)}=2^M$。以 8 位电阻排列型 DAC 为例，双排列配置同单排列配置相比，可以节省 224 个电阻。

虽然存在以上的改进方案，但由于开关 RC 网络中的电容 C 是 MOS 栅—源极间电容、栅—基底间电容以及寄生电容的组合，其所带来的大时间常数问题，仍然制约着电阻排列型 DAC 速度的提高。



(a) 电阻排列型DAC



(b) 电流控制DAC

图 5.2　非开关电容的温度计编码 DAC

当式(5.1)中 K_{ref} 的量纲是电流时，转换器称为电流模式(current-mode)DAC或电流控制(current-steering)DAC。在电流模式DAC中，采用多个电流源来区分不同的数字输入[16,17]。

151~152

图5.2b所示为一个2位的温度计编码电流控制DAC。这种构架的DAC通常采用 2^M 个相同的电流源来对 M 个二进制位进行变换，以防止过载。如图5.2所示，输入的2位二进制码被解码成等效的4位温度计编码，输出的每位再对一个电流源的输出进行控制，使之或者连接到运放，或者连接到地。流入运放反相端的电流叠加在一起，由反馈电阻 R_0 转换成模拟电压。

通常，电流控制DAC的转换精度很大程度上依赖于电流源的匹配精度，这是因为实际的电流源并不完全相同。为了解决由电流源间的失配误差引起的非线性问题，Schouwenaars等人在文献[17]中提出了一种动态电流匹配技术，文献[18]对该技术的具体细节进行了详细描述。该技术的基本理念是让每个电流源周期性地复制单一参考电流源 I_{ref} 的输出。结果，电流源之间的失配误差得到了最小化(因为它们是按照同样的电流参考进行校准的)。

每个电流源的电流复制(current-copying)操作或校准(calibration)操作可以在温度计编码的对应位跳变到零或跳变到1时开始，其耗费的时间通常小于一个转换周期(即输出逼近时间)的十分之一。

在大多数情况下，希望校准对用户是透明的，即希望进行背景校准(background calibration)，因此需要用一个额外的电流源来替代将被校准的电流源。这时，在前面用不到的第 2^M 个电流源就排上了用场，被用来担负这个工作。分析文献可以发现，对于电流模式奈奎斯特频率级的DAC而言，存在着许多背景校准技术。除了文献[18]之外，这方面著名的文献还有文献[19]、文献[20]和文献[21]。

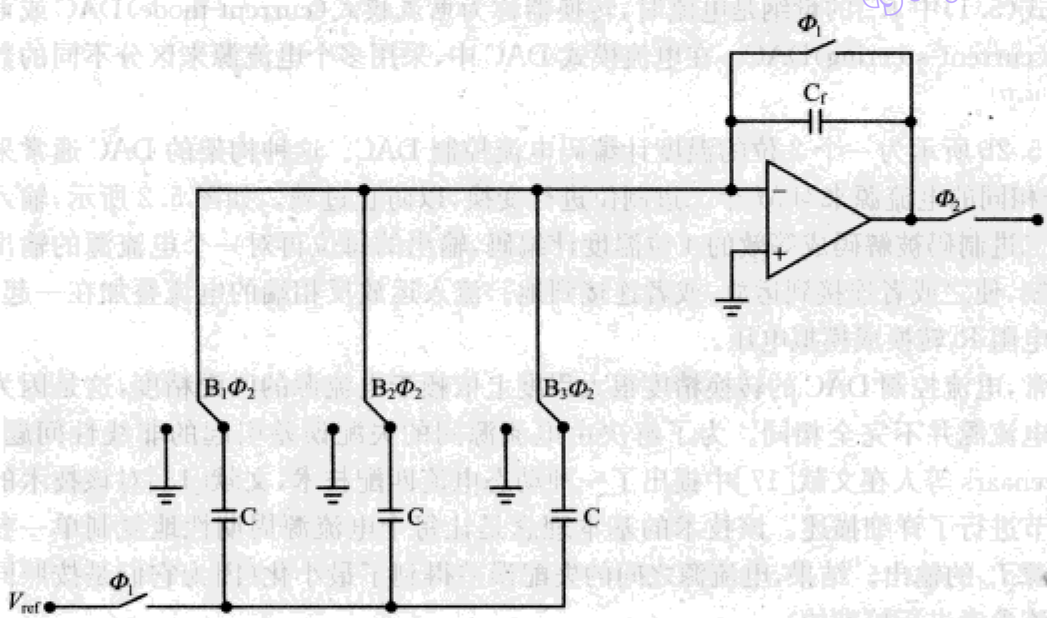
最后需要指出的是，在温度计编码结构中，电流源数目和功耗是随着 M 的增大而呈指数规律增大的。因此，当 $M>6$ 时，实用中往往使用分段的(segmented)电流驱动型DAC，在其 M 位中，较高部分的位使用温度计编码，其余的低位部分使用二进制权值码。感兴趣的读者可以参考相关文献中的例子。

奈奎斯特频率级 SC DAC

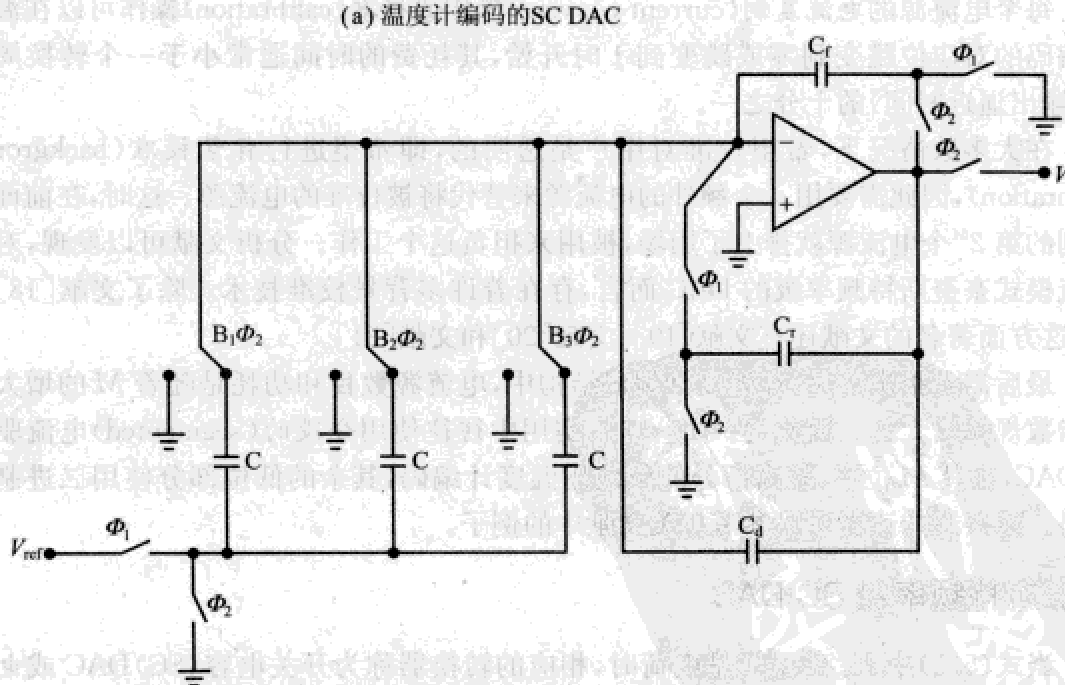
当式(5.1)中 K_{ref} 的量纲是电荷时，相应的转换器称为开关电容(SC)DAC或电荷模式(charge-mode)DAC，因为它常基于开关电容技术进行构建。图5.3a所示为一个2位的温度计编码SC DAC。这种类型的SC DAC常被称作并行SC DAC，因为输入的数字位是以并行的方式被读取的。

153

下面介绍该电路的工作原理。输入的数字"字"是温度计编码，包括 B_1、B_2 和 B_3 位。当 $\Phi_1=1$ 时，DAC被重启，反馈电容 C_f(这里 C_f 等于 $4C$)放电，三个输入电容(都等于 C)由参考电压 V_{ref} 充电。然后，当 $\Phi_2=1$ 时，DAC进入转换模式，储存在首先激活(导通)的 k 个($k\leqslant 3$)输入电容上的电荷被耦合到 C_f 上，从而产生输出电压 $V_{out}=(k/4)V_{ref}$。



(a) 温度计编码的SC DAC



(b) 改进的SC DAC

图　5.3

显然，这个 SC DAC 对寄生电容敏感，这通常会引起增益偏差。不仅如此，在输入开关 Φ_1 断开时，还将有一个依赖于 V_{ref} 的电荷注入到各个输入电容，然后会被送到输出，引起谐波畸变。此外，其他的一些电路非理想性，如输入偏移误差、有限运放增益偏差以及有限的运放带宽（参见第 7 章）等，也会给这个 DAC 带来不利影响。另外一

个严重的问题是，每当 DAC 的运行模式改变时（即从重启模式转变为转换模式时，或者做相反转变时），运放的输出必须在$(k/4)V_{ref}$和输入电压失调（十分接近 0V）之间做陡变。

为了改善这个问题，可以使用图 5.3b 所示的改进型 SC DAC。这个 SC DAC 采用 Martin 等人提出的 SC 放大器[22]进行构建。

这个富有创意的设计能够提供许多有用的特性，其中显而易见的一点是，其输入开关配置不仅可以保证电路的寄生非敏感性，而且使得改变 DAC 输出的符号成为可能。此外，简单地采用全差分配置，就可以抵消电荷注入带来的偏差。

在这里，由运放的输入失调电压V_{off}（以及闪变噪声）引起的偏差也可以得到消除，只需在$\Phi_2=1$期间，将导通的输入电容以及反馈电容C_f充电到输入失调电压，然后在下一个$\Phi_1=1$期间，使它们抵消即可[22]。在这种配置中，有限运放增益的影响也得到了减小。

不仅如此，通过使用重启电容C_r，还可以极大地降低对运放的转换速率的要求。这里的基本理念是这样的：与原来一旦$\Phi_1=1$就要迅速地使运放的输入端和输出端短接，从而使输出电压降低到接近于 0V 的做法不同，现在我们利用一个电容C_r——它记忆了前一个转换模式（$\Phi_2=1$）结束时的输出电压，在Φ_1跳变到 1 的时候，由C_r在输入端和输出端之间施加一个电压阶跃信号。这样一来，在两个模式之间，运放的输出电压就只需要在V_{out}和$(V_{out}-V_{off})$两个电压之间变化，因而使电压摆幅降低为V_{off}。从理论上讲，C_r的电容值不会对开关电容 DAC 的传递函数造成任何有意义的影响[22]。

154~155

有趣的是，在图 5.3b 的运放输入端和输出端之间，另外连接了一个反馈电容C_d。该电容是可选的抗尖峰脉冲电容，当运放输入端和输出端之间的所有开关断开时，由它来提供反馈回路。这个方法是由 Matsumoto 和 Watanabe 提出的[23]。电容C_d通常选得相当小，以免高频电荷泄漏（在输入的数字编码快速变化的场合，高频电荷泄漏问题更为严重）。

另一类电荷模式 DAC 称作串行（serial）DAC 或循环型（cyclic）DAC，也称算法型（algorithmic）DAC，它仅使用少量的器件（如电容、电压缓冲等）来进行 D/A 转换。“串行”这个术语意味着输入的数字必须以串联的方式或一个接一个的方式进行读取，而“循环”这一术语则意味着以循环的方式使用同一电路，来转换所有的数字位。图 5.4 所示是一个简单的M位循环 SC DAC 的例子。

下面介绍该电路的工作原理。在转换之前，时钟脉冲Φ_r控制重启开关，使等值的电容C_1和C_2经地放电。然后断开开关，并一直保持断开状态，直到所有的数字位转换完毕。在输入数字“字”从并行格式转换成串行格式时，首先被转换的是最低位B_M。当$\Phi_1=1$时，根据B_M取值的不同（1 或 0），C_1要么被充电到参考电压V_{ref}，要么被放电到地的电位。然后，当$\Phi_2=1$时，并联C_1和C_2，在前一个“$\Phi_1=1$”期间C_1所获得的电荷这时将在C_1和C_2之间平分，因而在第一位的转换周期结束时，产生一个输出电压，其大小为：

156

$$V_{out}(1)=B_M\left(\frac{V_{ref}}{2}\right) \tag{5.29}$$

由上可见，C_1、C_2及其周围的这块SC电路配置等效于一个具有0.5倍电压增益的采样保持器(S&H)。

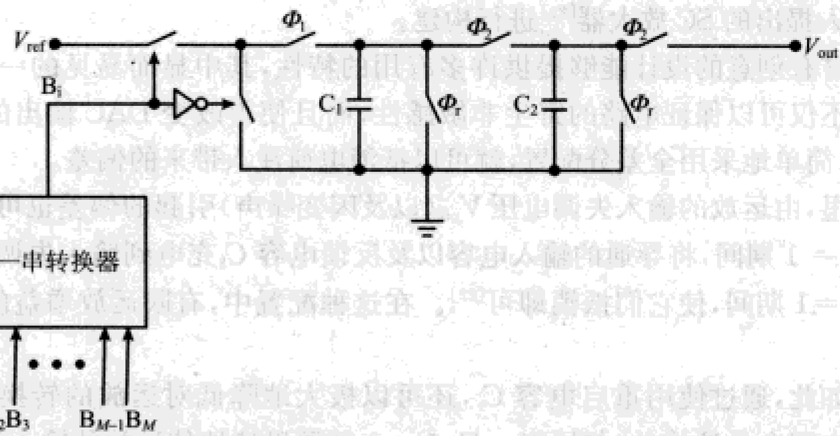


图5.4　循环SC DAC

在Φ_2断开之后，次最低位B_{M-1}进入。应用电荷守恒原理于系统，可以发现在第二位的转换周期结束时，输出的电压为：

$$V_{out}(2)=\frac{(B_{M-1}V_{ref}C_1+B_MV_{ref}C_1/2+B_MV_{ref}C_2/2)}{C_1+C_2}=\left(B_{M-1}+\frac{B_M}{2}\right)\left(\frac{V_{ref}}{2}\right) \tag{5.30}$$

这个过程将一直进行下去，直到第M个这样的位转换周期结束为止。可以看出，对应整个输入字的模拟输出电压为：

$$V_{out}(N)=\left(\sum_{i=1}^{M}\frac{B_i}{2^i}\right)V_{ref} \tag{5.31}$$

因此，如果系统的时钟周期等于T，则循环型DAC转换完一个M位的数字“字”所需的转换时间是MT。由于这个原因，在实用中，循环型DAC常用于中、低速的D/A转换场合。

从循环型DAC派生出了大家熟知的流水线型DAC，它采用具有多个转换级的电路(对于M位转换，往往是M级)，以换取快M倍的读取速度(与传统循环型配置相比)。换句话讲，式(5.31)所给的模拟电压将只需一个时钟周期T就可以出现在流水线型DAC的输出端(开始时需要MT时间预热，具体参见5.4节)。流水线思想也在ADC设计中被广泛采用，因此我们将在5.4节对其主要优点进行介绍。

最后要补充一点，就是人们已经开发出一些更为复杂的循环型DAC结构，以改善寄生电容偏差、时钟馈入偏差等电路非理想性，譬如Matsumoto和Watanabe在文献[24]中介绍的DAC就是一个很好的例子。有兴趣的读者可以参考相关文献以获得更多细节。

数据转换器的匹配精度

如前所述，对于温度计编码电流模式 DAC 来讲，其电流源之间的不匹配，将在输出中引起偏差，因此有必要进行调节，以校正这些偏差。考虑一个 M 位的温度计编码电流模式 DAC，若假定每个电流源都具有相等的绝对失配误差 $|\Delta I|$，且所有这些失配误差之和等于零[18]，那么可以证明在最坏情况下的绝对 INL（单位为 LSB）为 157

$$|INL|_{\max}=\frac{2^{M-1}\cdot|\Delta I|}{I} \tag{5.32}$$

其中 I 是理想电流，在温度计编码的场合，它等于 1 LSB($I>0$)。在 5.2 节已经证明，上面给出的最坏情况 INL 必须小于 0.5LSB，才能防止 DAC 精度的丧失。因此，最大容许的电流源不匹配是

$$|\Delta I|_{\max}=\frac{I}{2^M} \tag{5.33}$$

定量来看，若假定 I 为 4μA，M 为 10 位，那么最大容许的失配误差将小至 3.9nA！

如 5.2 节所言，在基本的温度计编码配置中，限制因素 DNL 不如限制因素 INL 关键。在我们这里，可以求得最坏情况下的绝对 DNL（单位为 LSB）是：

$$|DNL|_{\max}=\frac{|\Delta I|+I}{I}-1=\frac{|\Delta I|}{I} \tag{5.34}$$

令上式等于 0.5 LSB，可以发现最大容许的电流失配误差高达 $0.5I$。这再次表明，在温度计编码的 DAC 中，DNL 的要求要比 INL 的要求容易满足得多。

应用跟电流模式 DAC 类似的方法，可以得到 M 位温度计编码电阻排列型 DAC 的最大容许电阻失配误差。为简单起见，这里只给出结果：

$$|\Delta R|_{\max}=\frac{R}{2^M} \tag{5.35}$$

对于 SC 数据转换器来讲，转换器可获得的精度($ENOB$)通常取决于电容不匹配引起的偏差。目前 CMOS 工艺的最佳电容匹配精度(即 $\Delta C/C$)大约为 0.02%。从理论上讲，如果不使用偏差抵消技术，那么奈奎斯特频率级温度计编码 SC CMOS 数据转换器的最大有效位数大约为 12 位[9]。实际上，当把其他噪声源也考虑进来之后，很难获得高于 9 位(即 $\Delta C/C\approx 0.2\%$)的有效位数。 158

例 5.3 对于 SC DAC 或 ADC 中具有相同标称电容值的两个电容，可以采用图 5.5 所示的电路来测量它们之间的失配误差。在该原理图中，开关由两个无重叠的时钟相 Φ_1 和 Φ_2 控制。描述该电路的运行原理，并分析节点 A 的电压(即 V_a)与参考电压 V_{ref}(假定 $V_{ref}=1$V)之间的关系。如果测得 V_a 为一个方波，其大小在 0V(当 $\Phi_1=1$ 时)和 1mV(当 $\Phi_2=1$ 时)两个状态之间切换，并假定电容不匹配是 SC 转换器偏差的主要来源，估算转换器的有效位数($ENOB$)(考虑温度计编码和二进制权码两种情况)。

解：该电路的运行原理如下。当 $\Phi_1=1$ 时，C_1 两端的电压充电到 V_{ref}，而 C_2 则放电到地。接下来当 $\Phi_2=1$ 时，节点 A 处于悬浮状态，C_1 和 C_2 串联。根据电荷守恒原理，可以发现当 Φ_2 跳变到

1时，流往节点 A 左侧的电荷应该抵消流往右侧的电荷，即

$$C_2(V_a-V_{ref})+C_1(V_a+V_{ref})=0 \tag{5.36}$$

因此，V_a 和 V_{ref} 之间的关系为：

$$V_a=\left(\frac{C_2-C_1}{C_2+C_1}\right)\cdot V_{ref}=\frac{\Delta C}{(C_2+C_1)/2}\cdot\left(\frac{V_{ref}}{2}\right) \tag{5.37}$$

当 $\Phi_2=1$ 时，$V_a=1.0\ \text{mV}>0$，因此 $C_2>C_1$。从上面的方程可见，由 $(2V_a/V_{ref})$ 可确定电容的匹配精度 $(\Delta C/C)$，这里 C 是标称电容值。所以，若这些电容被用在一个温度计编码的 SC 数据转换器中，且电容不匹配是主要的噪声源，那么该数据转换器能够获得的有效位数（$ENOB$）为：

159

$$ENOB_{ther_max}=-\log_2\left(\frac{\Delta C}{C}\right)=-\log_2\left(\frac{2V_a}{V_{ref}}\right)\approx 9\ \text{位} \tag{5.38}$$

而若这些电容用在一个二进制权的 SC 数据转换器中，则首先我们必须更新 $ENOB$ 和 $(\Delta C/C)$ 之间的关系。如 5.2 节所言，对于二进制权的转换器来讲，DNL 是 $ENOB$ 的限制因素，因此必须找出 DNL 同 $(\Delta C/C)$ 的关系表达式。可以证明，二进制权转换器的最坏情况 DNL 发生在当数字输入从 011…11 变化到 100…00 时的主进位（major-carry）区中。

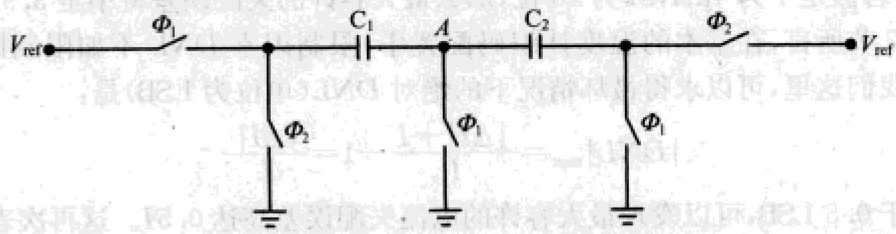


图 5.5　用来测量 C_1 和 C_2 间失配误差的电路

考虑一个具有 M 位的二进制权 SC DAC。若假定实际的输入电容是 $\{C-\Delta C, 2C-2\Delta C, \cdots, 2^{(M-2)}C-2^{(M-2)}\Delta C, 2^{(M-1)}C+2^{(M-1)}\Delta C\}$，那么最坏情况的绝对 DNL（单位为 LSB）为[8,9]：

$$|DNL|_{max}=\frac{1}{C}\cdot\left[2^{M-1}(C+|\Delta C|)-\sum_{i=1}^{M-1}2^{i-1}(C-|\Delta C|)\right]-1=(2^M-1)\cdot\frac{|\Delta C|}{C} \tag{5.39}$$

为了使最大 DNL 小于 0.5 LSB，可得：

$$\frac{|\Delta C|}{C}\leqslant\frac{1}{2^{M+1}-2} \tag{5.40}$$

因此，可以求得 $ENOB$（这种情况下 $ENOB$ 与 M 是等价的）为

$$ENOB_{bi_max}=\log_2\left(\frac{C}{\Delta C}+2\right)-1\approx 8\ \text{位} \tag{5.41}$$

同温度计编码的配置相比，上述二进制权码的配置损失了一个有效位。有趣的是，如果对实际的输入电容进行精确控制，使它们的电容值为 $\{C-\Delta C, 2C-2\Delta C, \cdots, 2^{(M-2)}C-2^{(M-2)}\Delta C, 2^{(M-1)}C+2^{(M-1)}\Delta C-\Delta C\}$，那么可以证明，各电容的失配误差之和将等于零。不仅如此，此时两种情况（即温度计编码的情况与二进制权码的情况）的有效位数都将等于 9 位。然而上述电容序列的最后一个（即 $2^{(M-1)}C+2^{(M-1)}\Delta C-\Delta C$）实现起来十分困难，可能需要使用激光微调（laser trimming）之类的昂贵工艺，在制造后期做校准处理。

为了改善电路元件（尤其是电容）间失配误差引起的问题，人们提出了许多失配误差抵消（mismatch error cancellation）的技术。参考电位更新（reference refreshing）技

术[25]以及与电容比脱离关系的(ratio-independent)技术[26,27]可以使电路的精度(例如增益偏差、非线性偏差)与电容的失配无关。然而,这些技术往往要求具有很大增益带宽积的高性能运放[27]。最近有人报导,若将与电容比脱离关系的技术同增益偏差不敏感及偏移误差不敏感设计相结合[28],或者同关联双采样方案相结合[29],就可以降低对运放精度的要求。

160

此外,也可以采用电容偏差平均化(capacitor error averaging)的方法[30]来抵消电容匹配的偏差,然而其代价高昂,需要降低1/3的转换速度,并且使功耗加倍。

电容微调(capacitor trimming)技术[31,32]可用在SC电路中对电容进行微调,直到其同其他电容匹配为止。其方法是将被调电容与一个小的微调电容并联。然而,在实际上,这个微调电容通常是用一组由数字逻辑控制的电容来实现的,因而增加了成本和面积。此外,由于不中断正常的A/D转换就无法进行电容的微调(否则,输出的数字码将被破坏),因此它是一种前端校准(foreground calibration)技术,一般不适合于高速应用的场合。

作为以上技术的一个替代,在后端对失配误差进行校准(后端校准,background calibration)越来越普及,因为后端校准无须中断转换器的正常操作。前面曾提到,在电流模式数据转换器中,可以采用后端校准技术来校正电流源之间的失配误差[18],在这里的SC数据转换器中,可以采用类似的技术来校正电容失配的误差。

SC数据转换器的后端校准既可以在模拟域中实现,也可以在数字域中实现。顾名思义,数字校准采用数字电路来消除元件失配引起的误差。许多最新的数字校准技术应用过采样ΔΣ调制器,以对失配误差的功率密度进行整形,使其落入较高的频率范围,然后再采用低通滤波器将它们滤掉,因而被称为失配整形(mismatch-shaping)。但其中过采样带来的速度限制是一个严重问题。在介绍了采样SC数据转换器的5.5节中,我们将介绍几种数字失配整形技术。

至于模拟域的后端校准方法,与数字域的技术相比,在我们迄今能够找到的文献中,其实用化的技术相对较少。出现这种状况的部分原因在于,模拟校准需要附加模拟电路,譬如校准用的DAC和比较器等,并且显然它们必须比被校准的器件具有更高的精度和线性度。此外,数字电路相对较低的制造成本及其在不同工艺间的可移植性/可缩放调节性(定标),也使得数字校准比模拟校准更有吸引力。

161

Moon等人在文献[13]中介绍了一种很有意义的模拟校准技术。该技术采用类似于图5.3a的一个温度计编码SC DAC作为展示平台。其基本理念是:让每条支路各使用一个可变的参考电压——这一点类似文献[18]中的电流复制技术及文献[25]中的参考电位更新技术,以便自适应地对每条输入支路所传送的电荷进行校准,直到所有支路的电荷都与同一个参考电荷值相一致为止(该参考电荷已经由一个精确的电容,即标称电容C进行了校正)。这样一来,电容失配引起的支路电荷偏离其理想值的问题就得到了校正。

深入的研究表明,对于文献[33]中描述的SC DAC,对于一个M位温度计编码的

转换，每条输入支路的参考电压是每 2^M 个时钟周期才更新一次的。此外，这里要求 2^M 条输入支路而不是 (2^M-1) 条输入支路，其中多出的那条支路用来替换正在被校准的支路，这一点类似文献[18]中描述的电流源校准时的替换情况。

最后对本节的内容做个小结。本节介绍了非 SC 型以及 SC 型集成 D/A 转换器；分析了最关键的电容失配问题，并定量研究了其对数据转换器精度的影响；最后介绍了各种失配误差抵消技术。

5.4　奈奎斯特频率级 ADC

快闪型 ADC

标准的模数(A/D)转换过程一般都可以归结为两种截然不同的处理方法之一，即采样方法和量化方法。无论是采样方法(通常和保持过程一起使用)还是量化方法，都可以将大小连续变化的信号转换成一系列离散的电平。

采样方法是一种基于时间的处理方法，它通常由一个系统时钟进行控制，其重点在于如何在某个便于后续操作(例如量化操作)的瞬间，对输入数据进行俘获；而量化方法则利用一个参考信号(电压或电流)，来将输入数据归类到离散的组中，而不管数据是否经过了采样。换而言之，采样方法要对输入信号进行获取和预处理，而量化方法则基于输入信号幅值与参考信号比较的结果，以产生一组数字位来表示输入信号。因此，采样方法通常由采样-保持(S&H)电路来实现，而量化方法通常由比较器来实现。

162

然而，在有些 A/D 转换器(ADC)构架中，采样和量化没有明确的分界线。它们的采样和量化是同时进行的，无需专用的 S&H 电路。其中一个熟知的例子是快闪型 ADC(flash ADC)构架，或称并行 ADC(parallel ADC)构架。顾名思义，这种 ADC 运行速度极快，它们以并行的方式、就像闪光一样快速地输出数字位。

图 5.6a 到图 5.6c 给出了三种不同的方法，都可以实现 2 位的快闪型 ADC。三个电路的运行方式类似，现说明如下。在每个电路中，一个比较器的正输入端连接到电阻队列的某个节点(V_{ri})，而负输入端则连接到输入模拟信号 V_{in}。如果 V_{in} 大于 V_{ri}，则对应的比较器发送一个逻辑低电平(0)到后续的数字逻辑电路；否则，就发送逻辑高电平(1)。

163

经过比较之后，一个并行的 4 位温度计编码被送到数字逻辑电路。在这里，4 位的输入由三个两输入的与非门转换成一个 3 位的真温度计字(即移除了过载位)。然后将结果输入一个 3 位转 2 位的编码器，输出的就是一个 2 位的二进制码 $\{A_1A_2\}$。

需要注意的是，当 V_{in} 和 V_{ri} 的差别很小时，比较器的电压增益必须足够大，才能保证微小差别在放大之后得到的逻辑输出是惟一确定的。在实际应用中，快闪型 ADC 的每个比较器通常都由一个模拟的前置运放和一个锁存器构成，其中的前置运放用于在前半个时钟周期内对 $(V_{in}-V_{ri})$ 进行跟踪和放大，而锁存器则用于在后半个时钟周期

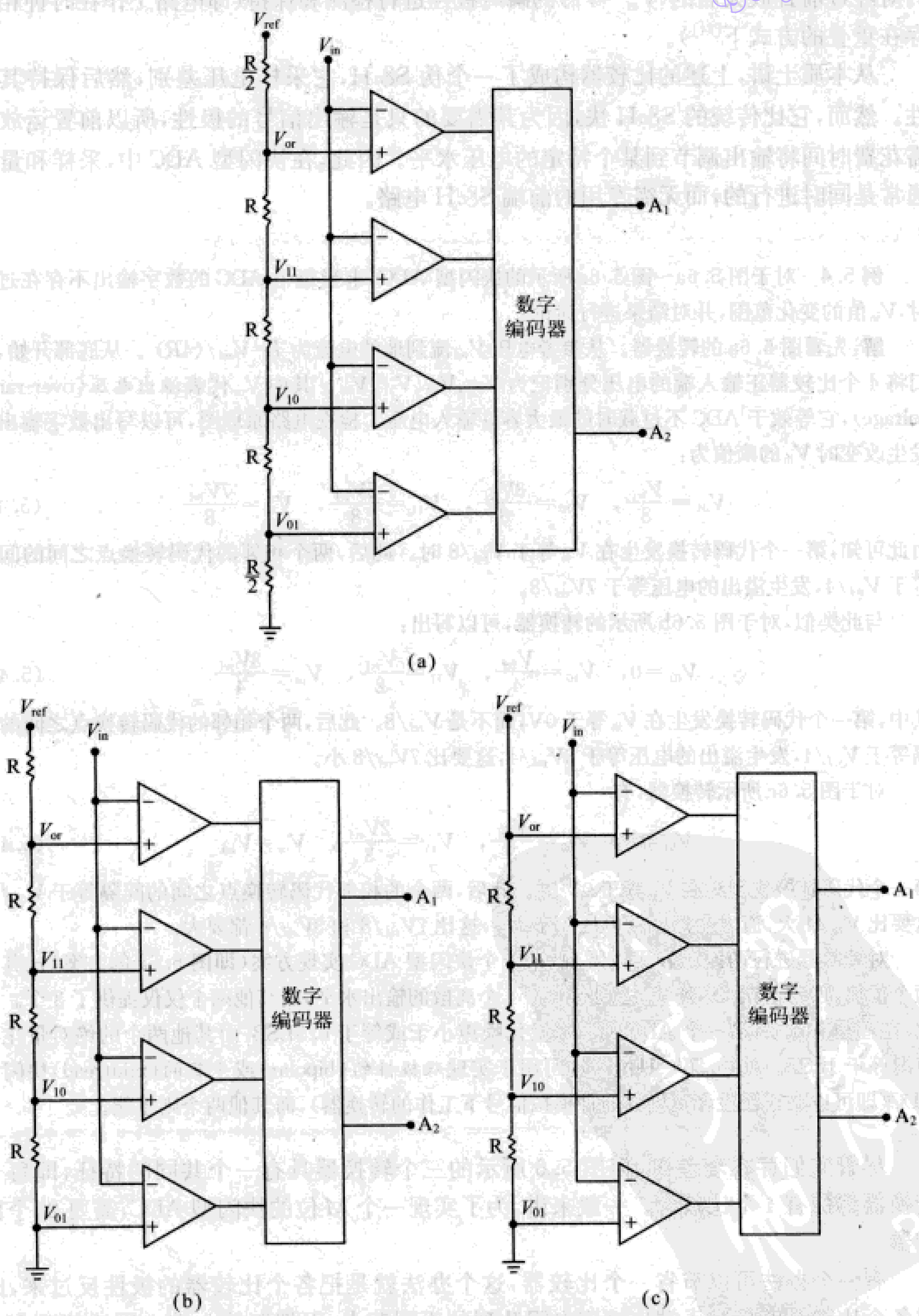


图 5.6 2 位快闪型 ADC 的三种不同实现方法

内对经过前置放大后的($V_{in}-V_{ri}$)的瞬时极性进行检测和保持(即电路工作在时钟相不存在重叠的方式下[34])。

从本质上讲,上述的比较器构成了一个伪 S&H,它采样电压差别,然后保持其极性。然而,它比传统的 S&H 快,因为其需要的只是输出信号的极性,所以前置运放无需花费时间将输出调节到某个特定的电压水平。因此,在快闪型 ADC 中,采样和量化通常是同时进行的,而无需专用的前端 S&H 电路。

164

例 5.4 对于图 5.6a~图 5.6c 所示的快闪型 ADC,求当每个 ADC 的数字输出不存在过载时,V_{in}值的变化范围,并对结果进行讨论。

解:先看图 5.6a 的转换器。从参考电压 V_{ref}流到地的电流为 $I=V_{ref}/(4R)$ 。从底部开始,我们将 4 个比较器正输入端的电压分别记为 V_{01}、V_{10}、V_{11}、V_{or}。其中 V_{or}代表溢出电压(over-range voltage),它等效于 ADC 不过载时的最大容许输入电压。检视电路原理图,可以写出数字输出码发生改变时 V_{in}的阈值为:

$$V_{01}=\frac{V_{ref}}{8},\quad V_{10}=\frac{3V_{ref}}{8},\quad V_{11}=\frac{5V_{ref}}{8},\quad V_{or}=\frac{7V_{ref}}{8} \tag{5.42}$$

由此可知,第一个代码转换发生在 V_{in} 等于 $V_{ref}/8$ 时。此后,两个相邻的代码转换点之间的间隔等于 $V_{ref}/4$,发生溢出的电压等于 $7V_{ref}/8$。

与此类似,对于图 5.6b 所示的转换器,可以写出:

$$V_{01}=0,\quad V_{10}=\frac{V_{ref}}{4},\quad V_{11}=\frac{V_{ref}}{2},\quad V_{or}=\frac{3V_{ref}}{4} \tag{5.43}$$

其中,第一个代码转换发生在 V_{in}等于 0V,而不是 $V_{ref}/8$。此后,两个相邻的代码转换点之间的间隔等于 $V_{ref}/4$,发生溢出的电压等于 $3V_{ref}/4$,这要比 $7V_{ref}/8$ 小。

对于图 5.6c 所示转换器,有

$$V_{01}=0,\quad V_{10}=\frac{V_{ref}}{3},\quad V_{11}=\frac{2V_{ref}}{3},\quad V_{or}=V_{ref} \tag{5.44}$$

第一个代码转换也发生在 V_{in}等于 0V 时。此后,两个的相邻代码转换点之间的间隔等于 $V_{ref}/3$,这要比 $V_{ref}/4$ 大,而发生溢出的电压等于 V_{ref},这比 $7V_{ref}/8$ 和 $3V_{ref}/4$ 都要大。

165

对转换器进行两两比较可以发现,第一个快闪型 ADC 实现方案(即图 5.6a 的方案)比其他两个优越,因为它在 0V 到 V_{or}之间提供了 4 个离散的输出水平,而其他两个仅仅提供了 3 个。因此,在理想情况下,第一个 ADC 的绝对量化噪声小于或等于 0.5LSB,而其他两个的绝对量化噪声则等于 1LSB。此外,第一种配置还可用于实现双极性的(bipolar)或平底的(midtread)快闪型 ADC(即可以在正极性和负极性两种模拟信号下工作的转换器),而其他两个则不能。

尽管它们存在着差别,但图 5.6 所示的三个转换器具有一个共同的特征,即每个转换器都拥有 4 个比较器。一般来讲,为了实现一个 M 位的快闪型 ADC,需要 2^M个比较器。

有一个办法可以节省一个比较器,这个办法就是把各个比较器的极性反过来,即把各个比较器的负输入端连接到电阻队列的不同节点,而把正输入端一同连接到 V_{in}。这样一来,实现一个 M 位的 ADC 就只需要(2^M-1)个比较器。注意一旦比较器的极性

对调，温度计编码也就将变反，因此数字逻辑电路也需要进行相应的改变。

但即便如此，比较器的数目仍然太多。例如，一个 8 位的 ADC 需要至少 255 个比较器。如此多的比较器需要消耗很大的功率，占用很大的硅片面积。此外，这还将在输入端(V_{in})引起较大的寄生电容，从而限制快闪型 ADC 的整体速度，并使 ADC 的前置电路设计复杂化。

不仅如此，由于快闪型 ADC 的转换精度不仅依赖于电阻匹配精度(即依赖于 $\Delta R/R$)，还极大地依赖于比较器的精度[譬如偏移误差、亚稳定性偏差(metastability error)等[34]]，因此，随着 M 的增加，快闪型 ADC 的转换精度将更难保持。

采用 5.3 节讨论的方法，可以发现 M 位快闪型 ADC 的最坏情况 INL(单位为 LSB)为

$$|INL|_{max}=2^{M-1}\cdot\left|\frac{\Delta R}{R}\right|+2^{M}\cdot\frac{|V_{off}|}{V_{ref}} \tag{5.45}$$

其中，我们假定各电阻的绝对失配误差为$|\Delta R|$，且所有电阻的失配误差之和为零，假定 V_{off} 为比较器的最大输入失调电压。可见，即使电阻全部是理想匹配的，但由于比较器存在偏移误差，因此要想用快闪型 ADC 来获得高精度仍然是不实际的。例如，在不存在电阻失配的情况下，若想获得一个 12 位的快闪型 ADC(V_{ref} = 5V)，则最大输入失调电压必须小于(或等于)0.61mV，才能使 INL 小于 0.5LSB。这在现有的 CMOS 工艺下几乎是不可能实现的目标。

166

同传统的快闪型 ADC 相比，插值型(interpolating)快闪 ADC 的比较器所使用的前置运放数目较少，因此总输入电容减少为插值系数(interpolating factor，以 K 表示)分之一倍，但快闪型 ADC 并行的特性却仍然得以保留。例如，传统的 4 位快闪型 ADC 要 16 个前置运放，而 $K=4$ 的插值型 ADC 则仅需要 4 个。

插值可以采用以下方法之一来实现：电阻插值[35]、电容插值[36]和电流—镜像插值(current-mirror interpolating)[37]。尽管名称不同，但 3 种方法的做法类似，就是将相邻两个前置运放的输出(电压或电流)之差划分成 K 等份，从而使前置运放的数目降低到原来的 $1/K$。有趣的是，分析一下电阻插值的结构可以发现，它同早前所述的双电阻排列型技术[14]具有某种程度的类似性。

需要注意的是，M 位的插值快闪型 ADC 仍然需要在插值级后面使用 2^M 个锁存器，以进行极性检测。采用折叠(folding)技术可以降低锁存器的数目。具体而言，若折叠系数(folding factor)为 F，则锁存器的数目将降低到 $2^{(M-F)}$ 个。有时在同一个快闪型 ADC 中结合使用插值和折叠两种技术，例如文献[38]中的情况。但这两种技术也可以独立使用。关于折叠型快闪 ADC，请读者参考有关文献以获取更多资料。

最新 CMOS 工艺的快闪型 ADC 在设计上的突出特色是拥有从数百兆赫[39,40]到数吉赫[41~44]的高采样速率，并配合 5~8 位范围的有效位数。快速的 6 位 CMOS 快闪型 ADC[39~42]主要用在数据磁存储系统的读写通道一类的应用场合，这类应用速度极限正在不断提升。如文献[43]和文献[44]中介绍的快速 8 位 CMOS 快闪型 ADC 则可以用于仪器和无线/有线通信。正在商品化之中的超带宽(UWB)技术，掀起了一股开发

CMOS ADC 的高潮，其要求的精度适中，为 4～6 位，而要求的信号带宽则极大，至少要 500MHz。在本书写作时，CMOS 快闪型 ADC 是这个颇有前景的应用领域里最佳的构架选择。

由于快闪型 ADC 固有的高时钟速率、低分辨率特性，它们很少基于 SC 配置进行构建。然而，在有些电容插值或电容折叠快闪型 ADC 中，采用了多级 SC 前置运放或比较器[11]，以降低时钟馈入偏差以及等效输入偏移误差。采用多级 SC 比较器尽管可以提供较好的精度，但可能会限制快闪型 ADC 的整体速度。具体而言，当 M 个比较器级联时，时间常数近似为（假定所有比较器完全相同[11]）

167

$$\tau \cong \frac{4ML^2A_0}{3\mu_n V_{eff}} \tag{5.46}$$

其中 L 是输入晶体管的长度，A_0 是每个比较器的 DC 增益，V_{eff} 是输入晶体管的有效闸—源极电压。例如，若 $M=3$，$A_0=10$，$\mu_n=0.05\text{m}^2/\text{Vs}$，$V_{eff}=0.7\text{V}$，并且采用0.35μm 的 CMOS 工艺进行制造（相应的 L 标称长度等于 $0.35\times\sqrt{2}\approx0.495\mu\text{m}$），则根据前面的公式可以得到比较器级联产生的最小可能时间常数为 0.28ns。若假定需要 7τ 的时间，所有比较器的输出才能逼近到终值的 0.1%范围，则最大能够实现的时钟频率大约为 510MHz。

此外，随着电源电压连续地从 3.3V 降低到 2.5V、1.8V，乃至更低至 1.0V，V_{eff} 的值也将跟着下降，因而会进一步降低速度。不过在另一方面，深度的亚微米 CMOS 定标（scaling），譬如 0.18μm 甚至 0.12μm 的 CMOS 工艺，可以显著提高速度。此外，以获得最佳性能为目标，对比较器的 dc 增益（A_0）与总级数（M）二者进行折中和优化，也是一个常用的做法。

最后请注意，快闪型 ADC 的实用设计问题远不止上面列出的这些，其他的还有很多，例如*跳跃偏差*（bobble error）或*闪变偏差*（sparkle error）、时钟抖动偏差、*回闪偏差*（flashback error）等。将它们一一列全不是本书的目的，感兴趣的读者可以参考有关文献，文献[9]和文献[11]在这方面的论述就很不错。

两步型 ADC

如上一小节所述，要实现一个分辨率为 4～8 位、运行速度尽可能快的 ADC，快闪型构架显然是最佳的选择。然而，它通常需要大量的小失调比较器，消耗很大的功率。

168

两步型（two-step）ADC 在不采用减法操作时，有时也称为*分带宽*（subranging）ADC。开发这种 ADC 的初衷，是为了在数十兆赫的采样速率下提供 8～10 位的分辨率[45]。然而，在过去的几年里，由于 n 步（$n\geqslant3$）流水线型 ADC 的快速发展，以前完全由两步型 ADC 独占的市场，如今已逐渐被具有 10～15 位的高分辨率和 10MHz～80MHz 的高采样速率的新 n 步型 ADC 所蚕食。因此从市场份额的角度来看，低速两步型 ADC 已和 n 步型 ADC 重叠。

作为一种新的发展趋势，大多数最新的 CMOS 两步型 ADC[46,47] 都定位于较高的

速度性能范围，即较高的采样速率（80MHz～200MHz）和 7～9 位的中等分辨率范围。这些指标适用于无线局域网、以太网通信、仪器，以及未压缩数字视频信号的处理接口（譬如数字视频接口 DVI）等的需要。

10 位两步型 ADC 的概念性框架图如图 5.7 所示。由图可见，两步型 ADC 中镶嵌着 3 个子转换器。其中的 4 位 ADC（也称子 ADC）通常基于快闪型 ADC 构架进行实现（往往采用插值或折叠技术）；而 4 位的 DAC（或称子 DAC）则可以用类似图 5.3b 所示的温度计编码 SC DAC 来实现，或用混合型 DAC（即采用参考电阻和电容）来实现，其功能是从 4 位数字“字”中恢复出模拟信号。回顾图 5.1 所示的量化噪声提取模型，可以发现由 4 位子 ADC 引起的量化噪声（或残余量）可以用一个减法单元来获得。然后将量化噪声发送到后续的残量放大器（residue amplifier）。第 3 个数据转换器是一个快闪型结构的 7 位子 ADC。

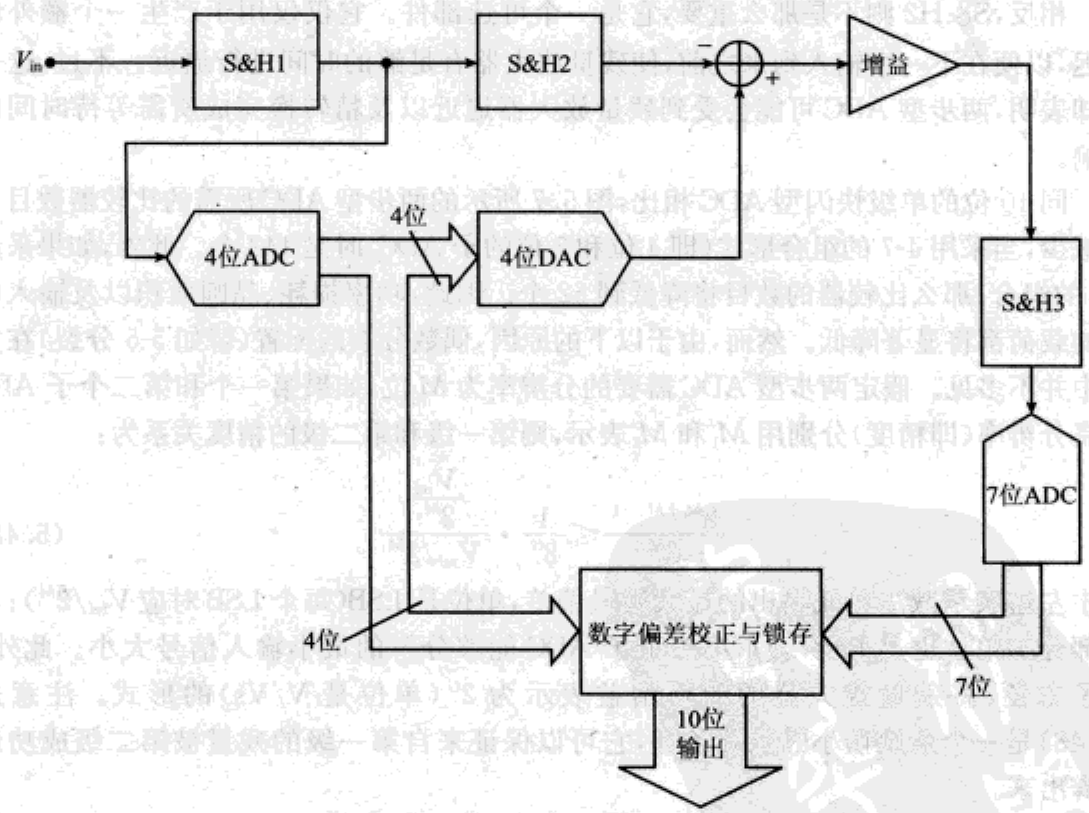


图 5.7 10 位两步型 ADC 的框架图

该 10 位的两步型 ADC 的运行原理如下。先由 4 位子 ADC 对输入信号进行粗转换（coarse conversion），所得的 4 个最高位估计值被送入偏差校正模块。与此同时，4 位 DAC 又将 4 个最高位转换成模拟信号，并将转换结果从采样保持的输入 V_{in} 中减掉。接下来，用一个增益级对减法单元的输出进行放大，放大以后的结果再由 7 位子 ADC 进行精转换（fine conversion）。所得的 7 位数字输出就是 6 个最低位的估计值，它们与数字偏差校正模块中的第一个子 ADC 的 4 位输出组合，最终的编码输出就是一个 10

位的数字信号。

在原理图中有一个标记为 S&H1 的前端 S&H 电路，它是两步型 ADC 的基本构件。没有这个 S&H，在粗转换以及减法操作的处理期间(我们将这段时间记为 t_c)，模拟输入信号的改变就不能超过 $0.5V_{LSB}$。若假定一个峰峰值电压为 V_{ref}、频率为 f_{in} 的正弦波输入电压施加在一个 M 位的两步型 ADC 的输入端，则可以求得最坏情况下的 t_c 限制为

$$t_c \leqslant \frac{V_{ref}/2^{M+1}}{(V_{ref}/2)\cdot(2\pi\cdot f_{in})}=\frac{1}{2^{M+1}\cdot\pi\cdot f_{in}} \tag{5.47}$$

如果 $M=10$，$f_{in}=20\text{MHz}$，则最大容许的 t_c 值将仅有 8ps，这将导致粗转换及减法操作无法成功完成。因此 S&H1 是必需的，不仅如此，它还必须具有不低于 M 位的精度，否则，下一级的输出将显著偏离其正确值。

170

相反，S&H2 则不是那么重要，它是一个可选部件。它仅仅用于产生一个额外的延迟，以便在下一个输入到来之前，使残量放大器有足够的时间进行逼近。不过，这一点却表明，两步型 ADC 可能会受到残量放大器逼近以及精转换完成所需等待时间的影响。

同 10 位的单级快闪型 ADC 相比，图 5.7 所示的两步型 ADC 所需的比较器数目显著减少，当采用 4-7 的组合形式(即 4 位和 7 位的子 ADC)时是 142 个。此外，如果采用 5-5 的组合，那么比较器的数目将降低到 62 个。因此，功率损耗、晶圆面积以及输入电容的载荷都将显著降低。然而，由于以下的原因，偶数分裂的配置(譬如 5-5 分裂)在实际中并不多见。假定两步型 ADC 需要的分辨率为 M 位，如果第一个和第二个子 ADC 的真分辨率(即精度)分别用 M_1 和 M_2 表示，则第一级和第二级的精度关系为：

$$\frac{2^{M_1+M_2-1}}{2^M}\leqslant\frac{1}{2^G}\cdot\frac{\dfrac{V_{ref}}{2^{M_2}}}{V_{ref}/2^M} \tag{5.48}$$

式中左边表示减法单元输出的最大残量偏差，单位是 LSB(每个 LSB 对应 $V_{ref}/2^M$)；右边部分的单位也是 LSB，表示第二个子 ADC 能够分辨的最小输入信号大小。此外，为了方便，将残量放大器的闭环增益表示为 2^G(单位是 V/Vs)的形式。注意式(5.48)是一个余地很小的充分条件，它可以保证来自第一级的残量被第二级成功地分辨出来。

经过一些整理之后，可以得到以下宽松但仍然充分的条件：

$$G=2(M-M_2)-M_1+1 \tag{5.49}$$

对于偶数分裂的配置(即 $M=10$ 及 $M_1=M_2=5$)，由上式可得 $G=6$。因此，在 10MHz 数量级的时钟速率下，残量放大器必须提供 64V/V 的闭环增益。此外还可以证明，为了保证绝对增益偏差小于 0.5 LSB，残量放大器的开环增益应该为[9,10]

$$A_{opl}=A_{cld}\left(2^{M_2+1}+1\right) \tag{5.50}$$

171

其中 A_{opl} 和 A_{cld} 分别是残量放大器的开环与闭环增益。因此，5-5 的组合所要求的开环

增益是 4160V/V，等效于 72.4dB，这在 10MHz 甚至更高的采样时钟下难以实现。换一种方案，如果取 $M_1 = 5$、$M_2 = 6$，则放大器的闭环与开环增益将分别减小为 16V/V 和 66.3dB。对于图 5.7 所示 $M_1 = 4$、$M_2 = 7$ 的情况，残量放大器的闭环增益仅为 8V/V，而开环增益则仍为 66.3dB。

有趣的是，快速计算一下 10 位实现时所有可能的组合$\{(M_1, M_2)\}$，可以看出前面所述的 4-7 和 5-6 组合是两个最佳选择，因为从稳定性以及增益带宽积的角度来看，这两个方案都极大地降低了高速残量放大器设计的难度。此外，了解下面这一点很有帮助，即第一级子 ADC 的分辨率值(M_1)可能会影响 ADC 的去伪动态幅摆范围(spurious-free-dynamic-range，SFDR)[48]。

由于新一代两步型 ADC 主要应用在无线通信及其他高速转换的场合(50MHz 以上)，所以最近人们给这类 ADC 制定了 *SFDR* 指标[48,49]。ADC 的 *SFDR* 定义为在 ADC 的输出频谱中，满刻度的基频分量与幅值最大的寄生频率分量之间的分贝差。

对于给定的 ADC，*SFDR* 往往要比信噪畸变比(*SNDR*)高，这是因为 *SFDR* 针对的主要是频谱寄生信号，它所表示的通常是量化过程中内在的非线性(即输入与量化噪声间存在的某种相关性)以及级间的增益偏差。可以证明，两步型 ADC 的 *SFDR* 依赖于其第一级子 ADC 的位数 M_1，具体关系如下：

$$SFDR \approx 9M_1 - 20\lg\varepsilon - c \tag{5.51}$$

其中 ε 是级间增益的相对偏差；c 是一个偏移值，取值范围从 0(对应低分辨率)到 6(对应高分辨率)[48]。根据这个方程，M_1 每增加一位，理论上 *SFDR* 就将增加 9dB。因此，当 *SFDR* 比 *SNDR* 更为重要时，例如对于采用前端 10 位两步型 ADC 的集成式无线接收器的场合，选择 5-6 组合就比采用 4-7 组合更好。文献[49]对式(5.51)进行了严谨的证明。

检视图 5.7 中所有的元件，可以发现：S&H1、S&H2、减法单元，以及子 DAC 等都需要 10 位的精度，而残量放大器、S&H3，以及第二个子 ADC 等则都需要 7 位的精度。第一级里面的子 ADC 仅需要使用真 4 位的快闪型 ADC，即只需要具有 4 位的分辨率和 4 位的精度(有效位数)即可，这一点要归功于 S&H1 以及数字偏差校正模块[11]。因此，在两步型 ADC 中，最关键的模拟构件是前端 S&H(即 S&H1)，它必须以高时钟速率、高精度进行采样。在文献[48]中，报告了一个简单却具有很高性能的集成式 SC S&H，它可在 CMOS 两步型 ADC 中做前端 S&H。 172

流水线型 ADC

流水线型(pipeline)ADC(或 n 步型 ADC)可以看成是两步型 ADC 的一般化产物。图 5.8 是一个 10 位的流水线型 ADC 的概念性框架图。由图可见，10 位流水线型 ADC 包括一个输入 S&H 和 9 个级联的(或流水线型的)ADC 级。在每一级中(最后一级除外，它的位数通常比其余级都要大)，输入信号先由一个子 ADC(通常是一个分辨率不高于 4 位的快闪型 ADC)转换成数字码，然后再将数字码读入到一个移位寄存器阵列。 173

与此同时，输出的数字码又由一个子 DAC(通常是一个 SC 型的或混合型的 DAC)转换回模拟信号。然后，与两步型 ADC 类似，先从输入信号中减掉以上经过量化的模拟信号，再将残余信号放大(乘以增益系数)，最后传送到下一级。

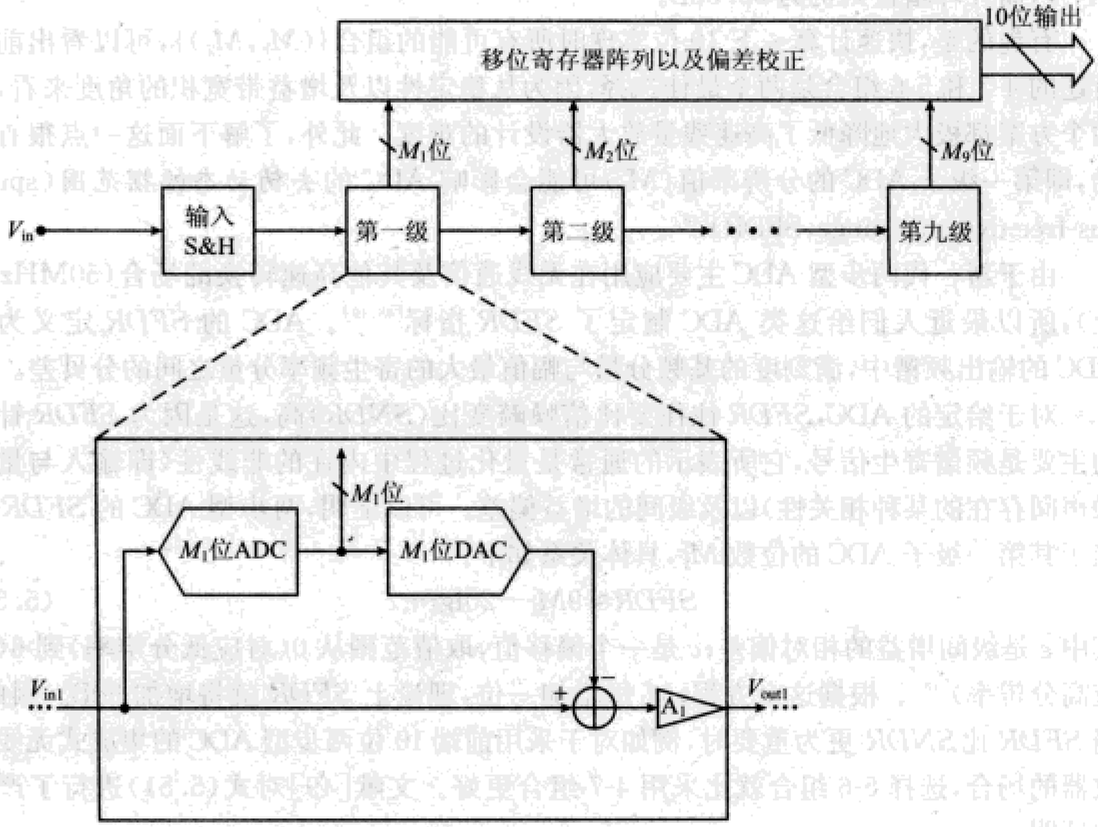


图 5.8　10 位流水线型 ADC 的框架图

从第一级到第八级的所有子 ADC(或 DAC)都按正常情况选择参数，具有相同的位分辨率(即 $M_1=M_2=\cdots=M_8$)。在实际应用中，每个子转换器的位数往往选为 1 或者 1.5。选择 1.5 的情况更为常见，因为它可以显著地降低电路的非理想性(例如比较器失调)对流水线型 ADC 性能的影响[50,51]。下面将简要介绍每级 1.5 位配置的原理。

在继续介绍之前，请注意对于一个 M 位的流水线型 ADC，其中引入了 M 个时钟周期的等待时间。这就是说，第一级的输出(即最高位)必须要等待($M-1$)个时钟周期，直到在第 M 个时钟周期中最后一级的输出(即最低位)被确定为止。

不过，所有的 9 级从来都不会停止处理新采样到的输入，即每级的理想处理速率都等于时钟速率。这表明 ADC 的整体转换速率取决于单级的运行情况，而与总的级数没有关系。因此，理想的流水线型 ADC 可以运行在很高的采样速率下，速度可以和快闪型 ADC 相媲美。不过，在实际应用中，却很少用流水线型 ADC 来替代快闪型 ADC 的位置，因为这样做的成品率极低，很不经济(S&H 及残量放大器的设计与制造都需要增加额外的成本)。

流水线型 ADC 的一个突出特征是电路的复杂性随分辨率位数呈线性增加的关系，而快闪型 ADC 和两步型 ADC 的电路复杂性是成指数增加的关系。以图 5.8 所示的 10 位流水线型 ADC 为例：如果采用每级 1 位的配置来构建第一级到第八级，而第九级采用 2 位的快闪型 ADC，那么仅需要使用 11 个比较器，这比快闪型 ADC 需要的 1023 个以及两步型 ADC 需要的 142 个都要少得多。

目前，流水线型 ADC 构架已经成为低成本（即硅片面积小、功耗低、电路可重调性和工艺可移植性高）和高性能（即高分辨率、高速度）A/D 转换应用的强有力竞争者。

下面探讨流水线型 ADC 的实现问题。在大多数情况下，每级的子转换器、减法单元及残量放大器可以组合在一起，作为单个的 SC 电路块来实现，称作**乘法型数模转换器**(multiplying digital to analog converter，MDAC)。

174

首先考虑流水线中的一级（1 位量化/级），如图 5.9 所示。为简单起见，图中绘出的是单端配置，但实际上常常使用全差分的配置，以使电路的共模性能最大化。在该原理图中，两电平的比较器“COMP”实现 1 位的子 ADC，而其数字输出 D 则依据取值的不同，或者将采样电容 C_s 连接到 $+V_{ref}$，或者连接到 $-V_{ref}$，因而实现了一个 1 位的子 DAC。

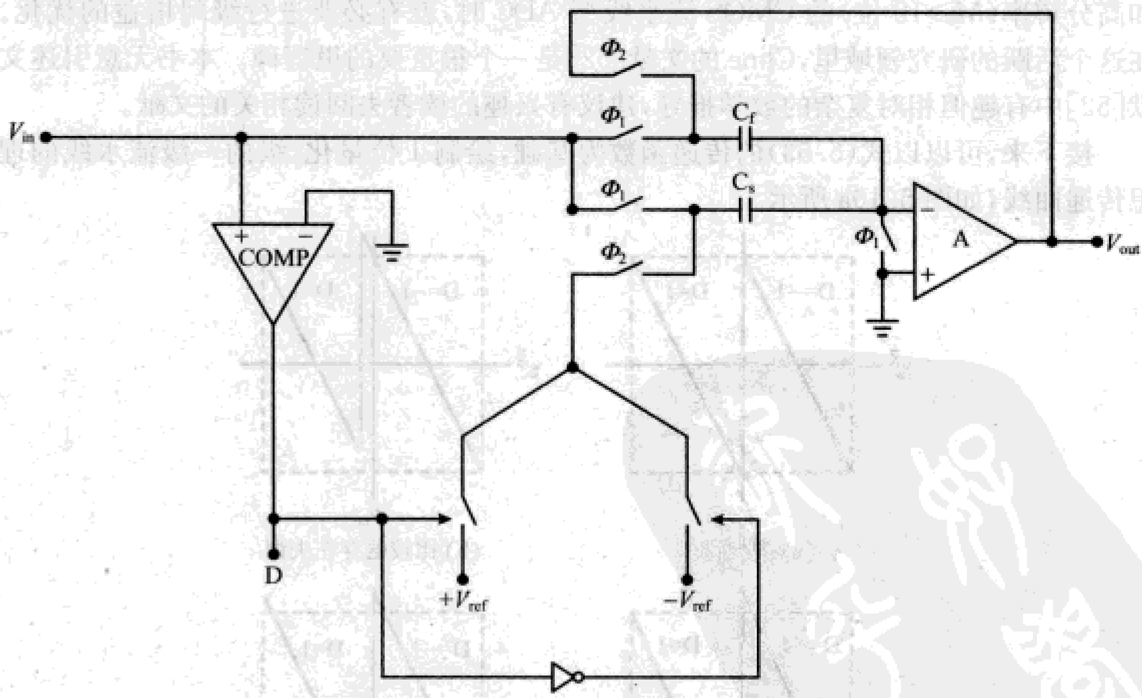


图 5.9 由 SC 电路构建而成的流水线型 ADC 的一级（1 位量化/级）

该电路运行原理如下。当 $\Phi_1=1$ 时，运放 A 重启（这里的重启开关是由运放的负输入端连接到地的，而没有连接到运放的输出端，这样做的目的是为了放宽运放的中间模式对转换速率的要求），C_s 以及反馈电容 C_f 由 V_{in} 充电。接下来当 $\Phi_2=1$ 时，C_f 和 C_s 二者耦合在一起，并且根据比较器输出 D 的不同，C_s 要么连接到 $+V_{ref}$，要么连接到 $-V_{ref}$。如果假定运放具有无穷大的增益，并且比较器没有输入偏移误差，那么 1 位量

化/级的一级流水线的输入/输出关系可以表示为：

$$V_{out}=\begin{cases}\dfrac{(C_s+C_f)}{C_f}\cdot V_{in}-\dfrac{C_s}{C_f}\cdot V_{ref}, & (\text{当}\ V_{in}>0\ \text{时})\\ \dfrac{(C_s+C_f)}{C_f}\cdot V_{in}+\dfrac{C_s}{C_f}\cdot V_{ref}, & (\text{当}\ V_{in}<0\ \text{时})\end{cases} \tag{5.52}$$

175 如果 C_s 等于 C_f，则以上函数可以重写为

$$V_{out}=\begin{cases}2V_{in}-V_{ref}, & (\text{当}\ V_{in}>0\ \text{时})\\ 2V_{in}+V_{ref}, & (\text{当}\ V_{in}<0\ \text{时})\end{cases} \tag{5.53}$$

由于对仅有1位的子ADC来讲，其量化噪声（也称残量）根据 V_{in} 极性的不同，可表示为 $(V_{in}+0.5V_{ref})$ 或者 $(V_{in}-0.5V_{ref})$，因此式(5.53)就等于将量化噪声乘以2。此外请注意，运放周围的SC电路配置实际上实现了一个S&H的功能。

为了简化分析，上面使用的级间增益是2（大多数教材、文章也是这样处理的），但请注意2并不是优化的增益系数。有报道指出，在许多存在技术挑战的应用中[51,52]，譬如在功耗受限的场合（要求模拟部分功耗小于120mW）中实现低电压（$V_{dd}\leqslant 2.5$V）和高分辨率（$M\geqslant 12$ 位）的CMOS流水线型ADC时，就有必要进行级间增益的优化。在这个活跃的研究领域里，Cline的文献[52]是一个很重要的里程碑。本书无意引述文献[52]中有趣但相对复杂的数学推导，建议有兴趣的读者去阅读相关的文献。

接下来，可以以式(5.53)的传递函数为基础，绘制1位量化/级的一级流水线的理想传递曲线，如图5.10a所示。

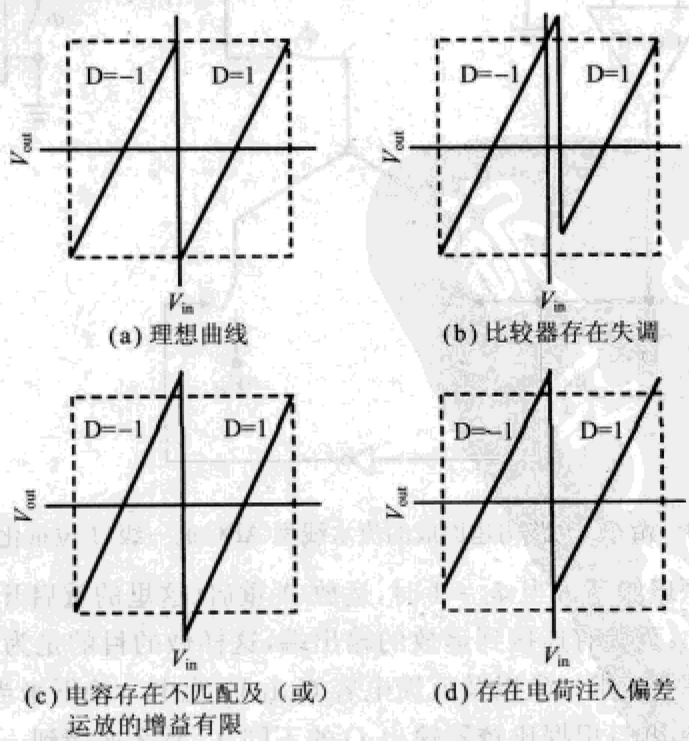


图5.10 1位量化/级的流水线型ADC的传递曲线

然而，在实际应用中，在电路中存在着比较器失调、电容失配、有限运放增益，以及电荷注入等非理想性，它们将引起实际的传递曲线偏离理想曲线。首先，如图 5.10b 所示，比较器的失调使转折点发生移位，导致残量超出下一级的分辨范围(resolvable range)，即超出图 5.10b 中矩形所限定的范围。在这种情况下，如果在确定 D 时出了错，则所输出的 V_{out} 是错误的，它可能会引起下一级再次确定出错误的 D。同样的出错模式将发生在后面的每一级中，直到最后一级为止(这有点类似多米诺效应)。 176

其次，电容不匹配与有限运放增益会引入级间增益偏差(即增益偏离 2)。级间增益偏差改变曲线的斜率，如图 5.10c 所示。最后，电荷注入偏差会导致传递曲线发生垂直偏移，如图 5.10d 所示。

从图 5.10b 到图 5.10d 可见，上述非理想性的一个共同效应是它们都会引起该级的残量超出下一级的分辨范围。这种越限(out-of-range)问题显著增大了误码的机会，是流水线型 ADC 线性度变坏的一种指示。

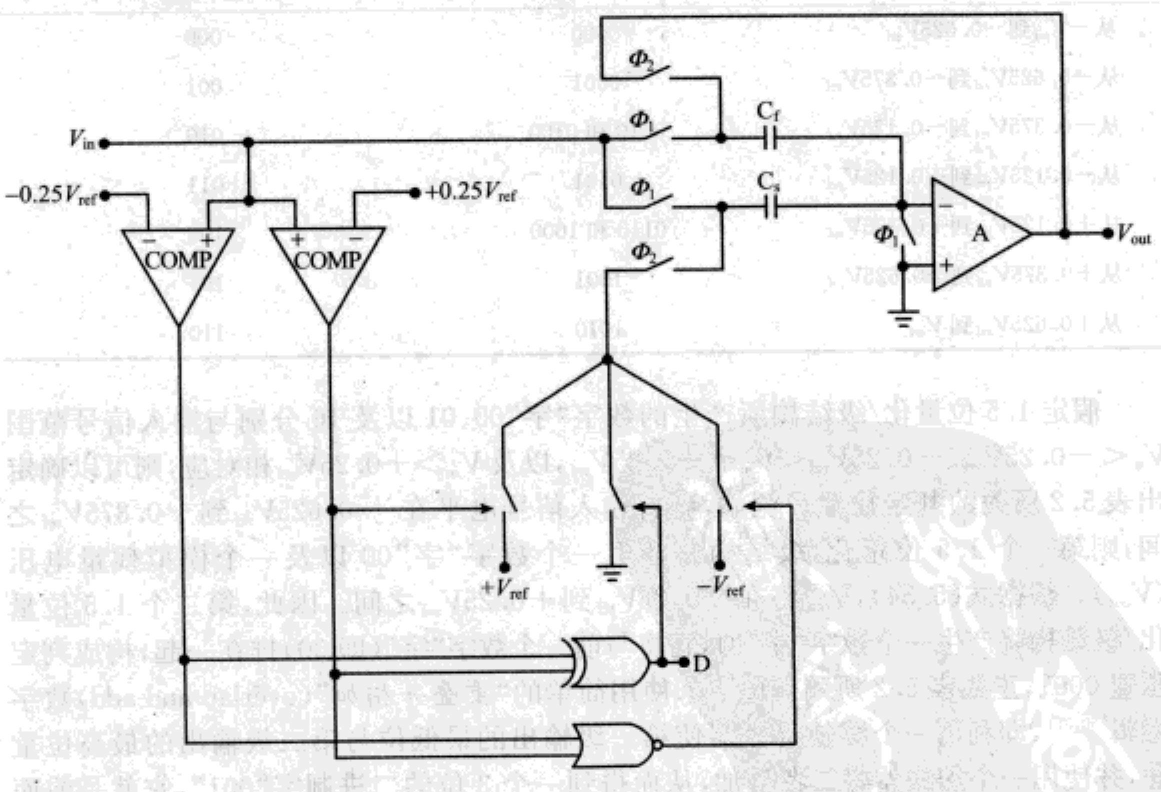


图 5.11 1.5 位量化/级的 SC 流水线型 ADC 的一级

为了缓解上述问题，可以使用图 5.11 所示 1.5 位的结构来构成流水线型 ADC 的一级。由图可见，与图 5.9 所示的 1 位量化/级的结构相比，本电路利用两个比较器，外加两个逻辑门(一个 XOR 和一个 NOR)来实现子转换器。在这种配置中，当 $\Phi_2=1$ 时，依据比较器输出的不同，C_s 可以连接到 $+V_{ref}$、$-V_{ref}$，以及地等三个电位中的某一个。类似前面 1 位量化/级的流水线型 ADC 的分析，可以得到 1.5 位量化/级的流水线 177

型 ADC 一级的输入/输出关系为：

$$V_{out}=\begin{cases}2V_{in}-V_{ref}, & (\text{当 } V_{in}>0.25V_{ref}\text{时})\\ 2V_{in}, & (\text{当}-0.25V_{ref}<V_{in}<0.25V_{ref}\text{时})\\ 2V_{in}+V_{ref}, & (\text{当 } V_{in}<-0.25V_{ref}\text{时})\end{cases} \tag{5.54}$$

其中同样假定电容 C_s 等于 C_f。式(5.54)表明，在 1.5 位量化/级的配置中，输入阈值电压(即引起传递函数发生变化的输入信号电平)不再位于原点，而是有了两个输入阈值电压：一个位于 $+0.25V_{ref}$ 处，另一个位于 $-0.25V_{ref}$ 处。此外，前述函数也意味着，1.5 位量化/级的结构提供了三个待确定的电平，而 1 位量化/级的结构只提供了两个电平。下面讨论 1.5 位量化/级结构的工作原理。考虑一个由两级 1.5 位量化/级结构级联构成的 3 位流水线型 ADC。在表 5.2 中，列出了从输入信号电平到对应的 3 位二进制输出码之间的映射。

表 5.2　V_{in} 到 3 位二进制输出的映射

V_{in}	判定位置	3 位二进制码
从 $-V_{ref}$ 到 $-0.625V_{ref}$	0000	000
从 $-0.625V_{ref}$ 到 $-0.375V_{ref}$	0001	001
从 $-0.375V_{ref}$ 到 $-0.125V_{ref}$	0010 和 0100	010
从 $-0.125V_{ref}$ 到 $+0.125V_{ref}$	0101	011
从 $+0.125V_{ref}$ 到 $+0.375V_{ref}$	0110 和 1000	100
从 $+0.375V_{ref}$ 到 $+0.625V_{ref}$	1001	101
从 $+0.625V_{ref}$ 到 V_{ref}	1010	110

假定 1.5 位量化/级结构所产生的数字“字”00、01 以及 10 分别与输入信号范围 $V_{in}<-0.25V_{ref}$、$-0.25V_{ref}<V_{in}<+0.25V_{ref}$，以及 $V_{in}>+0.25V_{ref}$ 相对应，则可以确定出表 5.2 所列的判定位置。例如，假若输入信号电平在 $-0.625V_{ref}$ 到 $-0.375V_{ref}$ 之间，则第一个 1.5 位量化/级结构将产生一个数字“字”00 以及一个模拟残量电压(V_{out})。根据式(5.54)，V_{out} 将在 $-0.25V_{ref}$ 到 $+0.25V_{ref}$ 之间。因此，第二个 1.5 位量化/级结构将产生一个数字“字”01，它将与前一个数字“字”(即 00)排在一起，构成判定位置 0001，正如表 5.2 所列。接下来使用简单的“重叠并相加”(overlap-and-add)数字逻辑[50,51]，即利用一个移位寄存器使第一级输出的最低位与第二级输出的最高位重叠，并使用一个加法器将二者相加，从而得到一个 3 位的二进制字“001”，它就是前面所述 $-0.625V_{ref}$ 到 $-0.375V_{ref}$ 之间的输入信号的最终数字输出。

然而，当输入信号位于 $-0.375V_{ref}<V_{in}<-0.125V_{ref}$ 时，由于该范围中包含了一个输入阈值 $-0.25V_{ref}$，因此根据输入信号到底属于该阈值的哪一侧，就可以得到判定位置 0010 或 0100。具体来讲，如果输入信号位于 $-0.375V_{ref}<V_{in}<-0.25V_{ref}$，则所得的判定位置是 0010；相反，若位于 $-0.25V_{ref}<V_{in}<-0.125V_{ref}$，则判定位置是 0100。不过很容易看出，这两个判定位置将导出相同的 3 位二进制码(即 010)。换而言之，对

178

于靠近阈值电压的输入电平 V_{in}（即位于 $-0.375V_{ref}<V_{in}<-0.125V_{ref}$），虽然在每个1.5位量化/级结构中由比较器对其做出的判断将可以通往两个不同的方向，但这不会影响最后的数字输出以及 ADC 的整体精度。同样的道理也适用于 $+0.125V_{ref}<V_{in}<+0.375V_{ref}$ 的情况。对于流水线型 ADC 的设计而言，这正是所需要的特征。因为利用这一特征，可以建造出对判定位置的错误不敏感的 ADC，而判定位置的错误主要源自比较器的直流电压失调，因此这一特征可以极大地降低比较器的设计难度。

不幸的是，尽管按 1.5 位量化/级的配置建造的流水线型 ADC 通常对比较器的偏移误差不敏感，它们仍然会受到有限运放增益、电容失配以及电荷注入等引起的非线性偏差的困扰。例如，若假定 MDAC 中使用的运放具有有限的增益 A，那么前面推得的传递函数式(5.54)可以重写为：

$$V_{out}=\begin{cases}(2V_{in}-V_{ref})\cdot\left(1-\dfrac{2}{A+2}\right), & (\text{当 } V_{in}>0.25V_{ref}\text{ 时})\\ 2V_{in}\cdot\left(1-\dfrac{2}{A+2}\right), & (\text{当 } -0.25V_{ref}<V_{in}<0.25V_{ref}\text{ 时})\\ (2V_{in}+V_{ref})\cdot\left(1-\dfrac{2}{A+2}\right), & (\text{当 } V_{in}<-0.25V_{ref}\text{ 时})\end{cases}\tag{5.55}$$

因此，级间增益偏离了其理想值（这种情况下的理想值为 2），偏差是 $4/(A+2)$。注意式(5.55)并没有考虑 C_s 和 C_f 之间的不匹配，在实际应用中，由于级间增益极大地依赖于这两个电容的比值（此处假定没有采用与电容比脱离关系的技术[26]），因此 C_s 和 C_f 之间的不匹配影响不可忽略。

179

为了消除有限运放增益和电容失配误差等引起的级间增益偏差，人们提出了许多技术，例如，在 5.3 节中介绍的模拟校准/校正技术（请参见 5.3 节）。然而，它们主要用来抵消电容失配误差，并且还需要额外的模拟器件以及更为复杂的电路设计。

目前，在流水线型 ADC 的各种精度增强技术中，最突出的一项是数字自校准(digital self-calibration)技术[51,52]。该技术的关键在于，让 ADC 在数字域中对其自身的增益偏差以及其他的非线性偏差进行测量和校正。传统的电容微调技术是在模拟域中，利用一个微调电容来测量偏差。与此不同，数字自校准技术采用 1.5 位量化/级的配置来记录每级的数字输出，估算平均的级间增益偏差，并利用简单的数字逻辑来消除偏差[51]。由于功能强大的数字信号处理器的功劳，数字自校准技术通常在技术上是可定标的，并且对工艺以及环境/温度变化不敏感。

然而，类似电容微调技术，数字自校准技术也是一种前端校准方法[51,52]，因为测量和校准是按串联时序进行安排的。在实际应用中，数字自校准通常在加电或待命模式下进行，以避免中断正常的 A/D 转换。

自 20 世纪 90 年代末以来，出现了许多后端校准技术，它们将校准过程与标准A/D转换过程分开，并同时处理这两个过程。一个比较直接的方案是用一个专用的冗余级来替换正处于校准中的流水线级，这一点类似于电流模式 DAC[18] 和 SC DAC[33] 的校准方法。然而，其代价是需要更大的硅片面积、更高的功耗，更重要的是速度也会受到

影响。

许多最新的流水线型 ADC 都将相关性算法整合到后端校准方法中[53~55]。其基本理念是：首先利用一个形如{+1,0,−1,0,+1,…}的有符号二进制伪随机序列，对模拟输入信号进行调制（其中的伪随机序列可以用多个 D 触发器和一个反馈异或门来产生）；接下来让经过调制的输入信号通过流水线的各级；然后在数字域中，将 ADC 的输出信号与前面所用的同一个有符号二进制伪随机序列相乘，从而从输出信号中抽取（或解调出）包括增益偏差在内的非线性偏差；最后简单地从 ADC 的输出中减去这些偏差，即可达到抵消偏差的目的。这样就无需增加额外的模拟电路模块。

180

由于其有效性和简单性，基于相关性的校准方法已经成为高性能数据转换器领域中一个流行的研究课题，无论是工业界还是学术界都是如此。例如，在 ΔΣ 调制器中，多位量化器的使用将引起非线性 DAC 偏差，目前已有一些工作（例如文献[7]的工作）对采用基于相关性的校准方法来抵消这种偏差的可行性做了研究。

作为流水线型 ADC 精度增强技术的最后一个说明，我们应该清楚前面提到的 1.5 位量化/级的设计并不是惟一的选择。我们也可以将第一级设计成多位，而将其余各级或者设计成 1 位量化/级，或者设计成 1.5 位量化/级。直观地讲，第一级的位数（即分辨率）越高，可达到的精度就越高，ADC 的性能对数字校准的依赖就越少。此外，采用多位的第一级将有助于降低流水线的总级数，因此可以减小 ADC 的总功率损耗[56]。

然而，可以看到，在第一级采用多位子 ADC（通常是快闪型 ADC）将会导致较大的输入容性负荷，这是因为需要使用更多的输入比较器。在这种情况下，ADC 的输入 S&H 电路必须有能力驱动这么大的容性负荷，因而总功耗将会增加。不仅如此，多位的第一级还要求残量放大器具有大的增益和大的带宽，来降低对后续各级精度的要求。换而言之，第一级的分辨率需要优化，以在分辨率、电路复杂性以及功耗之间达成折中。文献[57]介绍了一个具有 4 位第一级无需校准的流水线型 ADC，极有意义。

总的来讲，实现高性能流水线型 ADC 有许多方案。最佳 ADC 的选择不是绝对的，它在很大程度上取决于具体的应用场合以及可获得的工艺。在实际应用中，采用质量因数（*FOM*）来评估 ADC 的性能比较方便。流水线型 ADC 在高速、高分辨率场合极其有用，为了评估其性能，常采用以下的质量因数定义：

$$FOM=\frac{\text{功率}\times V_{dd}}{2^{ENOB}\cdot f_{clk}} \tag{5.56}$$

其中 V_{dd} 是电源电压，f_{clk} 是系统时钟频率，*ENOB* 是有效位数。式中算得的 *FOM* 越小，ADC 就越适合需要高速、高分辨率的应用场合。

181

循环型 ADC

循环型（cyclic）A/D 转换器也称算法型（algorithmic）ADC，跟 5.3 节介绍的循环 D/A 转换器一样，它也采用同一个模拟电路按循环的方式进行转换。因此循环型 ADC 通常用于要求低功耗、小芯片面积的应用场合。

图 5.12 所示是一个 *M* 位的循环型 ADC 的概念性原理图。注意，如果去掉从减法

单元到输入采样开关的反馈，循环型 ADC 就几乎跟图 5.9 所示 1 位量化/级流水线型 ADC 的一级一模一样。

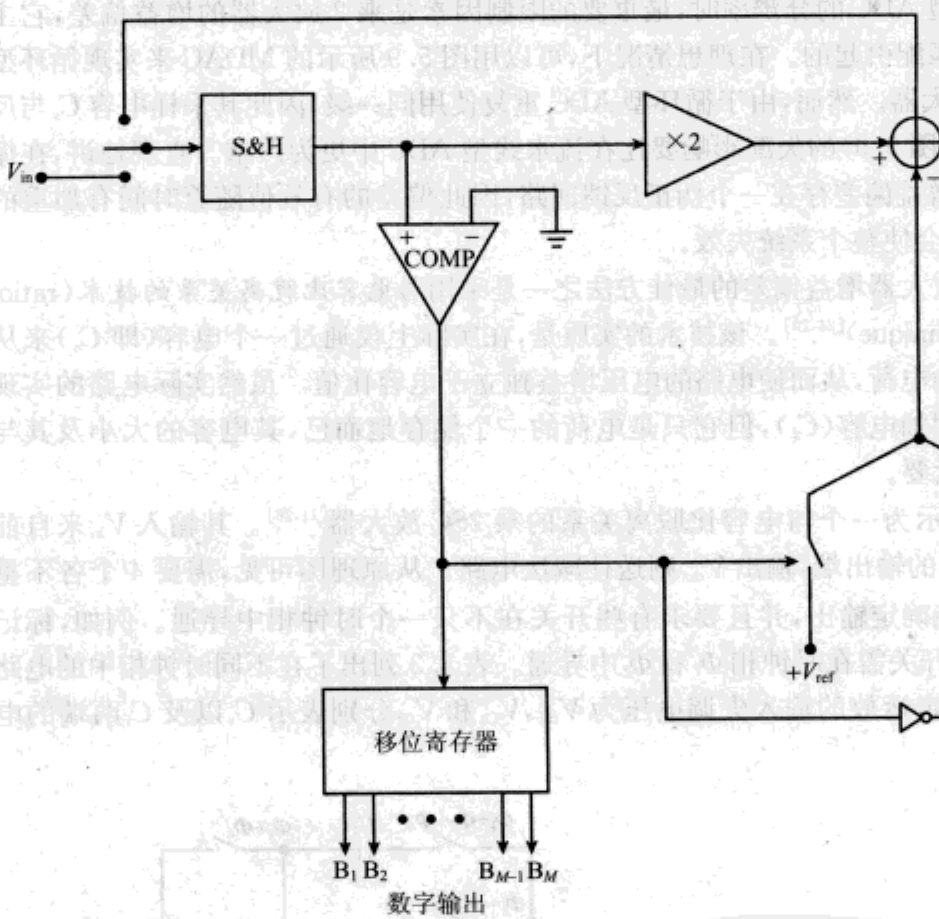


图 5.12 循环型 ADC

循环型 ADC 的运行原理如下。在重启后的第一个周期中，前端 S&H 对输入 V_{in} 进行采样，并与 0V 进行比较。比较的结果是符号位被读到移位寄存器中。在下一个周期中，所保持的 V_{in}（或者说 $V(1)$）由残量放大器乘以 2，然后再从所得结果中减去 $+V_{ref}$ 或 $-V_{ref}$，具体减去哪个则由比较器的输出 $B(1)$ 决定。例如，若假定比较器的输出是 1（即 $V(1) > 0\text{V}$），那么残量电压将为 $V(2) = 2V(1) - V_{ref}$。接下来，前端 S&H 对 $V(2)$ 进行采样，并重复前面的过程，以确定出最高位和新的残量电压 $V(3)$，它要么是 $[2V(2) - V_{ref}]$，要么是 $[2V(2) + V_{ref}]$，具体由比较器的输出 $B(2)$ 决定。这种递归的操作将一直持续下去，直到所有 M 位（从最高位到最低位）全部确定为止。可见，这个 ADC 的运行遵从以下的算法[24,26,27]：

$$V(i+1) = 2V(i) + (-1)^{b_i} V_{ref}\text{，其中 } i = 1,2,\cdots,M \text{ 和 } b_i = \begin{cases} 1 & \text{如果} \quad V(i) \geq 0 \\ 0 & \text{如果} \quad V(i) < 0 \end{cases} \tag{5.57}$$

从式中可以看出，循环型 ADC 工作在串行方式之下，因此它是一个串行 ADC，这跟并

182

行的快闪型ADC、串入并出(serial-in-parallel-out)的两步型及流水线型ADC不同。因此,标准的循环型ADC通常都运行在5kHz~500kHz范围内的低采样速率之下。

谈到循环型ADC的分辨率时,最重要的限制因素是乘2放大器的增益偏差,它主要是由电容不匹配引起的。在理想情况下,可以用图5.9所示的MDAC来实现循环型ADC的乘2放大器。然而,由于循环型ADC重复使用同一级,因此其采样电容C_s与反馈电容C_f(参见图5.9)的失配影响要比在流水线型ADC中更为严重。直观地讲,在循环型ADC中,增益偏差存在一个伪正反馈回路,因此偏差的有效值随着时间有加重的趋势,最终可能会使整个系统失效。

解决乘2放大器增益偏差的最佳方法之一是采用与电容比脱离关系的技术(ratio-independent technique)[24,26]。该技术的实质是,在实际上仅通过一个电容(即C_s)来从输入往输出传输电荷,从而使电路的电压增益独立于电容比值。虽然实际电路的实现需要使用一个附加电容(C_f),但它只是电荷的一个储存地而已,其电容的大小及其与C_s的关系无关紧要。

图5.13所示为一个与电容比脱离关系的乘2SC放大器[11,26]。其输入V_{in}来自前面的前端S&H的输出端,输出V_{out}则送往减法电路。从原理图可见,需要4个各不重叠的时钟相才能确定输出,并且要求有些开关在不只一个时钟相中导通。例如,标记$\Phi_1+\Phi_2$就表示开关需在时钟相Φ_1和Φ_2中导通。表5.3列出了在不同时钟相中的电路电压值(其中假定运放的输入失调电压为V_{off},V_{Cs}和V_{Cf}分别表示C_s以及C_f两端的电压)。

183

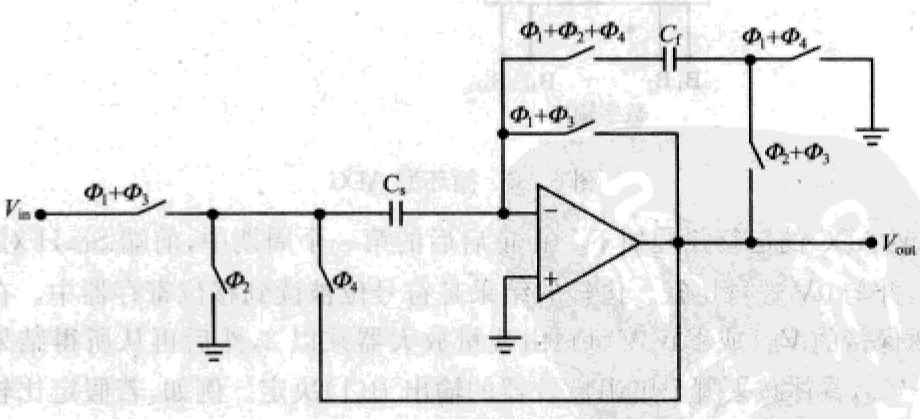


图5.13　与电容比脱离关系的乘2SC放大器

表5.3　图5.13所示电路的运行情况

电压	Φ_1相	Φ_2相	Φ_3相	Φ_4相
V_{Cs}	$V_{in}-V_{off}$	$-V_{off}$	$V_{in}-V_{off}$	$2V_{in}-V_{off}$
V_{Cf}	V_{off}	$V_{off}-V_{in}(C_s/C_f)$	$V_{off}-V_{in}(C_s/C_f)$	V_{off}
V_{out}	V_{off}	$V_{in}(C_s/C_f)$	V_{off}	$2V_{in}$

比较图 5.13 和表 5.3,并应用电荷守恒原理,可以看出该电路的运行包括以下 4 步:

第 1 步 由 C_s 对输入进行采样;

第 2 步 将 C_s 上的电荷储存到 C_f 上;

第 3 步 由 C_s 对输入进行第二次采样;

第 4 步 将 C_f 中储存的电荷输送回 C_s,得到等于 $2V_{in}$ 的输出电压。

此外可以证明,这个电路对运放的输入失调是不敏感的。

如我们所见,需要 4 个时钟周期来完成一次乘法。因此,一个 M 位的循环型 ADC 至少需要 $4M$ 个时钟周期来完成一次 M 位的转换(运放逼近特性的非理想性可能还会引起时间的增加)。例如,从理论上讲,一个 14 位的循环型 ADC 将需要 56 个时钟周期来确定一个 14 位的字。

184

在文献[27]中介绍了一个对失调不敏感的乘 2SC 放大器,它可以在 3 个时钟周期内完成一次乘法。不过,其转换时间的减少是有代价的,即 SC 放大器中所需的电容是三个而不是两个。

此外,上面提到的两种乘 2 放大器都会受到运放增益不足(或者说有限运放增益)的影响。如果运放增益不够大,运放的负输入端就不可以看成虚地,因而将多出一个增益偏差。Chin 和 Wu 在文献[28]中介绍了一种增益不敏感且与电容比脱离关系的 SC 放大器,可以解决这个增益偏差问题。他们声称,对于 M 位的循环型 ADC,他们的设计使运放所需的最小线性增益从 $(6M+16)$dB 降低到了 $(3M+6)$dB,其代价是完成一次完整的转换至少需要 $7M$ 个时钟相。例如,14 位的循环型 ADC 所需的最小运放 dc 增益仅为 48dB,但完成一次 14 位的转换至少需要 98 个时钟周期。

如何实现 CMOS 循环型 ADC,使之既具有高分辨率(10~14 位),又能运行在高采样速率(500kHz~5MHz)下,是一个热门的研究课题。Kitagawa 等人在文献[58]中报道的研究结果很值得关注,他们实现了一个 10 位的 CMOS 循环型 ADC,时钟频率为 3MHz。

逐次逼近型 ADC

逐次逼近型 ADC 常被看成是循环型 ADC 的对偶形式,因为它也仅使用一个转换级。然而,不同于循环型 ADC 将残量电压 $V(i)$ 乘 2 的原理,逐次逼近型 ADC 是将有效的搜索空间减半来确定每个位的。图 5.14 为逐次逼近型 ADC 的一个概念性框架图。

该 ADC 的运行原理如下。在重启后的第一个周期里,前端 S&H 对输入 V_{in} 进行采样,并与 0V 进行比较,所得结果是符号位,被读到逐次逼近寄存器(SAR)中。接下来,SAR 将 DAC 的输出设置为 $0.5V_{ref}$,并将它与 V_{in} 进行比较。假若比较器的输出为 1(即 $V_{in}>0.5V_{ref}$),则 SAR 将确定出最高位为 1,并且 DAC 的输出将变成 $0.75V_{ref}$。否则,MSB 将为 0,DAC 的输出将变为 $0.25V_{ref}$。假定需比较 $0.75V_{ref}$ 与 V_{in} 来确定下一位,那么 SAR 既可以将 DAC 的新输出设置为 $0.875V_{ref}$,也可以设置为 $0.625V_{ref}$,具体

取决于比较器的当前输出。这个过程将以这种方式继续下去，直到 SAR 确定出从最高位到最低位的全部 M 位为止。

185

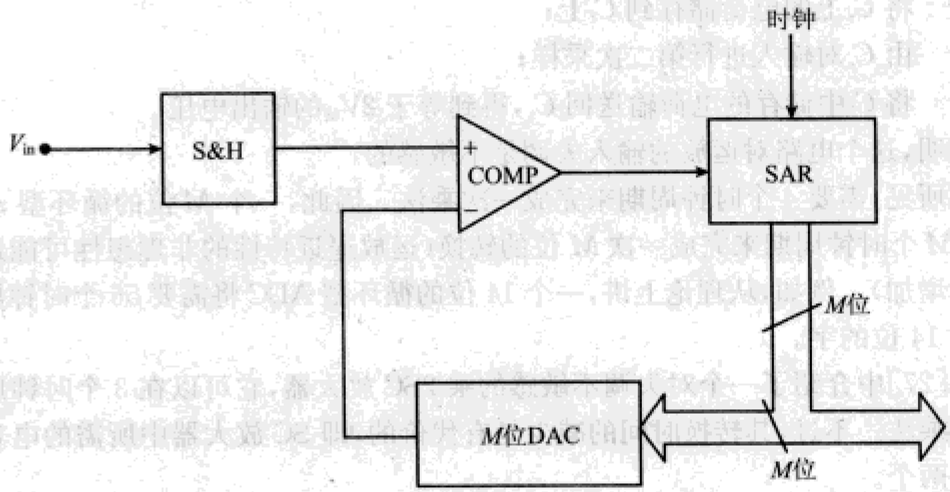


图 5.14　逐次逼近型 ADC

用一句话概括就是，在每个时钟周期里，SAR 都将搜索空间一分为二，以便从中确定出一个位。结果，需要 M 个时钟周期才能完成一次 M 位的转换。同循环型 ADC 相比，逐次逼近型 ADC 通常具有较快的转换速度。

在图 5.14 所示的逐次逼近型 ADC 中，最关键的模拟电路块是其中的 M 位 DAC，它的性能直接影响到 ADC 的精度和速度。实现这个 DAC 最常用的方法是采用 McCreary 等提出的二进制权电荷再分配型 DAC[59]。

二进制权电荷再分配型 DAC 的一个主要缺点是其需要较大的硅片面积来布置电容。一般来讲，一个 M 位的电荷再分配型 DAC 需要 $(M+1)$ 个电容，所需的总电容量为

$$C_{total}=\sum_{i=0}^{M}2^{i}C \tag{5.58}$$

其中 C 是基本单元电容。此外，当 ADC 在高采样速率下运行时，电容越大，损耗的功率也就越大。

图 5.15 所示 SC DAC 仅需要 3 个基本单元电容（跟所需的分辨率无关）[60]，其面积利用率高，可以作为二进制权电荷再分配型 DAC 的替代方案。这三个电容（C_1、C_2、

186

C_3）的标称电容值都等于 C。图中标记为 Φ_r 的开关仅在重启模式下导通。Φ_x 和 Φ_y 的通断操作则由 SAR 的数字输出（或者说由 D）控制，具体控制方法如下：

$$\begin{cases}\Phi_x=D\cdot\Phi_1+\overline{D}\cdot\Phi_2\\ \Phi_y=\overline{D}\cdot\Phi_1+D\cdot\Phi_2\end{cases} \tag{5.59}$$

换而言之，这两个开关既有可能在 Φ_1 也有可能在 Φ_2 期间导通，具体取决于 D 的数值。例如，若 $D=1$，则开关 Φ_x 将仅在 $\Phi_1=1$ 期间导通，开关 Φ_y 将仅在 $\Phi_2=1$ 期间导通。

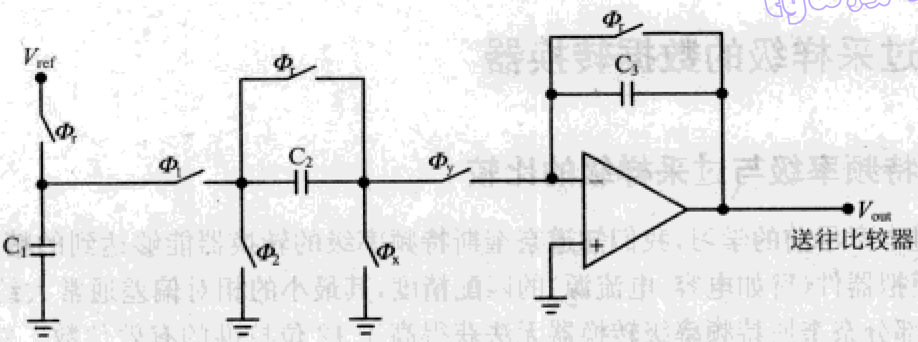


图 5.15 高面积利用率的 SC DAC

SC DAC 的运行原理如下。在重启模式时,电容 C_1 由 V_{ref} 充电,同时 C_2 和 C_3 放电。接下来,$\Phi_1=1$,SAR 输出的第一个数字被强制为 1(作为符号位)。结果,Φ_x 开关导通,C_1 的电荷被 C_2 分享。在 $\Phi_2=1$ 之前,C_1 和 C_2 两端的标称电压都将逼近到 $0.5V_{ref}$。然后 $\Phi_2=1$,D 仍然保持为 1;结果开关 Φ_y 导通,C_2 上的电荷被储存到反馈电容 C_3 上,从而得到一个正的输出电压,大小为 $0.5V_{ref}$。

在下一个 Φ_1 周期中,根据 SAR 的第二个数字输出(D)的不同,开关 Φ_x 或者开关 Φ_y 将会导通。例如,如果接下来的 D 等于 0,这意味着 V_{in} 小于 $0.5V_{ref}$,因此开关 Φ_y 导通,而 Φ_x 不导通。结果,C_1 上储存的电荷(即 $0.5V_{ref}C_1$)被 C_2 共享,与此同时,C_2 上新增电荷的一个负拷贝被传递到 C_3 上。这样一来,所得的输出电压就等于($0.5V_{ref}-0.25V_{ref})=0.25V_{ref}$。相反,如果接下来的 $D=1$ 而不是 0,则所得的输出电压将等于 $0.75V_{ref}$。这一过程将按同样的方式持续下去,直到第 M 个输出电压确定为止。总而言之,完成 M 位转换需要 M 个时钟周期。

然而,跟许多其他 SC 奈奎斯特频率级数据转换器一样,上述的 SC DAC 也同样会受到电容失配、非理想性(如输入失调、有限增益等)、寄生电容,以及电荷注入等电路缺陷的危害。虽然后面两个的影响可以通过采用全差分结构及更加小心地进行布线等技术而得到减小,但其余因素的影响却不能轻易消除。5.3 节曾介绍,电容失配引起的偏差可以使用模拟或数字校准来消除。此外,运放非理想性引起的问题则可以采用自动归零和相关型双采样[61]等高级技术来进行有效解决。在第 7 章将对这些精度增强技术进行深入的分析。

在结束本节之前,注意还有一些其他的奈奎斯特频率级的 ADC,也可以用 SC 技术来实现,例如积分型 ADC(integrating ADC)[或称增量型 ADC(increamental ADC)]和时间交叠型 ADC(time-interleaved ADC)等,其中前者是速度最低的一种 ADC,而后者则是速度第二快的一种 ADC(尽管速度界限变得越来越模糊,但其速度可以说是介于快闪型 ADC 和两步型 ADC 之间[47])。为简短起见,本书不分析这些 ADC 的特性。作为 SC 实现的经典实例,增量型 ADC 可以参考文献[62],时间交叠型 ADC 可以参考文献[63]。

5.5 过采样级的数据转换器

奈奎斯特频率级与过采样级的比较

通过本章早前的学习，我们知道奈奎斯特频率级的转换器能够达到的精度受限于电路中模拟器件（譬如电容、电流源）的匹配精度，其最小的相对偏差通常大约 0.02%。因此，大部分奈奎斯特频率级转换器无法获得高于 12 位校准的有效位数。然而，像数字音频和仪器之类应用所需的数据转换器，往往要求高达 20 位甚至 24 位的有效位数。积分型数据转换器是精度最高（但速度最慢）的奈奎斯特频率级数据转换器，但就算有效地对它进行校准，也很难实现高达 24 位的精度。

与奈奎斯特频率级数据转换器不同，过采样级数据转换器能够实现超过 20 位的有效位数，却无需任何特殊的校准电路，不过其付出的代价是要采用远高于奈奎斯特频率级的采样速率（通常高 16～512 倍）。换而言之，过采样数据转换器是用速度来换精度。

188

此外，在奈奎斯特频率级 ADC 中，带外不需要的信号往往会出现在所需信号的截止频率附近。因此常常需要在 ADC 之前使用一个高选择性的抗混叠滤波器（AAF）。相反，过采样 ADC 采用远高于信号截止频率的采样频率，因此混叠的可能性极小，没有强制要求采用高阶 AAF。不仅如此，还可以利用采样抽取滤波器来为过采样 ADC 的输出提供额外的低通滤波功能，这种采样抽取滤波器可以很容易地在数字域中实现。一句话，过采样技术降低了对抗混叠滤波器选择性的要求。

奈奎斯特频率级与过采样级数据转换器间的另一个重要差别是，奈奎斯特频率级转换器没有记忆能力，而过采样级转换器有记忆能力。具体来讲就是，奈奎斯特频率级转换器给每个瞬时输入产生一个输出，每个都跟前面的输入无关，而过采样级转换器的每个输出依赖于前面的所有输入。

在 5.2 节曾讨论过，在 ADC 中，量化噪声源于信号的模糊性，即存在这样一种情况，ADC 会将无法区分的多个模拟输入电平转换成同一个数字码。直观地讲，ADC 确定数字输出时所考虑的输入采样越多，ADC 在精度上的模糊性的影响就越不严重（这种模糊性影响的定量描述就是量化噪声）。这一点定量地解释了为什么增加过采样率（*OSR*）就可以增加信号量化噪声比（signal-to-quantiztion-noise-ratio，*SQNR*）。在传统上，过采样率 *OSR* 定义如下（f_s是采样频率，f_0是信号带宽）：

$$OSR=\frac{f_s}{2f_0} \tag{5.60}$$

类似于式(5.20)的推导，可以发现量化噪声近似于一个在$[-0.5V_{LSB},+0.5V_{LSB}]$上均匀分布的随机序列，相应的噪声功率为：

$$\sigma_p^2=\frac{1}{V_{LSB}}\int_{-0.5V_{LSB}}^{+0.5V_{LSB}} q^2\,dq=\frac{V_{LSB}^2}{12} \tag{5.61}$$

基于大家熟知的量化噪声的白噪声假定(white-noise assumption)[64],假定量化噪声的功率谱密度在$-0.5f_s \sim +0.5f_s$之间的频率范围内是均匀分布的。从频域的观点来看,在本质上过采样所做的就是定义一个相当小的信号带宽,其范围是从$-(0.5/OSR)f_s$到$+(0.5/OSR)f_s$。结果,仅有一小部分噪声功率被包括在信号带宽中,并被计入到SNR的计算中(目前我们假定量化噪声是系统中的主要噪声来源,因此可以利用术语SNR来代替$SQNR$)。或者说,可以这样来看待过采样,它等效于对量化噪声功率沿频谱进行拉伸(假定信号带宽固定为f_0),因此降低了信号带内的噪声功率。 189

由于假定整个频谱上的噪声功率是常数(即跟白噪声类似),因此可以将前面提到的小部分噪声功率写成:

$$\sigma_p^2\Big|_{\text{过采样的}} = \frac{V_{LSB}^2}{12}\cdot\frac{1}{OSR} \tag{5.62}$$

所以根据式(5.20)可得:

$$SNR\Big|_{\text{过采样的}} = 6.02M + 1.76 + 10\lg(OSR) \tag{5.63}$$

式中的最后一项表示因过采样操作而获得的SNR改善。注意OSR每次翻倍,最大SNR都将增加3dB,或等效地讲,它具有0.5位/倍频程的有效位数($ENOB$)增益。

不过在大多数情况下,直接靠过采样来达到高SNR是不切实际的。例如,若假定采用1位的量化器(即$M=1$)来获得86dB的SNR(即14位),那么根据前面的方程可以发现,所需要的OSR大约是66 374 307。如果所需的奈奎斯特频率等于10kHz,那么所需的时钟采样频率将高达663.74GHz! 可以想像,若所需的分辨率是20位,那么采样频率将高得不可思议。

因此,为了能够真正实现高分辨率的数据转换器,单纯的过采样技术是不合适的,还需要在结构上进行重大调整,以提供更加显著的SNR提高。这种调整技术就是*噪声整形*(noise shaping),也称*环路滤波*(loop filtering),这是下一小节将要研究的问题。

噪声整形与稳定性

在具有噪声整形能力的过采样级数据转换器中,噪声整形操作是由人们熟知的$\Delta\Sigma$调制器(delta-sigma modulator)来完成的。$\Delta\Sigma$调制器使用负反馈来抑制带内的量化噪声功率,因而改善了SNR性能。 190

$\Delta\Sigma$调制器的概念性框架图如图5.16所示。需要指出的是,跟前面一样,这里也采用可叠加的白噪声假定[64],即假定量化噪声q是独立于主输入信号u的,并且在$[-0.5V_{LSB}, +0.5V_{LSB}]$上是均匀分布的。

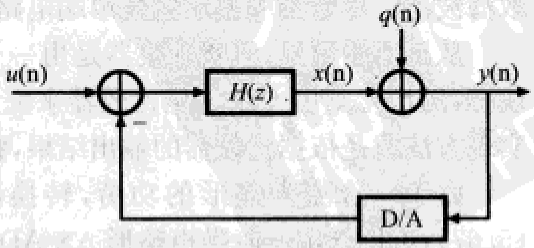


图5.16 $\Delta\Sigma$调制器的框架图

注意在图5.16中,量化器被近似为一个加法器,即忽略量化过程中固有的非线性特性(这种特性在讨论两步型ADC时曾经提到

过)。因此,图 5.16 所示的模型常被称作 ΔΣ 调制器的线性化模型。

基于 ΔΣ 调制器的线性化模型,可以利用 z 域分析来探讨噪声整形的原理。首先,我们可以将调制器输出的 z 域表达式 $Y(z)$ 写成如下形式:

$$Y(z)=STF(z)\cdot U(z)+NTF(z)\cdot Q(z) \tag{5.64}$$

其中 $U(z)$ 和 $Q(z)$ 分别是输入信号和量化噪声的 z 域表达式,$STF(z)$ 是信号传递函数,$NTF(z)$ 则是量化噪声的传递函数。从以上方程中求解 $STF(z)$ 和 $NTF(z)$,可以得到用 $H(z)$ 来表示它们的表达式如下:

$$\begin{cases} STF(z)=\left.\dfrac{Y(z)}{U(z)}\right|_{Q(z)=0}=\dfrac{H(z)}{1+H(z)} \\ NTF(z)=\left.\dfrac{Y(z)}{Q(z)}\right|_{U(z)=0}=\dfrac{1}{1+H(z)} \end{cases} \tag{5.65}$$

其中 $H(z)$ 是环路滤波器的传递函数。如果假定 $H(z)$ 由一个延迟正相的 SC 积分器实现,即 $H(z)=1/(z-1)$,那么可以得到:

$$\begin{cases} STF(z)=\dfrac{H(z)}{1+H(z)}=z^{-1} \\ NTF(z)=\dfrac{1}{1+H(z)}=1-z^{-1} \end{cases} \tag{5.66}$$

191 上述传递函数表明,主输入信号仅仅简单地延迟了一个时钟周期,而低频范围内(即 $|z|\to 1$)的量化噪声功率就得到了抑制或整形。理解量化噪声整形的一个好方法是找出前述函数的幅频响应,它们是

$$\begin{cases} |STF(z)|=|z^{-1}|=|\cos\Omega-j\sin\Omega|=1 \\ |NTF(z)|=|1-z^{-1}|=|1-\cos\Omega+j\sin\Omega|=2\left|\sin\dfrac{\Omega}{2}\right| \end{cases} \tag{5.67}$$

上述方程表明,$NTF(z)$ 的幅值随着归一化频率 Ω 的增加而增加(其中 Ω 定义为 $\Omega=2\pi f/f_s$)。因此,量化噪声功率在低频范围内(即 Ω 小的地方)得到了降低,并被挤入了较高的频率范围中(即 Ω 大的地方)。这种现象有点类似挤牙膏。然而,$STF(z)$ 的幅值总等于 1,因此输入信号是完整无缺的。

图 5.17 说明了从图 5.1 所示的概念性 ADC 模型到一阶噪声整形 ΔΣ ADC 的转换 192 过程(图中没有画采样抽取滤波器),并给出了转换前后的量化噪声功率分布。

一阶 ΔΣ 调制器的 SC 实现如图 5.18 所示。注意为了简单,图中没有绘出采样抽取滤波器。尽管图中显示的是单端电路,但实际上都要求全差分配置。

从原理图可见,环路滤波器是由一个正相的对寄生电容不敏感的 SC 积分器来实现的,而量化则由一个 1 位比较器来完成。跟前面介绍的一样,1 位反馈回路 DAC 的实现方法就是依据比较器的输出结果,将 $+V_{ref}$ 或 $-V_{ref}$ 连接到积分器的负输入端。

由于一阶噪声整形的功劳,转换器的 SNR 得到了改善。考虑式(5.64)和式(5.67),可以导出一阶噪声整形 ΔΣ ADC 的最大 SNR 表达式如下(单位为 dB):

$$SNR\Big|_{1阶}=6.02M+1.76+30\lg(OSR)-10\lg\left(\frac{\pi^2}{3}\right) \tag{5.68}$$

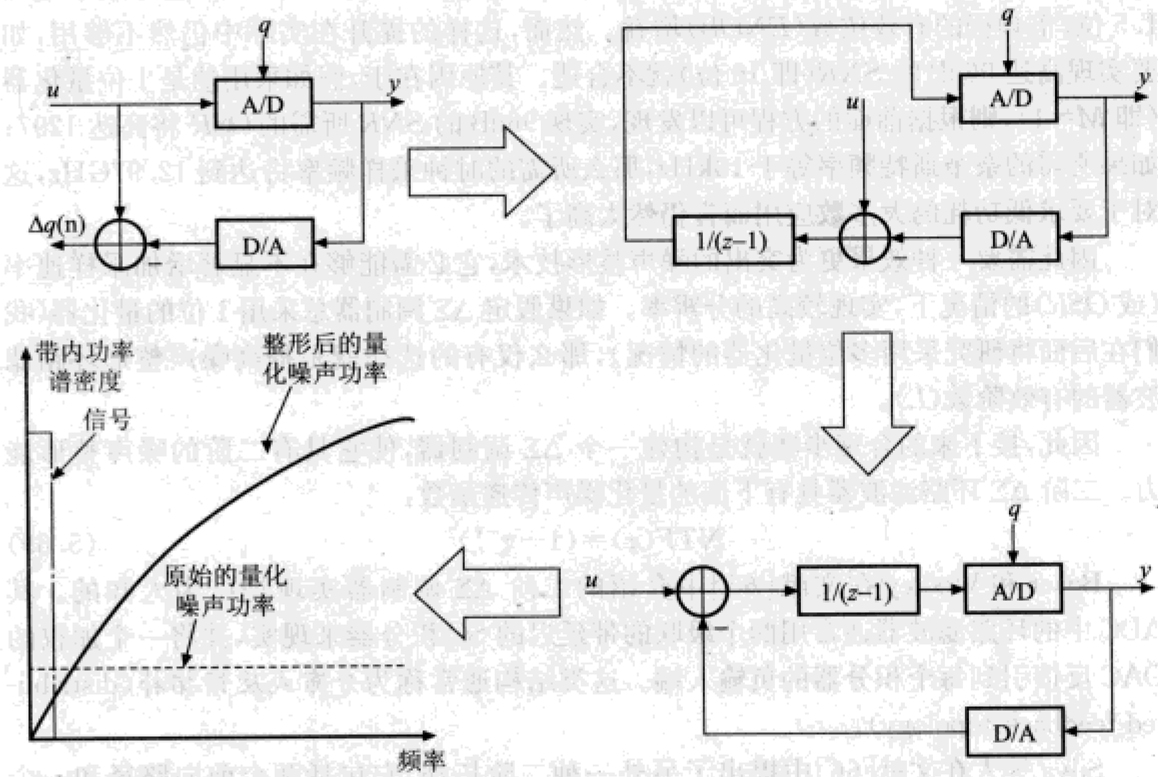


图 5.17 一阶噪声整形

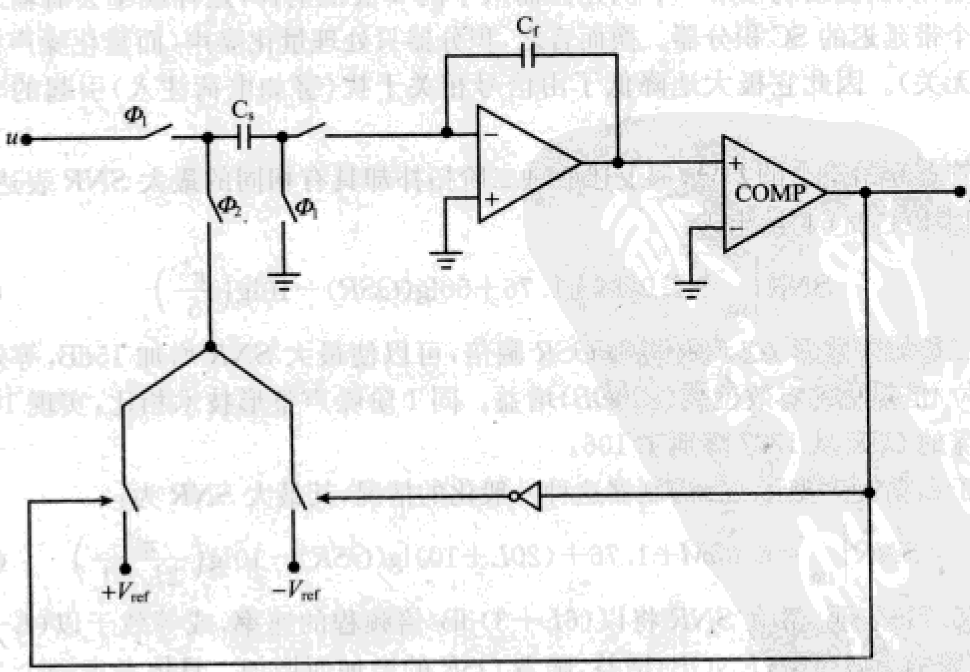


图 5.18 采用 1 位量化器的一阶噪声整形 ΔΣ 调制器

因此，让一阶噪声整形调制器的 *OSR* 加倍，就将使最大 *SNR* 增加 9dB，这等效于增加 1.5 位/倍频程的有效位数(*ENOB*)增益。然而，这样的提升在实际中仍然不够用，如要实现高达 96dB 的 *SNR*(即 16 位)就不合适。其原因在于，假如采用的是 1 位量化器 193 (即 $M=1$)，则根据前面的方程可以发现，实现 96dB 的 *SNR* 所需的 *OSR* 将高达 1297；如果所需的奈奎斯特频率等于 10kHz，那么所需的时钟采样频率将达到 12.97GHz，这对于要求低功耗的大多数应用而言仍然太高了。

因此需要一种效果更为突出的噪声整形技术，它必需能够在不显著增加采样速率(或 *OSR*)的情况下，实现较高的分辨率。如果假定 ΔΣ 调制器总采用 1 位的量化器(我们在后面将研究采用多位量化器的情况)，那么仅有的选择就是提高噪声整形环路滤波器的有效阶数(L)。

因此，接下来的合理步骤就是构建一个 ΔΣ 调制器，使它具有二阶的噪声整形能力。二阶 ΔΣ 环路滤波器具有下面的量化噪声传递函数：

$$NTF(z)=(1-z^{-1})^2 \tag{5.69}$$

Boser 和 Wooley 在文献[65]中介绍的二阶 ΔΣ 调制器实现是广为人知的。其 ADC 中的环路滤波器通常用两个级联的带延迟的 SC 积分器来现实，并将一个加权的 DAC 反馈引到每个积分器的负输入端。这类结构通常称为*分布式反馈拓扑*(distributed-feedback topology)。

Silva 等人在文献[66]中提出了另外一种二阶拓扑，它包括两个前向路径和一个 DAC 反馈。其基本理念是采用一个专用的前向通路，直接将输入信号 u 分配到量化器的输入端，从而使出现在第一个积分器输入中的 u 被抵消掉，这样就不会有输入信号经过两个带延迟的 SC 积分器。换而言之，积分器只处理量化噪声(而量化噪声被假定为跟 u 无关)。因此它极大地降低了由信号相关干扰(譬如电荷注入)引起的非线性偏差。

尽管存在结构上的差异，但上述两种二阶拓扑却具有相同的最大 *SNR* 表达式，由文献[11]和文献[64]给出为：

$$SNR\Big|_{2阶}=6.02M+1.76+50\lg(OSR)-10\lg\left(\frac{\pi^4}{5}\right) \tag{5.70}$$

让二阶噪声整形 ΔΣ 调制器的 *OSR* 翻倍，可以使最大 *SNR* 增加 15dB，等效于增加 2.5 位/倍频程的有效位数(*ENOB*)增益。同 1 阶噪声整形技术相比，实现 16 位分辨率所需的 *OSR* 从 1297 降到了 106。

194 对于 L 阶噪声整形 ΔΣ 调制器这种一般化的情况，其最大 *SNR* 为：

$$SNR\Big|_{L阶}=6.02M+1.76+(20L+10)\lg(OSR)-10\lg\left(\frac{\pi^{2L}}{2L+1}\right) \tag{5.71}$$

式(5.71)表明，最大 *SNR* 将以$(6L+3)$dB/倍频程的速率，或等效于以$(L+0.5)$位/倍频程的有效位数(*ENOB*)增益，随着 *OSR* 的增加而增加。具体考虑一个 3 阶噪声调制器采用 1 位量化器的情况，可算出仅需要 36 的 *OSR*，就可实现 96dB 的 *SNR*(即 16 位分辨率)。注意这里 M 还是 1。

上面的介绍表明，对于给定 SNR 指标的噪声整形 ΔΣ 调制器，环路阶数越高，所要求的 OSR 就越低。然而，一旦环路阶数超过了 2(即 $L>2$)，采用 1 位量化器的 ΔΣ 调制器的设计就将面临一个挑战，即调制器可能变得不稳定[67]。

不稳定问题的根源在于 1 位量化器的非线性特性同 $NTF(z)$的幅频特性结合到了一起。大家知道，1 位量化器根据输入信号的极性（而不是其绝对值）来决定输出 +1 或 −1。换而言之，量化器是非线性的，尽管输入值可能正在频繁变化，但它仅提供两个选项的输出。

回顾式(5.67)提供的 1 阶 $NTF(z)$的幅值，以及图 5.16 所示的线性化模型，可以发现在 1 阶调制器中，量化噪声 q 的幅值被限制在 −2～+2 之间。因此，量化器的输入被限制在 −3～+3 之间(假定量化器的 dc 增益等于 1)。作为比较，可以证明 3 阶 ΔΣ调制器的 $NFT(z)$幅值为

$$|NTF(z)|=\left|2\sin\frac{\Omega}{2}\right|^3=8\times\left|\sin\frac{\Omega}{2}\right|^3 \tag{5.72}$$

其中，量化噪声 q 的幅值可以是 −8～+8 之间的任何数值，而量化器输入值的范围则是[−9，+9]。同 1 阶调制器相比，由于 3 阶调制器具有较宽的正负输入值范围，因此它比前者更可能产生出不稳定的长串 1 或 −1。例如，假如量化器的输入 x 是不断变化的，而且被严格限制在正数的范围内(即 $x>0$)，那么量化器将不断输出 1，而不管各个输入值是多少。结果，平均量化噪声功率将连续增加，SNR 将随之不断下降。最终 SNR 可能会下降得甚至低于 0。

195

为了检验一个 ΔΣ 调制器是否稳定，可以在时域中检查其输出序列(即寻找长串的 1 或 −1)。此外也可以使用频谱分析仪或具有数据采集卡的计算机来记录其输出序列，然后使用快速傅里叶变换(FFT)绘出“SNR 对输入频率”的曲线。如果在曲线上发现 SNR 存在着急剧的下降，就说明调制器可能是不稳定的。

设计一个拥有 1 位量化器的高阶($L>2$)ΔΣ 调制器，且保证其稳定，这不是一件小事，在大多数情况下，需要使用计算机辅助设计(CAD)技术来对调制器的行为进行仿真。往往需要将仿真结果与一些判据进行比较，以做判断。广泛采用的一个稳定判据常称为 Lee 准则(Lee's rule)[67]。该准则指出，为了保证稳定，$NTF(z)$的带外(即 $f>2f_0$)幅值不应大于 2。然而，对现有实用高阶的(采用 1 位量化器的)调制器进行检查可以发现，这个准则仅仅是个经验法则。也就是说，有时一个调制器虽然遵从这个准则，但在某些输入下它却仍然是不稳定的。另一方面，许多高阶调制器不遵从这个准则，但是确实在任何情况下都是稳定的。

这里有一点要特别强调，即单纯基于数学的计算，将很难判断一个高阶 1 位量化的 ΔΣ 调制器是否稳定。到本书写作的时候为止，最可靠的方法就是针对尽可能多的输入情况，进行计算机行为仿真。作者个人认为，仿真 SC ΔΣ 调制器最方便的两个计算机程序，一个是 Schreier 所写的 MATLAB 仿真工具箱[68]，另一个是哥伦比亚大学开发的 SWITCAP 程序[69]。这两个程序可以配合使用，前者用于根据性能指标的要求，确定适当的调制器拓扑及系统常数；后者则用来进行开关层次的仿真。附录 5.1 给出

了一个基于 MATLAB 和 SWITCAP 的示范程序的源代码，用来仿真一个4阶的音频 ΔΣ ADC。

ΔΣ 调制器的分类

ΔΣ 调制器大致可以分为以下几类：低阶($L<3$)1位单级的；高阶($L\geqslant3$)1位单级的；1位多级的(每级都采用1位的量化器)；多位单级的；多位多级的(每级都使用多位的量化器)；1位/多位多级的(除最后一级使用多位的量化器外，其余各级都使用1位的量化器)；以及多位/1位多级的(除第一级使用多位量化器外，其余各级都使用1位的量化器)。每类 ΔΣ 调制器都有其优点和缺点。表5.4对每类的优点和缺点进行了汇总。注意表中的术语“功耗”是指消耗的总功率，包含了模拟电路和数字电路两个部分的功率损耗。

196

表 5.4　不同类型ΔΣ 调制器的优缺点汇总(评价按成绩单形式给出)

调制器类型	SNR/OSR	SNR/功耗	稳定性	DAC 线性度	电路简单性
低阶1位单级型	C−	C	A	A	A
高阶1位单级型	B+	A−	C	A	A−
1位多级型	B+	A−	A	A	B+
多位单级型	A−	B+	A	C	C+
多位多级型	A	B	A	C	C−
1位/多位多级型	A−	A	A	B+	C
多位/1位多级型	A	B+	A	B	C

1位量化的ΔΣ 调制器

自20世纪80年代末以来，ΔΣ 调制器就已经主要用在窄带(或低频)信号的高分辨率转换上，例如用来做电话语音的识别($f_0<3\text{kHz}$)和数字音频的处理($f_0<20\text{kHz}$)。在这些应用中，往往偏向采用高阶1位单级的拓扑，因为这种电路相对比较简单，而且其中的1位反馈回路 DAC 具有内在的线性特点(稍后我们将讨论多位 DAC 的非线性及其对调制器性能的影响)。

然而，由于前面提及的潜在稳定性问题，寻求可以保证稳定的高阶、1位量化、单级的 ΔΣ 拓扑不是一个容易的任务。从20世纪90年代早期开始，经过研究者们的不懈努力，发现了许多拓扑。为节省篇幅，本书仅从中选择两个经过实践证明的拓扑，在下面进行讨论。

197

第一个拓扑如图5.19所示。注意此处选用3阶配置作展示平台，其中每个 $H(z)$ 块用一个延迟且正相的 SC 积分器来实现。实际上，常常偏向于使用带延迟的积分器，因为它可以为运放的逼近提供足够的时间，因而降低对运放瞬态行为的要求。该结构称作分布式量化器输入带内部谐振器的(distributed-quantizer-input-plus-internal-re-

sonator,DQIR)ΔΣ 拓扑,因为它有 3 个分散的前向通路连接到量化器,还有一个内部谐振器(由两个 $H(z)$ 块和一个减法单元组成的环路构成)。

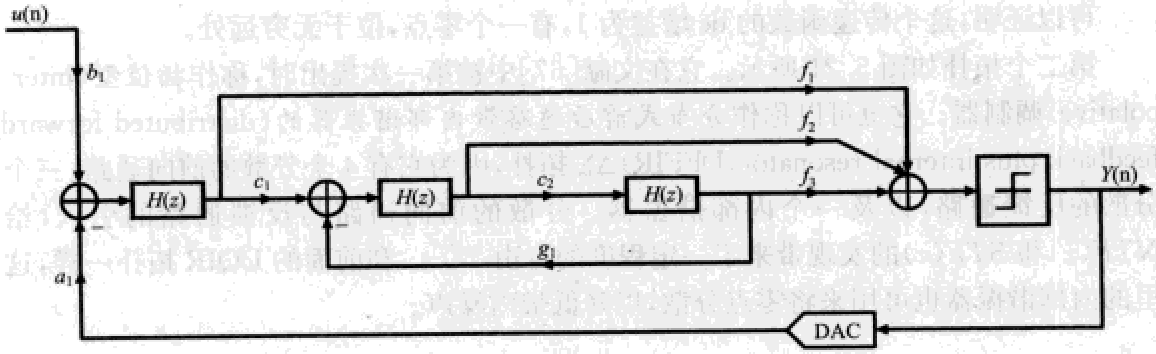


图 5.19 3 阶 DQIR ΔΣ 拓扑

内部谐振器的作用是将 $NTF(z)$的三个零点中的两个从 dc 位置(即 $z=1$)分散到信号带宽的某些频率上,以降低带内噪声。可以调整系统常数 c_1、c_2、g_1、f_2,以优化零点配置,使带内噪声功率达到最小。这种调整称为零点优化(zero optimization)[64,70]。经过调整之后,所得新的 $NTF(z)$的响应将类似一个反相切比雪夫高通滤波器的响应。注意在该调制器中,量化器的前面需要一个模拟加法器,这通常由一个 SC 增益级来实现。

Sooch 等在文献[71]中介绍了一个 5 阶版本的 DQIR 调制器,它具有 5 个带延迟的 SC 积分器和两个分离的内部谐振器。在文献[71]中,这个调制器是作为一个 18 位 DAC 的一部分来实现的。它依次接受 18 位的数字输入信号,并将其转换成 1 位的采样数据输出。在调制器的后面放置了一个 4 阶 SC 低通滤波器,以衰减带外噪声。由于 SC 滤波器的输出仍然是采样数据信号(即阶梯形的),因此需要图 5.20 所示的一个电压缓冲器或平滑器(smoother),来将开关电容的输出转换成真正的连续时间信号。 198

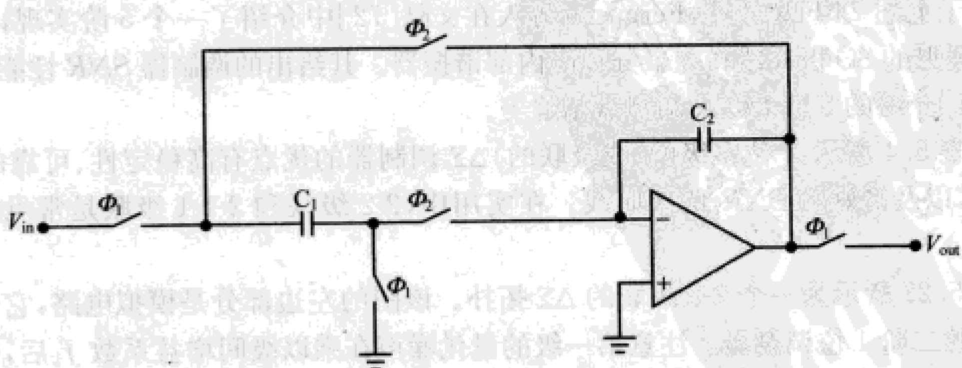


图 5.20 将采样数据转换成连续时间电压的缓冲器

该电压缓冲器的运行原理如下。当 $\Phi_1=1$ 时,输入电容 C_1 充电到输入电压 V_{in}。接下来当 $\Phi_2=1$ 时,前面保存在 C_1 上的电荷被反馈电容 C_2 分享。根据电荷守恒原理,

可以得到电压缓冲器的 z 域传递函数如下：

$$H(z)=\frac{V_{out}(z)}{V_{in}(z)}=\frac{C_1 z^{-1}}{(C_1+C_2)-C_2 z^{-1}} \tag{5.73}$$

可以证明，这个传递函数的dc增益为1，有一个零点，位于无穷远处。

第二个拓扑如图5.21所示。它在文献[67]中被第一次提出时，称作插值型(interpolative)调制器。它也可以称作分布式前后通路带内部谐振器的(distributed forward feedback plus internal resonator, DFFIR) ΔΣ 拓扑，因为它有4个分散的前向通路、三个分散的反馈通路，以及一个内部谐振器。分散的前向通路与反馈通路的引入，给 $NTF(z)$ 和 $STF(z)$ 的实现带来了一定程度的自由[64,70]。和前面的DQIR拓扑一样，这里的内部谐振器也可用来将零点分散，以降低带内噪声。

199

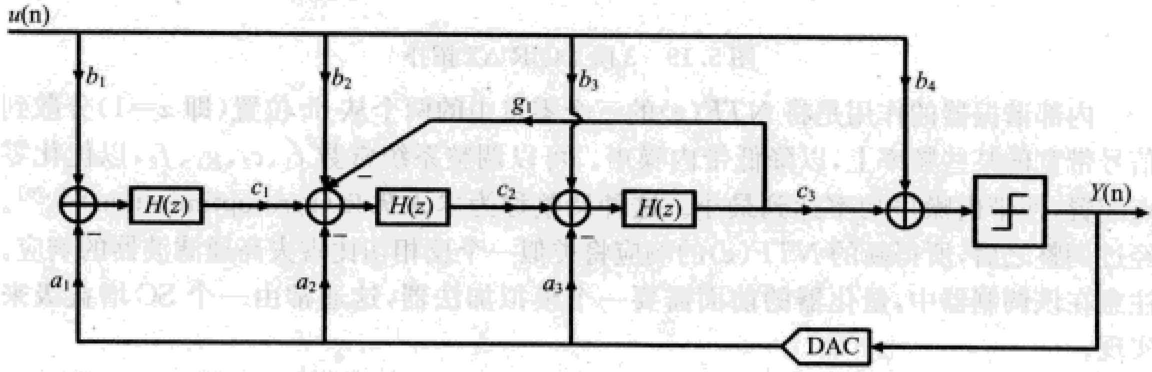


图5.21 3阶DFFIR ΔΣ 拓扑

注意原理图中的第二个积分器可能具有很高的dc输出电压水平，因为有4个信号连接到它的输入节点。因此，第二个积分器和第三个积分器中的运放可能变得饱和，因而限制整个系统的动态摆幅范围。动态摆幅范围调节技术(请参见第4章)常被用来求取优化的系统常数，以获得最好的动态摆幅范围性能。

对于上述DFFIR拓扑，Ferguson等人在文献[72]中介绍了一个5阶实现，它具有5个带延迟的SC积分器和两个分离的内部谐振器。其给出的调制器 SNR 性能可以和文献[71]介绍的5阶DQIR调制器相媲美。

如表5.4所示，1位多级的(或级联的) ΔΣ 调制器的优点有高稳定性、可靠的DAC线性度，以及良好的 SNR-功耗曲线。在实用中，2-2级联和2-1-1级联是常见的两个ΔΣ拓扑。

图5.22所示为一个2-2级联的 ΔΣ 拓扑。该图的左边部分是模拟电路，它包含两个级联的二阶1位调制器。注意第一级的量化噪声在乘以级间增益系数 f_1 后，被送到第二级。该图的右边部分是数字偏差抵消逻辑。利用 z 域分析可以证明，在理想情况下，只要下面的条件同时得到满足，第一级产生的量化噪声就可以得到抵消[73]：

$$b_1=b_3,\quad b_2=b_4,\quad a_2=a_4,\quad 且\quad a_1=a_3+g_1 \tag{5.74}$$

这些系统常数的具体数值，可以以级间增益系数 f_1 为基础，应用动态摆幅范围调

节技术来确定(即将 f_1 设置为1,调节其他系数)。根据第4章的介绍,这个任务的目的就是要通过对系统常数的调节,使各个运放输出的最大电位相等。

例5.5 利用 z 域分析,研究图5.22所示2-2级联的 ΔΣ 调制器。求抵消第一级量化噪声时,系统所需满足的必要条件,并用函数 $(1-z^{-1})^4$ 对第二级的量化噪声进行调制。要求输入信号被 z^{-4} 延迟,dc增益为1。假定原理图中的每个 $H(z)$ 构件块采用一个正相且带延迟的SC积分器来实现,即 $H(z)=1/(z-1)$,它具有完美的逼近特性和无穷大的运放增益。假定量化噪声与输入信号无关。 200

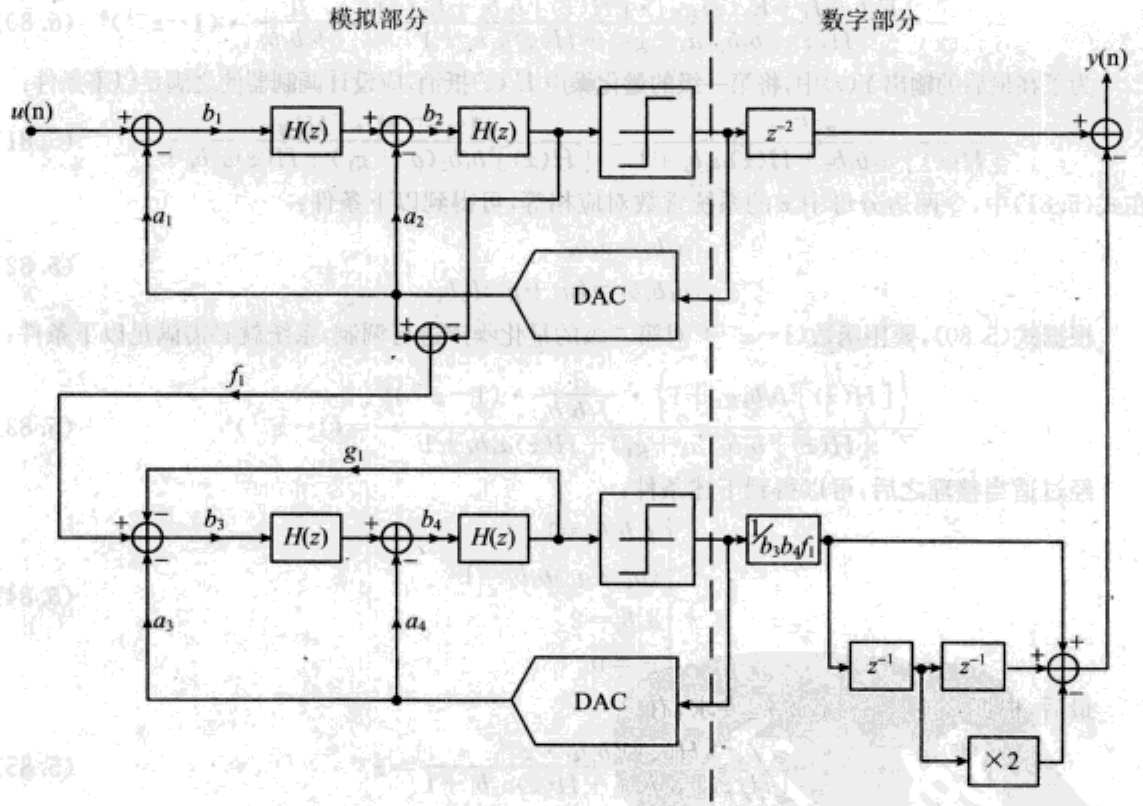


图5.22 2-2级联的 ΔΣ 拓扑

解:先从调制器模拟部分的第1级开始。利用 z 域分析,可以写出以下的系统函数:

$$\{[U(z)-Y_1(z)a_1]\cdot H(z)b_1-Y_1(z)a_2\}\cdot H(z)b_2+E_1(z)=Y_1(z) \tag{5.75}$$

其中 $U(z)$、$Y_1(z)$ 和 $E_1(z)$ 分别是系统输入信号、第一级输出(即第一个量化器的输出),以及第一级产生的量化噪声等的 z 域表达式。经过初步整理之后,可以得到以下的 $Y_1(z)$ 表达式: 201

$$Y_1(z)=\frac{U(z)\cdot[H(z)]^2b_1b_2+E_1(z)}{[H(z)]^2a_1b_1b_2+H(z)a_2b_2+1} \tag{5.76}$$

类似地,可以写出调制器第二级的系统函数如下:

$$\{[E_1(z)f_1-Y_2(z)a_3-Y_2(z)g_1+E_2(z)g_1]\cdot H(z)b_3-Y_2(z)a_4\}\cdot H(z)b_4+E_2(z)=Y_2(z) \tag{5.77}$$

其中 $Y_2(z)$、$E_2(z)$ 分别是第二级输出(即第二个量化器的输出)、第二级产生的量化噪声等的 z 域

表达式。经过重新整理，可得 $Y_2(z)$ 的表达式为：

$$Y_2(z)=\frac{[E_1(z)f_1+E_2(z)g_1]\cdot[H(z)]^2b_3b_4+E_2(z)}{[H(z)]^2b_3b_4(a_3+g_1)+H(z)a_4b_4+1} \tag{5.78}$$

因此，根据图 5.22，可以写出最终的输出表达式 $Y(z)$ 为：

$$Y(z)=Y_1(z)\cdot z^{-2}-Y_2(z)\cdot\frac{1}{f_1b_3b_4}\cdot(1-z^{-1})^2 \tag{5.79}$$

将式(5.76)的 $Y_1(z)$ 和式(5.78)的 $Y_2(z)$ 分别代入式(5.79)，可得：

$$Y(z)=\frac{U(z)\cdot[H(z)]^2b_1b_2+E_1(z)}{[H(z)]^2a_1b_1b_2+H(z)a_2b_2+1}\cdot z^{-2}-\frac{[E_1(z)f_1+E_2(z)g_1]\cdot[H(z)]^2b_3b_4+E_2(z)}{[H(z)]^2b_3b_4(a_3+g_1)+H(z)a_4b_4+1}\cdot\frac{1}{f_1b_3b_4}\cdot(1-z^{-1})^2 \tag{5.80}$$

为了在最后的输出 $Y(z)$ 中，将第一级的量化噪声 $E_1(z)$ 抵消，应设计调制器使之满足以下条件：

$$\frac{z^{-2}}{[H(z)]^2a_1b_1b_2+H(z)a_2b_2+1}=\frac{(1-z^{-1})^2\cdot[H(z)]^2}{[H(z)]^2b_1b_2(a_3+g_1)+H(z)a_4b_4+1} \tag{5.81}$$

在式(5.81)中，令两边分母中 z 的系统常数对应相等，可得到以下条件：

$$\begin{cases}a_2b_2=a_4b_4\\ a_1b_1b_2=(a_3+g_1)b_3b_4\end{cases} \tag{5.82}$$

202

根据式(5.80)，要用函数 $(1-z^{-1})^4$ 对第二级的量化噪声进行调制，系统就必需满足以下条件：

$$\frac{\left\{[H(z)]^2b_3b_4g_1+1\right\}\cdot\frac{1}{f_1b_3b_4}\cdot(1-z^{-1})^2}{[H(z)]^2b_3b_4(a_3+g_1)+H(z)a_4b_4+1}=(1-z^{-1})^4 \tag{5.83}$$

经过适当整理之后，可以得到下述条件：

$$\begin{cases}f_1b_3b_4=1\\ (a_3+g_1)b_3b_4=1\\ a_4b_4=2\\ g_1=0\end{cases} \tag{5.84}$$

最后，根据对输入信号的延迟要求，有

$$\frac{[H(z)]^2b_1b_2\cdot z^{-2}}{[H(z)]^2a_1b_1b_2+H(z)a_2b_2+1}=z^{-4} \tag{5.85}$$

这样，我们就得到了更多的条件：

$$\begin{cases}b_1b_2=1\\ a_1=1\\ a_2b_2=2\end{cases} \tag{5.86}$$

将式(5.82)、式(5.84)和式(5.86)结合在一起，可得一组必要条件，即：

$$\begin{cases}a_1=1\\ b_1b_2=1\\ a_3b_3b_4=1\\ a_2b_2=a_4b_4=2\\ f_1=a_3\\ g_1=0\end{cases} \tag{5.87}$$

类似 2-2 型的调制器，2-1-1 级联型的调制器是由一个 2 阶的调制器和两个 1 阶的调制器级联而成的。在理想的 2-1-1 型调制器中，第一级和第二级的量化噪声偏差通过使用数字偏差抵消逻辑消除，而第三级（为 1 阶调制器）的量化噪声则由一个 4 阶 $NTF(z)$ 来进行整形。

不过，级联 ΔΣ 调制器有一个共同的缺点，就是**量化噪声泄漏**（quantization noise leakage）。所谓量化噪声泄漏，就是指由于模拟电路存在着缺陷（例如有限运放增益、电容失配误差等），而导致馈入到最后一级的量化噪声无法被完全抵消。

203

在级联 ΔΣ 调制器中，电容不匹配或有限运放增益将在积分器和反馈回路 DAC 中引起增益偏差。对于 1 位反馈回路 DAC 来讲，由于它们总是线性的，因此增益偏差对它们而言并不重要（但当使用多位 DAC 时，增益偏差就将变得重要很多）。

然而，在积分器中增益偏差却很成问题。它们将引起调制器的噪声传递函数偏离所需的形式，因而削弱数字偏差抵消逻辑的效果，在调制器的最后输出中引起显著的偏差泄漏。以 2-1-1 型的调制器为例。假定所有运放具有相同的 dc 增益 A（单位为 V/V）；最大电容匹配为 Δ；输入信号为 2V 峰峰值的正弦波（即取值范围是从 −1V 到 +1V）。那么可以证明相应的带内量化噪声泄漏功率为[74]：

$$E_l^2=\frac{1}{6A^4OSR}+\frac{\pi^2}{2A^2OSR^3}+\frac{2\pi^4}{15OSR^5}\left(\frac{2}{A}+3\Delta\right)^2+\frac{2\pi^6}{21OSR^7}\left(\frac{3}{2A}+6\Delta\right)^2 \tag{5.88}$$

定量地讲，若假定最大电容不匹配为 0.2%，使用的 OSR 为 32，忽略电荷注入与运放偏移误差的影响，那么由式（5.88）可以发现，为了使这个 4 阶调制器的 SNR 维持在 113dB 的调节值[由式（5.71）确定]，大约需要 10 000V/V（等效于 80dB）的 dc 增益。

最后请注意，级联（或多级）调制器不能指望依靠环路滤波器来获得高 SNR，因为它们仅仅是 1 阶或 2 阶的调制器。实际上，能够达到的 SNR 主要取决于前面几级的量化偏差在数字域中被抵消的有效程度。与此相反，在高阶单级调制器中，高 SNR 则是通过使用高阶环路滤波器来实现的，这种滤波器由运放级联构成，可以很容易地提供很高的 dc 增益，有效地抑制带内量化噪声功率[75]。然而，如前所述，级联型调制器通常具有极好的稳定性，而高阶单级调制器则容易变得不稳定。

多位量化的ΔΣ 调制器

解决级联型 ΔΣ 调制器噪声泄漏问题的一个直接方法是在第一级中采用精细的或多位的量化器。采用多位量化器可以显著地降低带内噪声功率，因而减轻调制器输出中的偏差泄漏。

204

采用多位量化器的另一个重要益处是可以改善 SNR-OSR 曲线。目前，随着宽带视频处理和数字用户线路（DSL）等应用市场的快速成长，对既能在宽信号带宽上工作（从 0.5MHz~5MHz），又能提供高分辨率（14~16 位）的 ΔΣ ADC 的需求[4~7]出现了。在这种情况下，高 OSR（例如 $OSR>16$）通常是要避免的，因为那将导致高时钟采样速率，从而使 ADC 的功耗成为很大的问题。

此外，对于确定的环路滤波器(即 L 为常数)，OSR 越低，噪声整形的效果就越差，故 SNR 将会降低。回顾式(5.71)可以发现：除 OSR 与 L 外，惟一能够提高 SNR 的参数只有 M(即量化器的位数)。从理论上讲，通过增加 M，就可以降低 OSR 而不会造成 SNR 大幅下降，因而可以改善 SNR-OSR 的关系曲线。

不过，跟许多其他电路的设计一样，增加 M 同样要付出代价。M 增加时，由于电容不匹配(使用温度计编码 SC DAC 时)或电流源不匹配(当使用温度计编码电流驱动型 DAC 时)的原因，反馈路径上的多位 DAC 将产生非线性偏差。如图 5.1 所示，1 位 ADC 使用 1 位反馈回路 DAC 来提取量化噪声，与此类似，多位 ADC 需要使用多位 DAC。前面已经提及，1 位 DAC 的两个输入位阶总可以由单条直线相连(不管斜率是多少)，因此它总是线性的。相反，多位 DAC 不止两个位阶，因此其线性度得不到保证。

在 5.3 节曾经提到，标准 CMOS 工艺的最小相对电容失配误差大约是 0.02%。对于精度取决于电容比的(未经校准的)SC 转换器来讲，这相当于最大 12 位的有效位数。因此，若在多位 ADC 反馈路径上的多位 DAC 由 SC DAC 实现，则在不进行校准的情况下，该 DAC 的精度不会超过 12 位。在很多情况下，反馈回路 DAC 的非线性偏差将被直接输入到 ΔΣ 调制器的第一个积分器，这意味着 DAC 偏差在本质上是第二个(或附加的)输入，因此 DAC 偏差以及主输入信号都将由同一个 $STF(z)$ 进行处理 [$STF(z)$往往为一个纯延迟环节，等于(z^{-L})][64]。换而言之，ΔΣ 调制器的输出受到了未经抑制的(或未经整形的)DAC 偏差的污染，因此 ΔΣ 调制器的最大精度也将被限制在大约 12 位。显然，这同我们预期的至少 14 位存在着较大的差距。

205

从 5.3 节我们知道，无论是在模拟域还是在数字域中，都有许多校准/校正技术可用来解决与电容不匹配相关的问题。然而，除相关性校准技术之外，其余大多数技术都无法应用到 ΔΣ ADC 的情况，因为奈奎斯特频率级的转换器与过采样级的转换器存在着一个根本的差别，即奈奎斯特频率级转换器是无记忆的，而过采样级转换器是有记忆的。

有一个广为采用、适应多位 ΔΣDAC 线性化要求的电容失配误差校正技术，它就是**动态单元匹配**(dynamic element matching，DEM)技术[76]。该方法提出，多位反馈回路 DAC 引起的非线性偏差(即输出中的谐波)可以通过使用类似于图 5.3b 的SC DAC，并随机选择其中的电容支路(或称基本单元)而得到平均或平滑。然而，随机化有使噪声水平增大的倾向，因而降低了 SNR[64]。此外，由于需要设计数字伪随机信号发生器及多路复用器，因此硬件的复杂度、总功耗都将增加。

另一个流行的校正技术是**数据加权平均**(data-weighted averaging，DWA)技术[77]。在这一方案中，各 DAC 单元被依次选用。它用一个指针来记录前次单元选择的结束位置，并使下一个新的选择从该位置开始。此外，每次选择所选单元的数目由输入字决定。例如，若输入为“3”，那么单元序列中接下来的 3 个新单元将被选中。下一次如果输入为“2”，那么接下来的 2 个新单元将被选中。DWA 技术的优点在于，它以一个 1

阶高通传递函数对 DAC 的失配误差进行整形，所以又称不匹配整形(mismatch shaping)[77]。然而，对于 dc 值输入或某些频率的输入，有些频率的噪声仍将出现在频谱中[64]。人们已经开发了一些更加复杂的改进 DWA 算法，例如双向 DWA[4] 和部分 DWA[6] 等，以消除这些频率的噪声。

在本书写作之时，最灵活的单元选择方案是树状结构算法[78]。这一方案在 DAC 输入端的前面放置了一个树状结构的数字编码器。构成编码器的是一系列称作开关块的数字逻辑单元，按树状结构组织。每个开关块包含一个交换单元和一个 1 阶随机序列发生器。为了校准一个 M 位的 DAC，需要 2^M-1 个开关块。和 DEM 技术相比，这个方案降低了生成随机功能的硬件成本，因为它把复杂的随机信号发生器作了分解，并同各个开关块装在一起。

206

最后请注意，到目前位置，尽管多位量化器多见于级联的调制器中，但它们也可用于构建单级的调制器。一个实际的例子是文献[79]介绍的多位音频 ΔΣ DAC，它基于图 5.19 所示的 3 阶 DQIR 拓扑构建。

注意除了前面介绍的拓扑之外，还有许多其他的 ΔΣ 调制器拓扑。例如，在本书写作之时，在模拟电路和 RF 电路设计者的圈子里正在进行的许多研究活动中，带通 ΔΣ 调制器就是研究的一个重点。这种调制器在无线通信中具有巨大的应用潜力。在许多情况下，带通 ΔΣ 调制器可以简单地从低通 ΔΣ 调制器转换而来，其方法就是将后者的传递函数中的 z 用$(-z^2)$替换，因此，带通 ΔΣ 调制器中的基本有源构件是谐振器，它和低通调制器中的积分器相对应。为了节省篇幅，本书不打算详细介绍带通 ΔΣ 调制器的设计问题。有兴趣的读者可以参考相关文献以获得更多信息。

附录 5.1

本附录给出了一个 4 阶 1 位的音频 ΔΣ ADC 的仿真程序作为示范。表 5.5 列出了所要求的 ADC 性能指标。注意其中的文字“简化 4 阶 DFFIR”表示这里所用的拓扑为图 5.21 所示的 DFFIR 拓扑的简化版本。具体来讲就是，除了通向第一个积分器的输入路径之外，所有其他的前向路径都被去掉了。下面给出的是源代码。

表 5.5　4 阶 1 位音频ΔΣ ADC 的性能指标要求

过采样率(*OSR*)	128
信号带宽	0～20kHz
时钟频率	5.12MHz
信噪比(*SNR*)	>120dB
采样抽取级数	5
调制器拓扑	简化 4 阶 DFFIR

207

第1部分

```
% Use MATLAB codes to derive the fourth-order NTF(z) and STF(z)%
% MATLAB functions in Schreier's toolbox [68] are utilized%

Clear all;
fprintf(1,'NTF Synthesis- Fourth-order modulator')
order=4;
r=128;
opt=1;      %Enable zero optimization to minimize the in-band noise
power%
H_inf=2.0;  %Lee's rules%
f0=0;
H= synthesizeNTF(order,r,opt,H_inf,f0);
[num1,den1]=tfdata(H,'v')  %The original NTF(z) in 'zpk' format%

figure(1);
subplot(221);
plotPZ(H);  %Plot the NTF(z)'s zeros and poles%
title('NTF poles and zeros diagram');
f = [linspace(0,0.75/r,100) linspace(0.75/r,0.5,100)];
z = exp(j*2*pi*f);
magH = dbv(evalTF(H,z));
subplot(222);
plot(f,magH);  %Plot the NTF(z)'s magnitude response%
axis([0 0.5 -150 10]);
xlabel('Normalized frequency (1\rightarrow f_s)');
ylabel('dB');
title('NTF Magnitude Response');
grid on;

[snr_pred,amp] = predictSNR(H,r);
[snr,amp] = simulateSNR(H,r);
subplot(223);
plot(amp,snr_pred,amp,snr,'o');  %Predict the best SNR performance%
grid on;
figureMagic([-120 0], 10, 1, [0 150], 10, 1);
xlabel('Input Level, dB');
ylabel('SNR dB');
title('SNR curve');
s=sprintf('peak SNR = %4.1fdB\n(OSR=%d)',max(snr),r);
```

```
text(-49,15,s);
[a,g,b,c]=realizeNTF(H,'CIFB')  %Realize NTF(z) with the simplified
DFFIR (or CIFB [68])%
b=[b(1) zeros(1,length(b)-1)];
ABCD = stuffABCD(a,g,b,c,'CIFB');
[H,G]=calculateTF(ABCD);
[num2 den2]=tfdata(H,'v')  %Check whether the realized transfer
function matches NTF(z)%

subplot(224);  %Plot the frequency responses of NTF(z) and STF(z)%

f=logspace(-3,0,200);
z=exp(2i*pi*f);
magG=dbv(evalTF(G,z));
magH=dbv(evalTF(H,z));
semilogx(f,magG,'-',f,magH,'-');
grid on

sigma_H=dbv(rmsGain(H,0,0.5/r));
hold on;
semilogx([.001 0.5/r], sigma_H*[1 1]);
plot([.001 0.5/r], sigma_H*[1 1],'o');
text( 0.001, sigma_H+6, sprintf('rms gain = %5.0fdB',sigma_H)); %RMS
figureMagic([1e-3 0.5], [], [], [-150 10], 10, 2);
xlabel('Normailized f');
ylabel('dB');
title('Frequency response of NTF and STF');
grid on;
[ABCDs,umax]=scaleABCD(ABCD);  %Scale the system coefficients to the
%
[as,gs,bs,cs] = mapABCD(ABCDs ,'CIFB')  %Assign the system
coefficients to circuitry%
```

第 2 部分

```
/*SWITCAP program*/
/*The capacitances are obtained based on kT/C noise requirements
[64]*/
TITLE:  1-BIT 4TH-ORDER DELTA SIGMA MODULATOR
TIMING;
PERIOD 1.95E-7
CLOCK PHI1 1 (0 1/2);
```

```
CLOCK PHI2 1 (1/2 1);
END;

SUBCKT (N1 N2 N3 N4)
DIFAMP (P1);
E1 (N1 0 N3 N4) P1;
E2 (0 N2 N3 N4) P1;
END;

CIRCUIT;
CP1 (3 5) 3.17;
CP2 (7 9) 24.18;
CP3 (11 13) 0.1;
CP4 (15 17) 0.6;
CP5 (19 21) 0.1;
CP6 (23 25) 0.3;
CP7 (27 29) 0.06;
CP8 (31 33) 0.15;
CP9 (5 35) 3.17;
CP10 (13 37) 0.12;
CP11 (21 39) 0.1;
CP12 (29 41) 0.04;
CP13 (5 45) 0.15;
CP14 (21 46) 0.06;
CN1 (4 6) 3.17;
CN2 (8 10) 24.18;
CN3 (12 14) 0.1;
CN4 (16 18) 0.6;
CN5 (20 22) 0.1;
CN6 (24 26) 0.3;
CN7 (28 30) 0.06;
CN8 (32 34) 0.15;
CN9 (6 36) 3.17;
CN10 (14 38) 0.12;
CN11 (22 40) 0.1;
CN12 (30 42) 0.06;
SP1 (1 3) PHI1;
SP2 (3 0) PHI2;
SP3 (5 0) PHI1;
SP4 (5 7) PHI2;
SP5 (9 11) PHI1;
SP6 (11 0) PHI2;
```

```
SP7  (13  0)  PHI1;
SP8  (13  15)  PHI2;
SP9  (17  19)  PHI1;
SP10  (19  0)  PHI2;
SP11  (21  0)  PHI1;
SP12  (21  23)  PHI2;
SP13  (25  27)  PHI1;
SP14  (27  0)  PHI2;
SP15  (29  0)  PHI1;
SP16  (29  31)  PHI2;
SP17  (35  0)  PHI1;
SP18  (35  43)  PHI2;
SP19  (37  0)  PHI1;
SP20  (37  43)  PHI2;
SP21  (39  0)  PHI1;
SP22  (39  43)  PHI2;
SP23  (41  0)  PHI1;
SP24  (41  43)  PHI2;
SN1  (2  4)  PHI1;
SN2  (4  0)  PHI2;
SN3  (6  0)  PHI1;
SN4  (6  8)  PHI2;
SN5  (10  12)  PHI1;
SN6  (12  0)  PHI2;
SN7  (14  0)  PHI1;
SN8  (14  16)  PHI2;
SN9  (18  20)  PHI1;
SN10  (20  0)  PHI2;
SN11  (22  0)  PHI1;
SN12  (22  24)  PHI2;
SN13  (26  28)  PHI1;
SN14  (28  0)  PHI2;
SN15  (30  0)  PHI1;
SN16  (30  32)  PHI2;
SN17  (36  0)  PHI1;
SN18  (36  44)  PHI2;
SN19  (38  0)  PHI1;
SN20  (38  44)  PHI2;
SN21  (40  0)  PHI1;
SN22  (40  44)  PHI2;
SN23  (42  0)  PHI1;
SN24  (42  44)  PHI2;
```

```
SP25 (45 0) PHI1;
SP26 (45 17) PHI2;
SN25 (46 0) PHI1;
SN26 (46 33) PHI2;

SREFP1 (43 47) CMPNEG;
SREFN1 (48 43) CMPPOS;
SREFP2 (47 44) CMPPOS;
SREFN2 (48 44) CMPNEG;
YCMP1 CMPLAT (33 34 PHI1 CMPPOS);
YG1 NOT (CMPPOS CMPNEG);
X1 (9 10 8 7) DIFAMP (1E4);
X2 (17 18 16 15) DIFAMP (1E4);    /*Use fully differential op-amps*/
X3 (25 26 24 23) DIFAMP (1E4);
X4 (33 34 32 31) DIFAMP (1E4);

VREFP (47 0);
VREFN (48 0);
VINP (1 0);
VINN (2 0);
END;
ANALYZE NTRAN;   /*Perform transient analysis with a sinusoidal
input Vpp = 2 V*/
TIME 65535/2- 98306 1;
SET VREFP DC -2;
SET VREFN DC +2;
SET VINP COSINE 0.0 1.0 20000 0 0 -90;
SET VINN COSINE 0.0 -1.0 20000 0 0 -90;
PRINT V(1) V(43);
END;
END;
```

212

第3部分

```
%Use MATLAB codes to perform FFT analysis on the result from
SWITCAP transient analysis%
close all;
clear all;
load delsig.out;   %Load the result from SWITCAP transient
analysis%
tt=delsig(:,1);
vv=delsig(:,3);
```

```
r=128;
N=65536;
fB=ceil(N/(2*r));
f=170;
u=0.5*sin(2*pi*f/N*[0:N-1]);
v=vv(1:65536);
t=tt(1:65536);
spec=fft((v)'.*hann(N))/(N/4);
figure(1);
plot(linspace(0,1,N/2),dbv(spec(1:N/2)));  %Plot the result of the FFT
analysis%
axis([0 1 -150 0]);
ylabel('dBFS');
snr=calculateSNR(spec(1:fB),f);
s=sprintf('SNR=%4.1fdB\n',snr);
text(0.5,-110,s);
```

第 4 部分

```
%Use MATLAB codes to simulate the behavior of the five-stage
digital decimation filter%
clear all;
close all;

load delsig1.out;  %Load the result from SWITCAP transient analysis%
tt=delsig1(:,1);
vv=delsig1(:,3);
v=vv(1:65536);
r=128;
N=65536;
fB=ceil(N/(2*r));
f=floor(2*fB/3);

%Configure the five cascaded delayed discrete-time integrators (or
averaging filter)%

a = ((32)^5)*[1 -5 10 -10 5 -1];
b = [1 zeros(1,31) -5 zeros(1,31) 10 zeros(1,31) -10...zeros(1,31) 5
zeros(1,31) -1];
figure(1);
[H,w]=freqz(b,a,65536);
plot(linspace(0.00001,1,65536),dbv(H));
```

```
axis([0.00001 1 -220 10]);
x=filter(b, a, v);
spec=fft((x)'.*hann(N))/(N/4);
figure(2);
subplot(221);
plot(linspace(0,1,N/2),dbv(spec(1:N/2)));
axis([0 1 -220 0]);
grid on;
ylabel('dBFS');
snr=calculateSNR(spec(1:fB),f);
s=sprintf('SNR=%4.1fdB\n',snr);
text(0.5,-100,s);

%Configure the five-tap FIR filter following the integrators%

b1=firls(45,[0 1/128 1/127 1],[1 1 0 0]);
y1=resample(x,1,2,b1,10000);  %Down-sample the digital output by a
factor of 32%
spec=fft((y1)'.*hann(N/2))/(N/8);
subplot(222);  %Plot the FFT curve of the averaging filter's output%
plot(linspace(0,1,N/4),dbv(spec(1:N/4)));
axis([0 1 -220 0]);
grid on;
ylabel('dBFS');
snr=calculateSNR(spec(1:fB),f);
s=sprintf('SNR=%4.1fdB\n',snr);
text(0.5,-100,s);
b2=firls(41,[0 1/128 1/127 1],[1 1 0 0]);
y2=resample(y1,1,2,b2,10000);
spec=fft((y2)'.*hann(N/4))/(N/16);
subplot(223);
plot(linspace(0,1,N/8),dbv(spec(1:N/8)));
axis([0 1 -210 0]);
grid on;
ylabel('dBFS');
snr=calculateSNR(spec(1:fB),f);
s=sprintf('SNR=%4.1fdB\n',snr);
text(0.5,-100,s);
b3=fir2(45,[0 1/128 1/127 1],[1 1 0 0]);
a3=[1 zeros(1,46)];
y3=filter(b3,a3,y2);
```

214

```
spec=fft((y3)'.*hann(N/4))/(N/16);
subplot(224);  %Plot the FFT curve of modulator's final output%
plot(linspace(0,1,N/8),dbv(spec(1:N/8)));
axis([0 1 -220 0]);
grid on;
ylabel('dBFS');
snr=calculateSNR(spec(1:fB),f);
s=sprintf('SNR=%4.1fdB\n',snr);
text(0.5,-100,s);
```

第5部分

```
*Use SPICE code  to calculate the minimum slew rate of the first
op-amp.

vclk phi1 0 pulse  (-1.5 1.5v 0 0.06n 0.06n 96n 195n)
vclk0 phi2 0 pulse  (-1.5 1.5v  98n  0.06n 0.06n 96n 195n)
g1 vi 1 VCR pwl(1) phi1 0 -1 200meg 1 100
g2 1 0  VCR pwl(1) phi2 0 -1 200meg 1 100
g3 3 0  VCR pwl(1) phi1 0 -1 200meg 1 100
g4 3 5  VCR pwl(1) phi2 0 -1 200meg 1 100
c1 1 3 3.17p
c2 5 7 24.18p
.subckt slew vip vin out
gm 0 vo  vip vin 1m max=1m min=-1m
r vo 0 5meg
c vo 0 6.2p
eb out 0 vo 0 1
.ends
x_1 0 5 7 slew
vin vi 0 sin( 0 1 20e4 0 0 0)
.tran 10n 30u
.op
.options post
.print v(7)
.END
```

参考文献

[1] P. R. Gray and R. Meyer, "Future directions of silicon ICs for RF personal communications," *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 83–90, May 1995.

[2] A. A. Abidi et al., "The future of CMOS wireless transceivers," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 118–119, February 1997.

[3] I. Oppermann et al. (Ed.), *UWB: Theory and applications*, John Wiley & Sons, New York, 2004.

[4] I. Fujimori et al., "A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at 8x oversampling," *IEEE Journal of Solid-State Circuits*, Vol. 35, pp. 1820–1828, July 1999.

[5] Y. Geerts et al., "A 3.3-V, 15-bit, delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications," *IEEE Journal of Solid-State Circuits*, Vol. 34, pp. 927–936, July 1999.

[6] K. Vleugels et al., "A 2.5-V sigma-delta modulator for wideband communication applications," *IEEE Journal of Solid-State Circuits*, Vol. 36, pp. 1887–1898, December 2001.

[7] X. Wang, U. Moon, M. Liu, and G. C. Temes, "Digital correlation technique for the estimation and correction of DAC errors in multibit MASH ΔΣ ADCs," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. IV, pp. 691–694, Phoenix, AZ, May 2002.

216

[8] S. Tewksbury et al., "Terminology related to the performance of S/H, A/D, and D/A circuits," *IEEE Trans. on Circuits & Systems*, Vol. CAS-25, No. 7, pp. 419–426, July 1978.

[9] R. van de Plassche, *Integrated analog-to-digital and digital-to-analog data converters*, Kluwer Academic Publisher, Berlin, Germany, 1994.

[10] B. Razavi, *Principles of data conversion system design*, IEEE Press, Piscataway, NJ, 1995.

[11] D. A. Johns and K. Martin, *Analog integrated circuits design*, John Wiley & Sons, New York, 1997.

[12] IEEE Std. 746–1984, *IEEE standard for performance measurements of A/D and D/A converters for PCM television video circuits*, IEEE Press, New York, 1984.

[13] IEEE Std. 1241–2000, *IEEE standard for terminology and test methods for analog-to-digital converters*, IEEE Press, New York, 2001.

[14] P. Holloway, "A trimless 16-bit digital potentiometer," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 66–67, February 1984.

[15] A. Abrial et al., "A 27-MHz digital-to-analog video processor," *IEEE Journal of Solid-State Circuits*, Vol. SC-23, No. 6, pp. 1358–1369, December 1988.

[16] T. Miki et al., "An 80-MHz 8-bit CMOS D/A converter," *IEEE Journal of Solid-State Circuits*, Vol. SC-21, No. 6, pp. 983–988, December 1986.

[17] H. Schouwenaars, D. Groeneveld, and H. Termeer, "A low-power stereo 16-bit CMOS D/A converter for digital audio," *IEEE Journal of Solid-State Circuits*, Vol. SC-23, No. 6, pp. 1290–1297, December 1988.

[18] D. Groeneveld et al., "A self-calibration technique for monolithic high-resolution D/A converters," *IEEE Journal of Solid-State Circuits*, Vol. SC-24, No. 6,

pp. 1517–1522, December 1989.

[19] D. Mercer and L. Singer, "12-bit 125-MS/s CMOS D/A designed for spectral performance," *Proceedings of International Symposium on Low Power Electronics and Design*, Vol. 2, No. 1, pp. 243–246, August 1996.

[20] R. Hester et al., "CODEC for echo-canceling full-rate ADSL modems," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 242–243, February 1999.

[21] A. Bugeja et al., "A self-trimming 14-b 100-MS/s CMOS DAC," *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 12, pp. 1841–1852, December 2000.

[22] K. Martin et al., "A differential switched-capacitor amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, pp. 104–106, February 1987.

[23] H. Matsumoto and K. Watanabe, "Spike-free switched-capacitor circuits," *Electronics Letters*, Vol. 23, pp. 428–429, April 1987.

[24] H. Matsumoto and K. Watanabe, "Switched-capacitor algorithmic digital-to-analog converters," *IEEE Trans. on Circuits & Systems*, Vol. CAS-33, pp. 721–724, 1986.

[25] C. C. Shih and P. R. Gray, "Reference refreshing cyclic analog-to-digital and digital-to-analog converters," *IEEE Journal of Solid-State Circuits*, Vol. 21, pp. 544–554, August 1986.

[26] P. Li et al., "A ratio-independent algorithmic analog-to-digital conversion technique," *IEEE Journal of Solid-State Circuits*, Vol. 19, pp. 828–836, December 1984.

[27] H. Onodera et al., "A cyclic A/D converter that does not require ratio-matched components," *IEEE Journal of Solid-State Circuits*, Vol. 23, pp. 152–158, February 1988.

[28] S. Y. Chin and C. Y. Wu, "A CMOS ratio-independent and gain-insensitive algorithmic analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, Vol. 31, pp. 1201–1207, August 1996.

[29] Y. Huang, *Design of high-performance switched-capacitor circuits in the presence of component imperfections*, Ph.D. dissertation, Oregon State University, Corvallis, OR, 1997.

[30] B.-S. Song et al., "A 12-b 1-Msample/s capacitor error-averaging pipelined A/D converter," *IEEE Journal of Solid-State Circuits*, Vol. SC-23, pp. 1324–1333, December 1988.

[31] H. S. Lee et al., "A self-calibrating 15 bit CMOS A/D converter," *IEEE Journal of Solid-State Circuits*, Vol. SC-19, pp. 813–819, December 1984.

[32] Y. Lin, B. Kim, and P. R. Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3-μm CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 26, pp. 628–636, April 1991.

[33] U. Moon, J. Silva, J. Steensgaard, and G. C. Temes, "Switched-capacitor DAC with analogue mismatch correction," *Electronics Letters*, Vol. 35, pp. 1903–1904, October 1999.

217
218

[34] B. Razavi and B. A. Wooley, "Design techniques for high-speed high-resolution comparators," *IEEE Journal of Solid-State Circuits*, Vol. SC-27, pp. 1916–1926, December 1992.

[35] R. van de Plassche and P. Baltus, "An 8 b 100 MHz folding ADC," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 222–223, February 1988.

[36] K. Kusumoto et al., "A 10 b 20 MHz 30 mW pipelined interpolating CMOS ADC," *IEEE Journal of Solid-State Circuits*, Vol. 28, pp. 1200–1206, December 1993.

[37] M. Steyaert et al., "A 100-MHz 8-bit CMOS interpolating A/D converter," *IEEE Custom Integrated Circuits Conference*, pp. 28.1.1–28.1.4, May 1993.

[38] R. E. J. van de Grift et al., "An 8-bit video ADC incorporating folding and interpolation techniques," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, pp. 944–953, December 1987.

[39] I. Mehr and D. Dalton, "A 500-MSamples/s, 6-b Nyquist-rate ADC for disk-drive read-channel application," *IEEE Journal of Solid-State Circuits*, Vol. 34, pp. 912–920, July 1999.

[40] K. Nagaraj et al., "A dual-mode 700-Msamples/s 6-bit 200-MSamples/s 7-bit A/D converter in a 0.25-μm digital CMOS process," *IEEE Journal of Solid-State Circuits*, Vol. 35, pp. 1760–1768, December 2000.

[41] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsamples/s A/D converter in 0.35-μm CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 36, pp. 1847–1858, December 2001.

[42] X. Jiang et al., "A 2 GS/s 6 b ADC in 0.18 μm CMOS," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 322–323, February 2003.

[43] K. Poulton et al., "A 20 GS/s 8 b ADC with a 1 MB memory in 0.18 μm CMOS," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 318–319, February 2003.

[44] R. Taft et al., "A 1.8 V 1.6 GS/s 8 b self-calibrating folding ADC with 7.26 ENOB at Nyquist frequency," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 252–253, February 2004.

219

[45] T. Shimizu et al., "A 10-bit 20-MHz two-step parallel A/D converter with internal S/H," *IEEE Journal of Solid-State Circuits*, Vol. 24, pp. 13–20, February 1989.

[46] Y. Wang and B. Razavi, "An 8-bit 150-MHz CMOS A/D converter," *IEEE Journal of Solid-State Circuits*, Vol. 35, pp. 308–317, March 2000.

[47] S. Limotyrakis et al., "A 150-MS/s 8-b 71-mW CMOS time-interleaved ADC," *IEEE Journal of Solid-State Circuits*, Vol. 40, pp. 1057–1067, May 2005.

[48] H. Pan et al., "A 3.3-V 12-b 50-MS/s A/D converter in 0.6-μm CMOS with over 80-dB SFDR," *IEEE Journal of Solid-State Circuits*, Vol. 35, pp. 1769–1780, December 2000.

[49] H. Pan and A. A. Abidi, "Spectral spurs due to quantization in Nyquist ADCs," *IEEE Trans. on Circuits & Systems—I: Regular Papers*, Vol. 51, pp. 1422–1439,

August 2004.

[50] S. H. Lewis and P. R. Gray, "A pipelined 5-Msample/s 9-bit analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, pp. 954–961, December 1987.

[51] A. N. Karanicolas et al., "A 15-b 1-Msample/s digitally self-calibrated pipelined ADC," *IEEE Journal of Solid-State Circuits*, Vol. 28, pp. 1207–1215, December 1993.

[52] D. Cline, *Noise, speed, and power trade-offs in pipelined analog-to-digital converters*, Ph.D. dissertation, UC Berkeley, Berkeley, CA, 1995.

[53] S. Lee and B. S. Song, "Digital-domain calibration of multi-step analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, Vol. 27, pp. 1679–1688, December 1992.

[54] B. Murmann et al., "A 12-b 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE Journal of Solid-State Circuits*, Vol. 38, pp. 2040–2050, December 2003.

[55] E. Siragusa et al., "A digitally enhanced 1.8 V 15 b 40 Ms/s CMOS pipelined ADC," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 452–453, February 2004.

[56] H. C. Liu et al., "A 15-b 40-MS/s CMOS pipelined analog-to-digital converter with digital background calibration," *IEEE Journal of Solid-State Circuits*, Vol. 40, pp. 1047–1055, May 2005.

220

[57] W. Yang et al., "A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input," *IEEE Journal of Solid-State Circuits*, Vol. 36, pp. 1931–1936, December 2001.

[58] A. Kitagawa et al., "A 10 b 3MSamples/s CMOS cyclic ADC," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 280–281, February 1995.

[59] J. L. McCreary et al., "All-MOS charge redistribution A/D conversion technique—Part I," *IEEE Journal of Solid-State Circuits*, Vol. SC-10, pp. 371–379, December 1975.

[60] G. C. Temes, "Accurate linear data conversion using inaccurate nonlinear analog components," Research Seminar, Oregon State University, Corvallis, OR, January 2003.

[61] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE*, Vol. 84, pp. 1584–1614, November 1996.

[62] J. Robert et al., "A 16-bit low-voltage CMOS A/D converters," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, pp. 157–163, April 1987.

[63] W. C. Black et al., "Time-interleaved converter arrays," *IEEE Journal of Solid-State Circuits*, Vol. SC-15, pp. 1022–1029, December 1980.

[64] S. R. Norsworthy, R. Schreier, and G. C. Temes, *Delta-sigma data converters—Theory, design and simulation*, IEEE Press, New York, 1997.

[65] B. E. Boser and B. A. Wooley, "The design of sigma-delta modulation analog-to-digital converters," *IEEE Journal of Solid-State Circuits*, Vol. SC-23, pp. 1298–1308, December 1988.

[66] J. Silva et al., "Wideband low-distortion delta-sigma ADC topology," *Electronics Letters*, Vol. 37, pp. 737–738, June 2001.

[67] W. L. Lee, *A novel higher order interpolative modulator topology for high resolution oversampling A/D converters*, Master's thesis, MIT, Cambridge, MA, 1987.

[68] R. Schreier, *Delta-sigma Toolbox in MATLAB*, [Online]. Available at ftp://ftp.mathworks.com/pub/contrib/v5/control/delsig.

[69] SWITCAP2 (v1.1) Manual, [Online]. Available at www.cisl.Columbia.edu/projects/switcap.

221

[70] R. Schreier, "An empirical study of high-order single-bit delta-sigma modulators," *IEEE Trans. on Circuits & Systems*, Vol. 40, No. 8, pp. 461–466, August 1993.

[71] N. S. Sooch et al., "18-bit stereo D/A converter with integrated digital and analog filter," *Proceedings of Ninth AES International Convention*, October 1991.

[72] P. Ferguson et al., "An 18 b 20 kHz dual sigma-delta A/D converter," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 68–292, February 1991.

[73] A. Feldman et al., "A 13-bit, 1.4-MS/s sigma-delta modulator for RF baseband channel applications," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 10, pp. 1462–1469, October 1998.

[74] T. Sun, *Compensation techniques for cascaded delta-sigma A/D converters and high-performance switched-capacitor circuits*, Ph.D. dissertation, Oregon State University, Corvallis, OR, 1998.

[75] A. Abidi, "On the operation of cascode gain stages," *IEEE Journal of Solid-State Circuits*, Vol. 23, No. 6, pp. 1434–1437, December 1988.

[76] L. R. Carley, "A noise-shaping coder topology for 15+ bit converters," *IEEE Journal of Solid-State Circuits*, Vol. SC-24, No. 2, pp. 267–273, April 1989.

[77] R. T. Baird and T. S. Fiez, "Linearity enhancement of multi-bit ΔΣ A/D and D/A converters using data weighted averaging," *IEEE Trans. on Circuits & Systems*, Vol. 42, No. 12, pp. 753–762, December 1995.

[78] J. Grilo et al., "A 12-mW ADC delta-sigma modulator with 80 dB of dynamic range integrated in a single-chip blue-tooth transceiver," *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 3, pp. 271–277, March 2002.

[79] I. Fujimori et al., "A multibit delta-sigma audio DAC with 120-dB dynamic range," *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 8, pp. 1066–1073, August 2000.

222

第6章 开关电容 DC-DC 变换器

6.1 引言

随着人们对小型化(体积小、重量轻)、高转换效率、低成本的电源管理系统的需求的不断增长,开关电容型(SC)直流—直流(DC-DC)变换器获得了发展动力。在满足便携式电子设备(如 MP3、手机、PDA 等)不断小型化的要求方面,SC DC-DC 变换器是最佳的选择。

现代便携式电子设备必须由电池供电(例如标准 Li 离子电池、Ni/H 电池、太阳能电池,以及燃料电池等等)。这些电池在第一次使用时可以提供满范围的直流电压;以后随着时间的推移,电池的电压将以一定的速率下降,具体的下降速率取决于电池的种类以及负载电流的大小。

严格来说,电池电压并不随时间按线性规律下降。实际上,电池电压在工作时间达到某个阈值之前,一般下降相对缓慢。一旦过了阈值,电池电压就会急速下降。例如,对于标准的 AA 型 Li 离子电池,在负载电流为 200mA 时,在工作的前四个小时里,标称(额定)输出电压将从 4.05V 下降到 3.45V。在前四个小时过后,电池电压就会大幅下降,在接下来的 30min 里,电压将从 3.45V 下降到 2.25V。其他类型的电池(如 Ni/H 电池、太阳能电池等)也是这样的。电池电压的这种变化会对电子设备产生不良影响,因此在电池电压随时间变化的情况下,需要借助 DC-DC 变换器来提供持续稳定的电压。

传统的开关电源(switching-mode power supply,SMPS)电路是利用由电磁线圈构成的电感来处理能量和稳定输出电压的。在有些情况下,根据转换效率的要求以及由于输出脉动的限制,需要在 SMPS 电路中加入变压器或者用变压器来取代电感。电感和变压器进行功率转换的突出特点是效率很高,因而从 20 世纪 30 年代以来,就一直被许多实际设计采用(特别是在负载电流超过 0.5A 的设计中)[1]。

然而,大多数低功耗、小体积的移动设备都需要将电源集成在 CMOS IC 中,但由于片外(外部)的电感不仅尺寸庞大,而且其电磁干扰(EMI)大得难以接受,因此实现符合这种集成要求的设计始终是一个挑战。尽管人们发明了结构紧凑的片内螺旋电感(spiral inductor)[2],以便实现全集成的射频(RF)滤波器和压控振荡器(VCO),但同常

规的片外电感相比，螺旋电感所能获得的品质因数(Q)相对较低(通常小于16)，因为Q大致正比于电感尺寸的平方[2]。低品质因数的后果是高功耗，因此使用螺旋电感的功率变换器能够实现的最大转换效率要比使用外部电感的变换器低很多。至今，在高效单片 DC-DC 变换器的应用场合中，使用片内电感技术的方案仍然没有多大的吸引力。

作为电感式 DC-DC 变换器的一种替代，SC DC-DC 变换器用一些电容和一组开关来替代电磁线圈，这使得将整个变换器制作在单个芯片上成为可能。在 SC DC-DC 变换器中，开关组负责电容的充、放电，以提供希望的输出电压，为电子器件供电。除了集成度高之外，SC DC-DC 变换器还有制造成本低、开关频率高、转换效率中等偏上，以及电压模式(voltage-mode)电磁干扰(EMI)得到减小等优点。

另一方面，主要因为非零开关导通电阻(nonzero switch on-resistance)R_{on}，在 SC DC-DC 变换器中会出现信号相关的尖峰电流。在理想情况下，当 SC DC-DC 变换器中的电容通过零导通电阻的理想开关充电时，电荷将在一瞬间流到电容上(而电容两端的电压则将缓慢变化)，所得的电流波形将由一系列脉冲波组成。但对于导通电阻非零的实际开关来说，电荷不可能瞬间转移，因此，在输出的电流波形中，包含的将是有限脉冲宽度的电流尖峰，而不是零脉冲宽度的脉冲。另外，由于R_{on}的值依赖于输入信号，因此会在变换器中引起信号相关的畸变。总之，SC DC-DC 变换器将会受到电流模式(current mode)EMI 的影响，且这种 EMI 是以谐波的形式存在的。

224

另外，由于R_{on}要消耗能量，所以会降低变换器的转换效率。为了减小R_{on}的功耗，必须将 SC DC-DC 变换器中起开关作用的 MOS 设计得具有大的W/L比值，这里W是有效门极宽度，L是有效门极长度。这就在某种程度上限制了 SC DC-DC 变换器功率密度的提高。

最后，如果芯片中集成了电容，那么寄生电容也会引起功率损耗，从而进一步降低转换效率。为了获得较高的转换效率，片内电容需要采用先进的工艺来制造，以获得较低的寄生电容。然而，这往往会使制造成本增加，所以在现有的许多商用 SC DC-DC 变换器中仍采用片外电容，以获得较高的转换效率，同时又不致损失太多的集成度(由于所需的电容值相对较大，典型值在 0.1μF 的数量级，因此电容的片外实现与片内实现相比，线性尺度的差别并不显著)。

SC DC-DC 变换器的分类

有三种基本的 SC DC-DC 变换器。其中的前两种分别是降压型(buck)变换器和升压型(boost)变换器。顾名思义，降压型变换器对输入电压进行变换的增益小于或等于1，而升压型变换器则具有大于或等于1的电压增益。第三种是升降压型(buck-boost)变换器，它是升压型和降压型的结合。

SC DC-DC 变换器的应用

SC DC-DC 变换器常称为电荷泵(charge-pump)，有时也称作推挽式变换器(push-

pull converter),因为它们采用电容来储存和传输电荷形式的能量。SC DC-DC 变换器在许多领域中得到了广泛应用,其中包括动态随机存取存储器(DRAM)电路[3]、电可擦除可编程只读存储器(EEPROM)电路[4],以及锁相环(PLL)电路[5]。从 20 世纪 90 年代后期以来,它们开始在 CMOS 数据转换器之类的低压 SC 电路中广泛应用。

本章提要

6.2 节讨论 Dickson 电荷泵的设计,这是一种广泛使用的开环 SC 升压 DC-DC 变换器;6.3 节介绍交叉耦合 SC 升压 DC-DC 变换器;6.4 节简要介绍 SC 降压 DC-DC 变换器;最后在 6.5 节介绍多增益 SC 升降压型 DC-DC 变换器。

6.2 Dickson 电荷泵

传统的 Dickson 电荷泵

在 DRAM、EEPROM 和快闪型存储设备中,最为广泛采用的升压 SC DC-DC 变换器可能要数 Dickson 电荷泵[6]。图 6.1 所示是一个五级的 Dickson 电荷泵。在该电路中,六个 NMOS 和五个大容量的泵升电容分别被用作二极管和能量处理器件。这里假定这六个 NMOS 是完全相同的,每个泵升电容的充电时间要比 Φ_1 和 Φ_2 的持续时间短(即 $R_{on}C_i<0.5T_{clk}$),且忽略晶体管的基体效应和寄生电容。

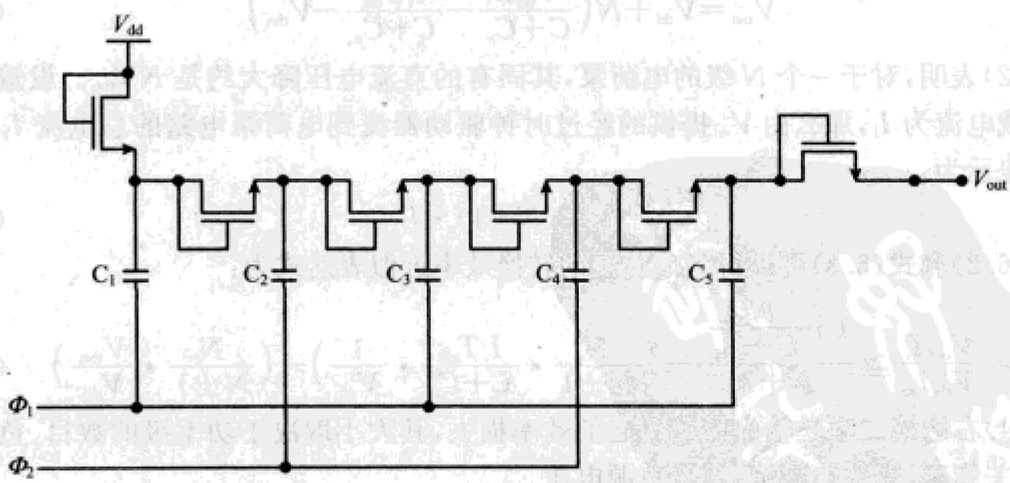


图 6.1 传统的 Dickson 电荷泵

该电路的工作原理介绍如下。当 Φ_1 变成低电平时(即 $\Phi_1=0$),电容 C_1 的顶板(top plate)被充电至($V_{dd}-V_{thn}$),这里 V_{dd}是电源电压,V_{thn}是 NMOS 的阈值电压。注意本章所用的**顶板**这一术语,它并不一定是指片内的**双层多晶硅电容**(double-poly capacitor)的顶板。当 Φ_1 变成高电平时(即 $\Phi_1=V_{dd}$),C_1 的电压不会突变,因此电容 C_1 的顶板被充电至($2V_{dd}-V_{thn}$)。结果,C_1 和 C_2 之间接成二极管的那个 NMOS 导通,C_2 的顶板被

充电到$(2V_{dd}-2V_{thn})$。接着Φ_1变成低电平、Φ_2变成高电平（即$\Phi_2=V_{dd}$），C_2和C_3的顶板分别升压至$(3V_{dd}-2V_{thn})$和$(3V_{dd}-3V_{thn})$，而C_1的顶板电压则降回至$(V_{dd}-V_{thn})$。这个过程在后续各级得到延续，最后使得C_5的顶板电压在$(5V_{dd}-5V_{thn})$和$(6V_{dd}-6V_{thn})$之间交替变化。在最后一个二极管（即最右边的NMOS）的后面，输出电压V_{out}在$(5V_{dd}-6V_{thn})$和$(6V_{dd}-6V_{thn})$之间交替变化。例如，设$V_{dd}=1.5\text{V}$、$V_{thn}=0.5\text{V}$，则理论上V_{out}应该在4.5V和6V之间的范围内变化。

实际上，每个泵升电容$C_i(i=1,2,3,4,5)$的顶板和地之间都存在寄生电容(C_{pi})。考虑到这些寄生电容，可以得到N级Dickson电荷泵的标称输出电压的通式为：

$$V_{out}=V_{dd}+\sum_{i=1}^{N}\left(\frac{V_{dd}C_i}{C_i+C_{pi}}-\frac{I_{li}T_{clk}}{C_i+C_{pi}}-V_{thn}\right) \tag{6.1}$$

式(6.1)括号中的表达式代表第i个功率级的**电压泵升增益**(voltage pumping gain)，它相当于C_i和$C_{i-1}(i\geqslant 1)$两电容的顶板电压之差的最大值；括号内的第二项则代表由第i个功率级的SC结构引起的输出电压变化或纹波(ripple)[7,8]；I_{li}是第i个功率级的负载电流。值得指出的是，这个纹波电压的大小与时钟频率或**开关频率**(switching frequency)成反比。也就是说，时钟频率越高，电荷泵的输出电压就越平滑。

为了简化分析，假定上述电路中的所有泵升电容具有相同的电容值（即$C_i=C$）和相同的寄生电容值（即$C_{pi}=C_p$），并且各功率级具有相同的负载电流I_l。这样一来，式(6.1)就可以简化为：

$$V_{out}=V_{dd}+N\left(\frac{V_{dd}C}{C+C_p}-\frac{I_lT_{clk}}{C+C_p}-V_{thn}\right) \tag{6.2}$$

式(6.2)表明，对于一个N级的电荷泵，其固有的直流电压降大约是NV_{thn}。设输出端的负载电流为I_l，那么由V_{dd}提供的经过时钟驱动器流到电荷泵电路的总电流I_{in}可以近似表示为：

227

$$I_{in}\cong(N+1)\cdot I_l \tag{6.3}$$

从式(6.2)和式(6.3)可以得到电荷泵的转换效率近似表达式为：

$$\eta=\frac{V_{out}I_l}{V_{dd}I_{in}}\cong\frac{1+\frac{NC}{C+C_p}}{N+1}-\left(\frac{N}{N+1}\cdot\frac{I_lT_{clk}}{C+C_p}\cdot\frac{1}{V_{dd}}\right)-\left(\frac{N}{N+1}\cdot\frac{V_{thn}}{V_{dd}}\right) \tag{6.4}$$

式(6.4)右边第二项是输出脉动引起的效率损失，其大小取决于功率级的数目、负载电流、开关频率、寄生电容值，以及电源电压。

式(6.4)中的最后一项反映了Dickson电荷泵的一个主要缺点，即其电路中的MOS的阈值电压会显著降低电荷泵的转换效率。随着级数N的增加，转换效率会随之下降。另外，假定V_{dd}与V_{thn}接近（例如$V_{dd}\leqslant 1.2\text{V}$）——这种情况在超低功耗系统中经常碰到，那么传统的Dickson电荷泵电路就不能正常工作，因为其转换效率将接近于零。

改进型 Dickson 电荷泵

为了补偿MOS固有的阈值电压，出现了各种各样的改进型Dickson电荷泵电路。

其中一项基于静态电荷转移开关(static charge transfer switches)的技术最值得关注，它是由 Wu 等人提出的[7]。图 6.2 所示为基于该技术的一个四级 Dickson 电荷泵电路。从原理图可见，该电荷泵由十个 NMOS 和五个电容构成。为了简化分析，我们假定晶体管的基体效应可以忽略。

该电路的运行原理如下。当系统初次启动后，电源电压 V_{dd} 加在最左边的两个耦合 NMOS 的漏极上，其中上部的 NMOS 接成二极管，而另一个则用作电荷转移开关，并且由电容 C_2 的顶板电压来控制其运行。开始时，NMOS 开关是关断的，电容 C_1 的顶板充电至 $(V_{dd}-V_{thn})$。跟前面介绍的电路一样，当 Φ_1 变高(即 $\Phi_1=V_{dd}$)时，C_1 的顶板充电至 $(2V_{dd}-V_{thn})$，C_2 的顶板则充电至 $(2V_{dd}-2V_{thn})$。接着，当 Φ_2 变高时(即 $\Phi_2=V_{dd}$)，C_2 的顶板充电至 $(3V_{dd}-2V_{thn})$。

228

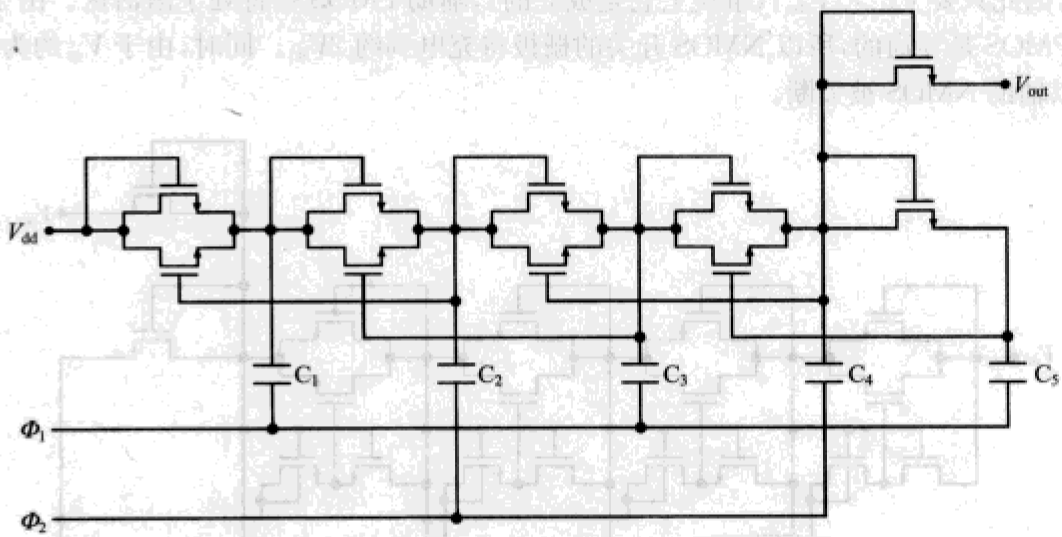


图 6.2 改进的 Dickson 电荷泵

因 C_2 的顶板电压固定在 $(2V_{dd}-2V_{thn})$ 与 $(3V_{dd}-2V_{thn})$ 之中取值，从左边数的第一个 NMOS 开关导通，由于其栅-源电压 $V_{gs}\approx V_{dd}>V_{thn}$(假定 $V_{dd}>V_{thn}$)，所以它工作在激活区。因此，通过该 NMOS 开关，C_1 的顶板被充电到 V_{dd}。同样，后续各级的电容顶板将分别充电至 $2V_{dd}$、$3V_{dd}$ 和 $4V_{dd}$。换言之，接成二极管的 NMOS 相当于预处理(preconditioning)或启动(startup)装置，而 NMOS 开关则起着实际的升压作用。另外可以证明，每个 NMOS 开关的平均转移电荷是不变的，因而被叫作静态电荷转移开关。

基于前面的分析及式(6.2)，对于这个使用静态电荷转移开关的 N 级 Dickson 电荷泵电路，可以写出其(在最后一个二极管之前的)标称输出电压表达式为：

$$V_{out}=V_{dd}+N\left(\frac{V_{dd}C}{C+C_p}-\frac{I_1T_{clk}}{C+C_p}\right) \tag{6.5}$$

式(6.5)表明，改进的电荷泵配置消除了式(6.2)和式(6.4)中与 V_{thn} 有关的项。所以从理论上来讲，改进的电荷泵要比图 6.1 所示的传统电荷泵效率更高。

但是，上述电荷泵有一个主要缺点，就是当所需的电荷转移完成后，NMOS 开关将无

法完全关断，从而导致一个反向电荷泄漏(reverse charge leakage)，使电压泵升增益减小。

229 举例来说，在图 6.2 所示的电路中，当 C_1 和 C_2 的顶板分别充电至 V_{dd} 和 $2V_{dd}$ 后，除非满足 $V_{gs}<V_{thn}$ 的条件，否则左起的第一个 NMOS 开关将无法完全关断。但是这里的实际情况是 $V_{gs}=V_{dd}$，前面所说的条件不可能满足。结果，电源电压需分出一部分用来抵偿这个特殊的 NMOS 开关的导通压降，因而减小了电压泵升的增益，降低了转换效率。

在静态电荷转移开关技术提出两年以后，前述研究者(Wu 等人)又提出了一种改进方案[8]，他们声称，只需在每个功率级添加一对辅助 NMOS 和 PMOS，就可以解决上面所说的问题。图 6.3 所示是一个四级的例子。

下面从 C_1 和 C_2 的顶板分别充电至 V_{dd} 和 $2V_{dd}$ 时开始分析该电路。先看(左起的)第一级中的辅助 PMOS，此时其漏—栅电压 V_{dg} 大约为 V_{dd}。由于 $V_{sd}=V_{sg}-V_{dg}\approx V_{sg}-V_{dd}$，因此只要 $V_{dd}>|V_{thp}|$(事实上它是成立的)，辅助 PMOS 就将处于激活区。由于辅助 PMOS 是导通的，所以 NMOS 开关的栅极将充电到约 $2V_{dd}$。同时，由于 V_{gs} 约为零，所以辅助 NMOS 被关断。

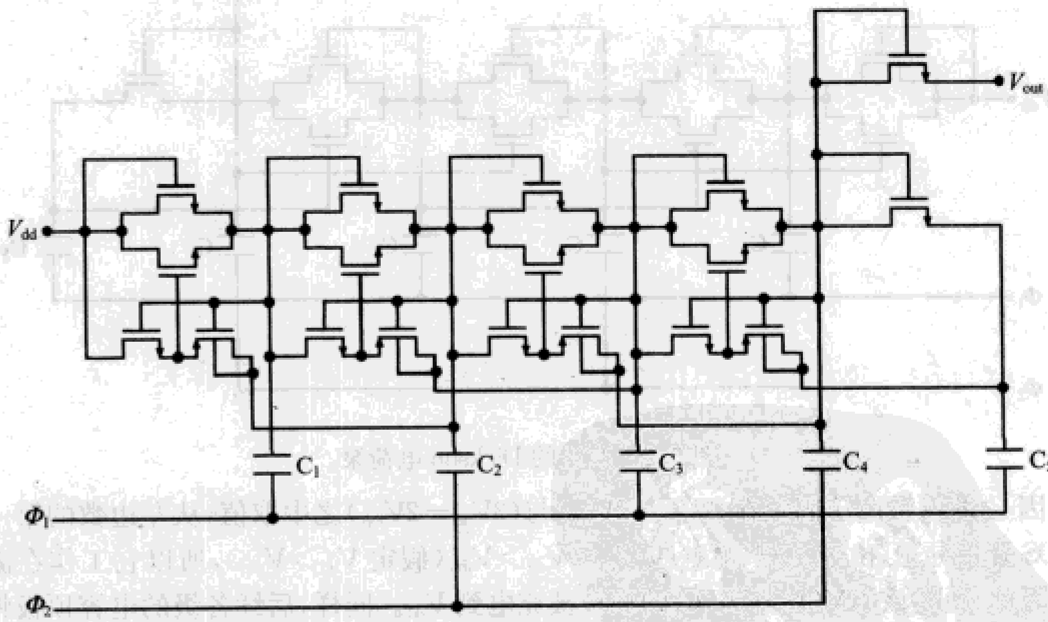


图 6.3 具有辅助管的改进 Dickson 电荷泵

230 接下来，Φ_1 变成高电平、Φ_2 变成低电平辅助 PMOS 关断、辅助 NMOS 导通，因为此时这两个管子的栅极都充电到了 $2V_{dd}$。同时，NMOS 开关的栅极电压仍保持为 V_{dd}，但其源级电压却变成了 $2V_{dd}$，结果 V_{gs} 变负，等于 $-V_{dd}$。所以，NMOS 电荷转移开关被完全关断，从而避免了反向电荷泄漏。

不过，到目前为止，我们还没考虑基体效应(body effect)或衬地效应(substrate effect)对 Dickson 电荷泵电路的影响。当 NMOS 和 PMOS 都采用高衬底掺杂浓度的 CMOS 工艺实现时，基体效应尤为重要。

基体效应可以定性描述如下。对于 NMOS，当其源—基体电压(V_{sb})升高时，栅极

下方沟道中的自由电子数量将减少(基体可以看作是晶体管的一个辅助栅极)。其结果是平均沟道电流 I_{ds} 减小,有效阈值电压 V_{thn} 增大,所以 NMOS 变得更加难以导通了。相反,对于 PMOS,基体效应则可能发生在基体—源电压(V_{bs})较大时。

现在重新看一下图 6.3 的电荷泵电路。注意,在电荷转移模式期间,由于基体效应的存在,(左起的)第四个 NMOS 开关有可能不能完全导通。分析如下。首先,从前面的讨论我们知道,为了导通 NMOS 开关,必须满足以下条件:$V_{dd}>V_{thn}$。其次,考虑基体效应,NMOS 的实际阈值电压是:

$$V_{thn}=V_{thn_0}+\gamma(\sqrt{V_{sb}+2|\Phi_F|}-\sqrt{2|\Phi_F|}) \tag{6.6}$$

其中,V_{thn-0} 是当 NMOS 的源极和基体短路(即 $V_{sb}=0$)时的阈值电压;γ 是基体效应系数(body effect coefficient),单位为 $V^{1/2}$;Φ_F 是费米势(Fermi potential),对于典型的 CMOS 工艺,其值大约为 0.35V[9]。假定 $V_{dd}=1.8V$,$\gamma=0.6$,$V_{thn-0}=0.7V$,并且假定此处的四级电荷泵所需的输出电压为 7.0V 左右(由于寄生电容的存在,N 级电荷泵能够达到的最大增益通常小于 4),因此有 $V_{sb}\approx 7.0V$(为了防止闩锁效应,NMOS 的衬底是接地的[9])。将这些值代入式(6.6),可以得到 V_{thn} 的值,大约为 1.83V(可见 $V_{dd}<V_{thn}$)。

因此,在此种情况下,第四个功率级的 NMOS 开关不能成功导通。这说明第四个功率级不会起作用。事实上,实验表明当这种电荷泵拓扑的功率级数目超过五级时,可达到的最大转换效率将急剧下降。

利用交叉耦合电压倍增器来增加时钟电压的幅值,并用该时钟电压通过 C_5 来驱动最后一个功率级,就可以减轻基体效应引起的上述性能限制[8],这将是 6.3 节要介绍的主题。另一个替代方案是,可以用 PMOS 来替换这些引起问题的 NMOS 开关以及输出 NMOS 二极管,以补偿基体效应[10]。相关文献对其电路作了详细描述。

进一步来讲,在给定电源电压(V_{dd})、负载电压(I_l)以及时钟频率(f_{clk})的情况下,确定一个 Dickson 电荷泵所需的总电容最小值,是很有实际意义的。这个总电容值可以用来估算电荷泵电路的总硅片面积和功耗。由式(6.5)可得总电容的表达式为:

$$C_{total}=NC=\frac{(C+C_p)(V_{out}-V_{dd})}{CV_{dd}-I_lT_{clk}}C \tag{6.7}$$

将式(6.7)对 C 求导,可以得到使总电容量最小化的最优 C 值[10],其表达式为:

$$C_{opt}=\frac{I_l}{V_{dd}f_{clk}}+\sqrt{\left(\frac{I_l}{V_{dd}f_{clk}}\right)^2+\frac{I_lC_p}{V_{dd}f_{clk}}} \tag{6.8}$$

为了对该值的大小有个粗略的认识,假定有一个 Dickson 电荷泵,由 2V 电池电压供电,其运行的时钟频率为 1MHz,需要提供的负载电流为 100mA,此外假定寄生电容 C_p 为 $0.05C$。那么利用前面的式(6.7)和式(6.8),可以算得 C 的最优值,其结果大约为 0.1025μF。因此对于四级(即 $N=4$)的情况,最小总电容值约为 0.41μF。

6.3 交叉耦合 SC 升压 DC-DC 变换器

虽然基于 Dickson 电荷泵拓扑来构建升压式 DC-DC 变换器比较容易,但其转换效

率过低，不能满足许多实际应用的需要，特别是当电源电压 V_{dd} 很低的时候（如低于 1.2V）。另外，从式(6.8)可见，低电源电压且大负载电流的 Dickson 电荷泵电路通常具有很大的硅片面积，这对于设计诸如助听器之类的小型化设备是非常不利的。

232

作为 Dickson 电荷泵电路的替代方案，交叉耦合 SC DC-DC 变换器更适合那些由电池供电的便携设备，因为这类设备要求有更高的转换效率、更小的硅片面积。一种早期的高效交叉耦合电荷泵拓扑是电压倍增器(×2)，它含有 4 个 NMOS、4 个 PMOS 和 3 个大容量电容[3]。最近，这种拓扑又被应用于低电源电压的 CMOS 数据转换器中，以使开关的导通电阻最小化[11]。图 6.4 所示是该电荷泵拓扑的几种可能的晶体管级实现电路中的一个[12]。

在图 6.4 所示的电路中，所有的 NMOS 共用同一衬底，并且该衬底是接地的，而所有的 PMOS 则制作在同一个 N 阱上，并且该 N 阱与偏置电压 V_{bias} 相连，且偏置电压 V_{bias} 大于或等于所需的输出电压值($2V_{dd}$)。采用这种结构的主要目的是保证 NMOS 的源极(或 PMOS 的 N 阱)与衬底之间的 PN 结反向偏置，以避免启动时产生闩锁效应[9]。

233

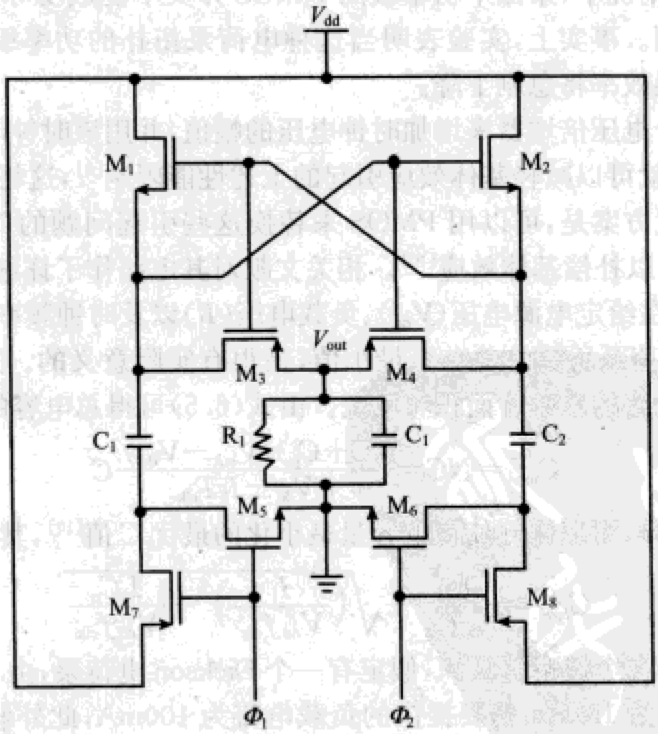


图 6.4 配置成电压倍增器的交叉耦合电荷泵

该电路的工作原理如下。我们从包含晶体管 M_1、M_3、M_5 和 M_7 的一半电路着手开始分析。当 Φ_1 变高时(即 $\Phi_1=V_{dd}$)，M_1 和 M_5 导通(因 Φ_1 和 Φ_2 无重叠，故 M_1 和 M_2 从来不会出现同时导通的现象)，因此电容 C_1 被充电至 V_{dd}。接下来 Φ_1 变低(即 $\Phi_1=0$)、Φ_2 变高(即 $\Phi_2=V_{dd}$)，因此 M_1 和 M_5 关断，而 M_3 和 M_7 导通。在理想状况下，V_{out} 会被充

电至 $2V_{dd}$，因而有了电压倍增器(voltage doubler)的名称。

另一半电荷泵电路包含了晶体管 M_2、M_4、M_6 和 M_8，它是上面分析过的一半电路的反相版本，也就是说，图 6.4 所示的电路是由两个完全相同的电压倍增器组成的，只不过它们处于反相运行状态。这种结构有两个主要优点。首先，它使有效开关频率加倍(这类似第 3 章讨论的双采样概念)，也就是说，由 R_l 和 C_l 组成的输出滤波器的有效时钟频率是 $2f_{clk}$(f_{clk}是系统时钟频率)。这个特点有助于减小输出脉动和提高转换效率。其次，在 Dickson 电荷泵电路中必不可少的二极管接法的 MOS，因采用交叉耦合结构而可以去掉，从而使阈值压降不再是问题。

然而，交叉耦合电荷泵拓扑存在着一个很大的设计问题，即其寄生电容对转换效率有直接的影响。事实上，在转换周期中的功耗，主要是由内部寄生电容的充放电引起的。

根据文献[12]中的研究，图 6.4 所示电荷泵的转换效率可以近似表示为(假定泵升电容 $C_1=C_2=C$)：

$$\eta \cong \frac{1}{1+\alpha\cdot Cf_{clk}\dfrac{(R_l+R_0)^2}{2R_l}+2Cf_{clk}\dfrac{R_0^2}{R_l}} \tag{6.9}$$

其中 $\alpha\cdot C$ 表示各泵升电容的有效寄生电容值。式(6.9)表明，转换效率与寄生因数 α 成反比。α 的值由集成电容的类型决定。如果使用多晶硅-金属电容，其值可高达 50%；如果是双层多晶硅电容，则 α 的值多在 5%～10%之间；而如果是薄氧化物 CMOS 电容，则 α 的值在 10%～15%之间。

234

式(6.9)中的 R_0 相当于输出电阻，它由内部电容开关操作产生的模拟 SC 电阻及开关导通电阻(其中不包括电阻性的负载 R_l)组成[12,13]。R_0 的一阶近似可表示为：

$$R_0 \cong \begin{cases} \dfrac{1}{2f_{clk}(1+\alpha)C} & \text{当且仅当}\quad f_{clk}<f_{cutoff}=\dfrac{1}{2[R_{on}\cdot(1+\alpha)C+t_{sw}]} \\ R_{on} & \text{当且仅当}\quad f_{clk}\geqslant f_{cutoff}=\dfrac{1}{2[R_{on}\cdot(1+\alpha)C+t_{sw}]} \end{cases} \tag{6.10}$$

其中，t_{sw}是包括非重叠区间(即两个时钟相都为 0V 的时间)在内的开关延迟。注意，由于前面提及的双采样效应，因此在式(6.10)的第一个表达式中用的是 $2f_{clk}$ 而不是 f_{clk}。

从式(6.9)和式(6.10)可见，只要时钟频率 f_{clk} 低于截止频率 f_{cutoff}，转换效率就会随着 f_{clk} 的升高而提高。但是，一旦 f_{clk} 超过截止频率，转换效率就会随着 f_{clk} 的升高反而降低。换言之，交叉耦合电荷泵电路的实际频率范围受限于 f_{cutoff}。

f_{cutoff} 的值在很大程度上取决于电容的类型和制造工艺。10MHz 左右的截止频率是一个很好的参考点，对应这个截止频率的交叉耦合电压倍增器，其采用的电容是双层多晶硅集成电容，且基于标准的 0.5μm CMOS 工艺制造。在这种情况下，根据电阻性负载 R_l 的不同，可达到的最大转换效率在 70%～80%之间。

以前面介绍的交叉耦合电压倍增器为基础，文献[14]提出了电压三倍器(×3)，文献[15]提出了电压四倍器(×4)。此外，还可以将图 6.4 所示的交叉耦合电压倍增器与

两级的 Dickson 电荷泵组合起来，构成混合型的电压四倍器[16]。

在结束对 SC 升压 DC-DC 变换器的讨论之前，有一点要提请大家注意，就是除了这里介绍过的几种电路拓扑之外，还有很多其他实用的电路拓扑。例如，文献[17]介绍了一种称作多层次 SC 变换器(multiple-lift SC converter)的拓扑，就很有意义。这个拓扑的两层(2×)版本的电路被称作 H 桥(H-bridge)，它在许多商用 SC 电压倍增器的设计中都得到了应用。采用模块化的方式，简单地将低阶变换器(如两层或三层的)叠加在一起，可以制造出高达 128 层(×128)的高阶变换器。另一个值得注意的例子是由 Lee 等人提出的伪四相电荷泵(pseudo-4-phase charge-pump)[18]，它尤其适合于超高速的应用场合，如基于亚微米数字 CMOS 工艺制造的闪存等。

235

6.4 SC 降压 DC-DC 变换器

随着低功耗设计理念的日益普及，包括 MP3 播放器、蜂窝电话等在内的许多高级便携式设备都被设计成在 1.5V、1.2V，甚至更低的电压下工作(所用的总负载电流在 1mA～200mA 范围之内)。然而，大部分标准电池的满幅直流电压至少是 2.5V，因此，通常需用降压 DC-DC 变换器来将电池输入的高电压转换成恒定输出的低电压。

图 6.5 所示是一种广泛使用的传统 SC 降压 DC-DC 变换器(它有 3 个功率级)。注意，其中 $M_1 \sim M_6$ 一般都使用肖特基二极管(Schottky diode)，它可以在保持电路高速的同时防止电荷泄漏。

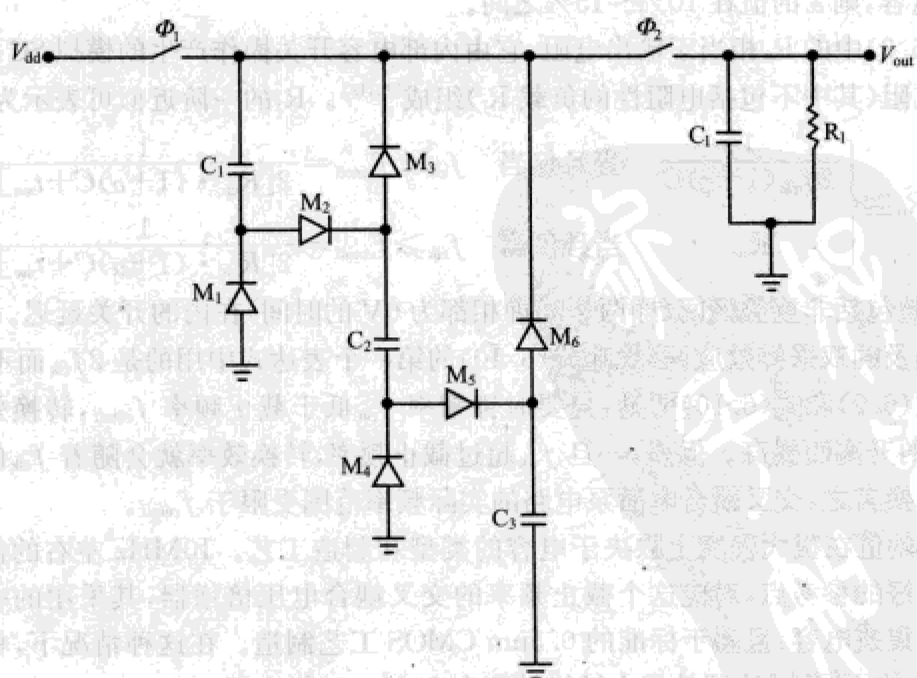


图 6.5 传统的 SC 降压 DC-DC 变换器

该电路是这样运行的。当 Φ_1 变高、Φ_2 变低时，泵升电容 $C_1 \sim C_3$ 串联在一起，经由(靠近输入端的)Φ_1 开关以及 M_2 和 M_5，由 V_{dd} 充电。若假定所有的泵升电容都具有相同的电容值(即 $C_1=C_2=C_3=C$)，那么可以证明，流进每个电容的电荷等于 $V_{dd}C/3$。接下来 Φ_1 变低、Φ_2 变高，泵升电容并联在一起，跨接在 V_{out} 与地之间，也就是说，它们将通过靠近输出端的 Φ_2 开关，同时向负载放电。因此，理想的输出电压为： 236

$$V_{out_ideal}=\frac{V_{dd}}{3} \tag{6.11}$$

Harris 和 Ngo 提出了一种元件数目较少的拓扑[19]。图 6.6 是该拓扑的一个四级的例子。注意，当 Φ_1 变高时，负载电容 C_l 通过二极管 M_8 与三个串联的泵升电容连接在一起。

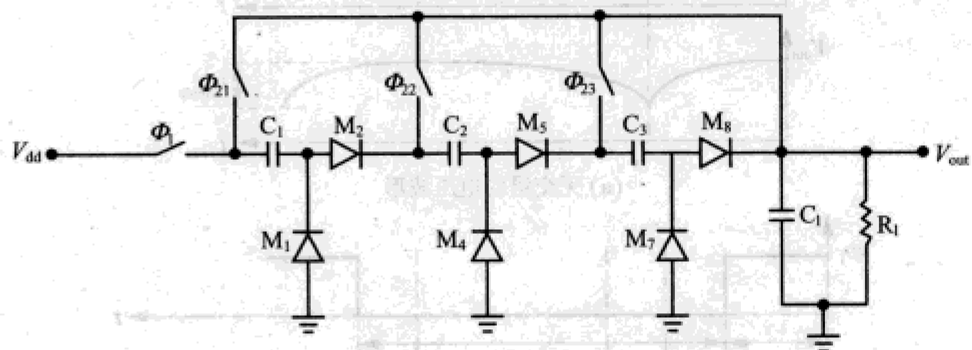


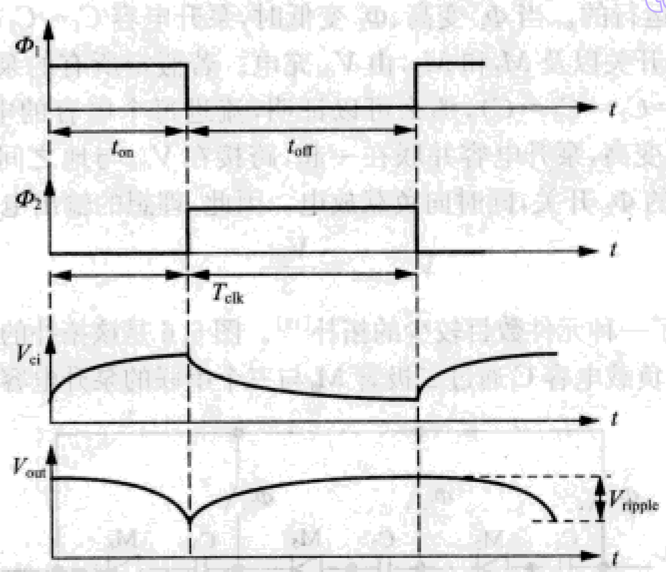
图 6.6 改进的 SC 降压 DC-DC 变换器

该电路是这样运作的，当 Φ_1 变高时，泵升电容 $C_1 \sim C_3$ 以及负载电容 C_l 串联在一起，通过 Φ_1 开关及 M_2、M_5 和 M_8，由 V_{dd} 充电。从理论上讲，如果这四个电容具有相同的规格(即 $C_1=C_2=C_3=C$)，那么进入每个电容的电荷将等于 $V_{dd}C/4$。接下来，Φ_1 变低，若假定开关 Φ_{21}、Φ_{22} 和 Φ_{23} 同时导通，那么理想的输出电压将是 $V_{dd}/4$。

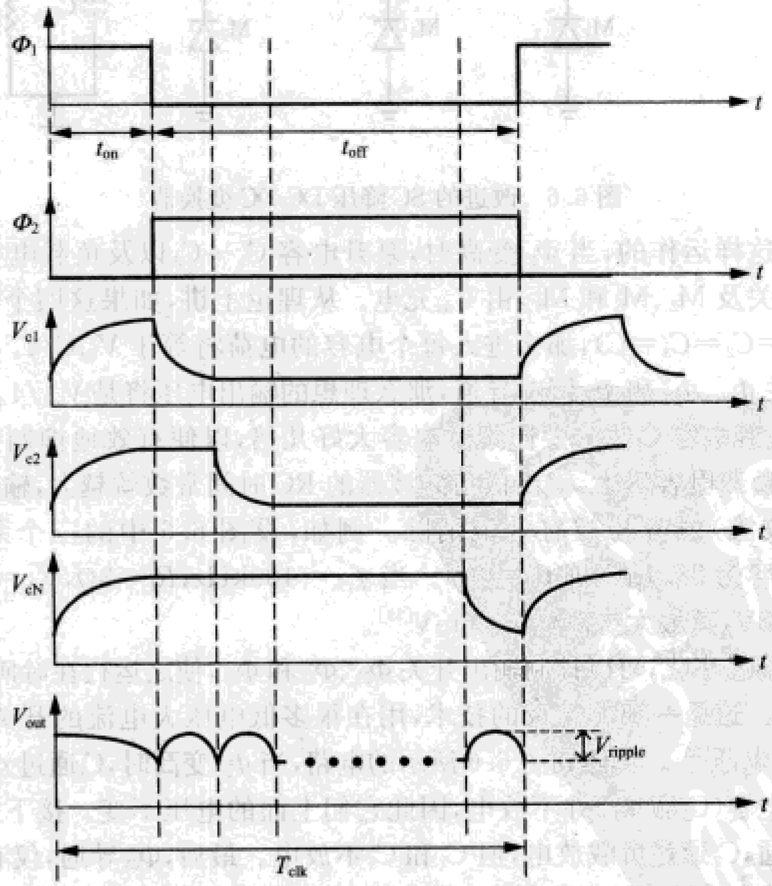
实际上，负载电容 C_l 往往要比泵升电容大好几倍，以便有效地抑制变换器输出信号中的纹波。负载电容越大，输出低通滤波器的 RC 时间常数就越大，输出信号中的高频分量(包括纹波)就容易被有效地消除。例如，设图 6.6 中的三个泵升电容皆为 9.6μF，负载电容为 86.4μF(即 $C_l=9C$)。当 $f_{clk}=100\text{kHz}$，$R_l=3\Omega$，$V_{dd}=55\text{V}$ 时，测得输出约为 11.98V，其最大纹波仅为 96mV[19]。

为了使脉动最小化，可以控制输出开关 Φ_{21}、Φ_{22} 和 Φ_{23}，使之运行在时间重叠(time-interleaving)方式。这是一项很普及的技术，用在很多低电压大电流的开关电源(SMPS)中，以稳定输出电压[20]。具体到图 6.6 所示的电路，当 Φ_2 变高时，C_1 通过 Φ_{21} 开关向负载放电。但其余电容(C_2 和 C_3)并不放电，因此它们上面的电压不变。接下来，开关 Φ_{21} 断开，开关 Φ_{22} 导通，C_2 通过负载放电，但 C_1 和 C_3 不放电。最后，Φ_{23} 导通，仅有 C_3 通过负载放电。下面让我们来研究这种交错配置是如何大幅度地降低输出纹波的。 237

考虑一个($N-1$)级的变换器，若其开关 Φ_{21}、Φ_{22}、Φ_{23} 直到 Φ_{2N} 同时导通(参考图 6.6)，那么将得到如图 6.7a 所示的输入/输出电压波形。如图可见，所有的泵升电容都具有相同的充/放电模式(见 V_{ci})，输出电压中有很大纹波。



(a) 无交错的电压波形



(b) 有交错的电压波形

图 6.7

另一方面，如果开关 Φ_{21}、Φ_{22}、Φ_{23} 直到 Φ_{2N} 轮流导通，那么可以得到图 6.7b 所示的电压波形。与前面的无交错情形不同，这里的泵升电容是依次在不同的时钟相中放电的。另外，前面提及的输出电压纹波现在被切割(chopped)成了一段一段的，获得了较小的平均纹波。

如先前所述，在 SC DC-DC 变换器中，引起输出纹波的主要原因是内部泵升电容的开关操作。另外，由式(6.1)和式(6.2)可以看出，对于一个给定的负载电流，其平均纹波的大小(V_{ripple})正比于 $T_{clk}/(C+C_p)$，其中 T_{clk} 是有效开关周期，$(C+C_p)$ 是每级的等效电容。大家都知道，M 步的交错配置可以将 T_{clk} 减小到 T_{clk}/M。对于图 6.6 所示的电路，M 等于 3，所以最大 V_{ripple} 值将减小到原来的 1/3(即 96mV/3=32mV)。

另外，Chung 等人在文献[21]中提出了一种有趣的闭环 SC 降压 DC-DC 变换器。其基本理念是从变换器的输出端引信号、经 RC 网络反馈到输入端的晶体管，构成一个反馈回路。事实上，由于该负反馈的引入，输入电流受到了输出电压的控制，从而大大减小了输出脉动。

6.5 多增益 SC DC-DC 变换器

由于手持电子设备皆由充电电池供电，因此希望单个 DC-DC 变换器能够控制多个直流电压增益。例如，大多数 GSM/EDGE 双模蜂窝电话使用 3.6V、700mA 的锂离子充电电池，在这类情况中，若电池持续工作而不充电，则其电压通常会从 3.6V 降到 0.8V(即电池报废的阈值电压)，但在电池充电之后，其电压将会上升到 4.2V。然而，从性能来考虑，蜂窝电话通常需要一个介于最高和最低电池电压间的持续、稳定的直流电压，而不管充电过程如何。因此，所设计的 DC-DC 变换器必须能够根据电池电压的状况，有时提供升压增益，有时提供降压增益。此外，不相同的增益(或转换比，conversion ratio)的数目应尽可能多，以使电池寿命最大化、转换偏差最小化。

238~239

图 6.8 所示为一个实用的多增益 SC DC-DC 变换器[22]。该电路包括三个相同规格的泵升电容 $C_1 \sim C_3$(0.1μF 量级)和 12 个开关。其时钟设置有点复杂，具体设置如下：Φ_1、Φ_2 和 Φ_3 是三个非重叠的时钟相，且($\Phi_1+\Phi_2+\Phi_3$)等于一个时钟周期，即等于 T_{clk}。其他的时钟相与 Φ_1、Φ_2 和 Φ_3 的关系如下：

$$\begin{cases} \Phi_4=\overline{\Phi_2}, \Phi_5=\overline{\Phi_3}, \Phi_6=\overline{\Phi_1}, \\ \Phi_7=\overline{A}\cdot B\cdot\Phi_1+A\cdot\overline{B}\cdot\Phi_2+A\cdot B\cdot\Phi_3, \\ \Phi_8=A\cdot B\cdot\Phi_1+\overline{A}\cdot B\cdot\Phi_2+A\cdot\overline{B}\cdot\Phi_3, \\ \Phi_9=A\cdot\overline{B}\cdot\Phi_1+A\cdot B\cdot\Phi_2+\overline{A}\cdot B\cdot\Phi_3, \\ \Phi_{10}=\overline{C}\cdot D\cdot\Phi_1+C\cdot\overline{D}\cdot\Phi_2+C\cdot D\cdot\Phi_3, \\ \Phi_{11}=C\cdot D\cdot\Phi_1+\overline{C}\cdot D\cdot\Phi_2+C\cdot\overline{D}\cdot\Phi_3, \\ \Phi_{12}=C\cdot\overline{D}\cdot\Phi_1+C\cdot D\cdot\Phi_2+\overline{C}\cdot D\cdot\Phi_3. \end{cases} \tag{6.12}$$

240

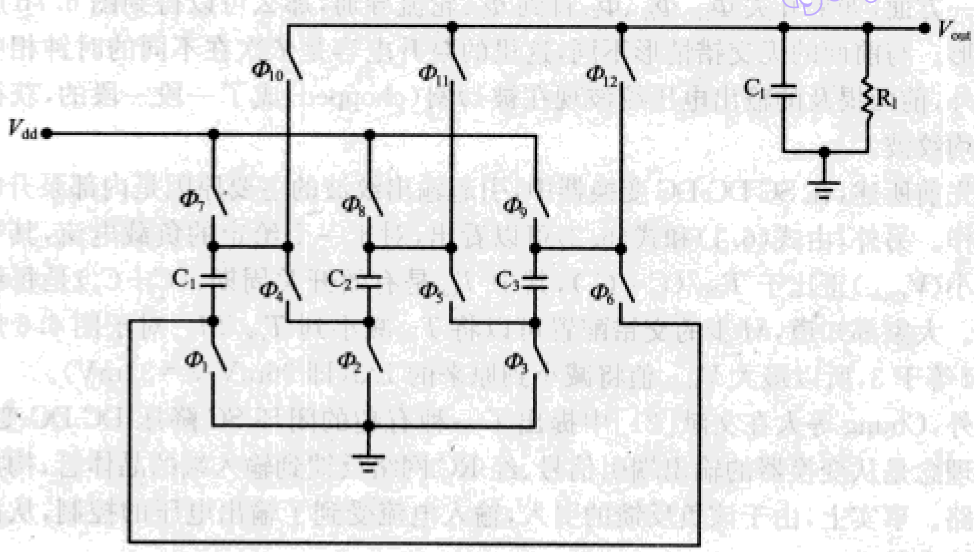


图 6.8 多增益 SC DC-DC 变换器

其中 AB 和 CD 是二位的(二进制)数字控制字。注意,为了实现上述表达式所要求的时钟控制电路,需要使用 18 个三输入与门、6 个三输入或门及 7 个非门。

为简单起见,这里以增益配置(AB=11、CD=10)为例,来解释如何通过 SC 阵列来实现增益的设置。当 AB=11、CD=10 时,各时钟相的关系如下:

$$\begin{cases}\Phi_4=\overline{\Phi_2},\Phi_5=\overline{\Phi_3},\Phi_6=\overline{\Phi_1},\\ \Phi_7=\Phi_3,\Phi_8=\Phi_1,\Phi_9=\Phi_2,\\ \Phi_{10}=\Phi_2,\Phi_{11}=\Phi_3,\Phi_{12}=\Phi_1.\end{cases} \tag{6.13}$$

因此,当 Φ_1 有效时,存在两条流经 SC 阵列的电荷转移通路,即

$$\begin{cases}V_{dd}\to\Phi_8\to C_2\to\Phi_4\to C_1\to\Phi_1\to 地,\\ V_{dd}\to\Phi_8\to\Phi_5\to C_3\to\Phi_{12}\to V_{out}.\end{cases} \tag{6.14}$$

其中第一条通路称为输入通路(input path),而第二条通路则称作输出通路(output path)。如原理图所示,C_1 和 C_2 经输入通路串联在 V_{dd} 与地之间,而 C_3 则经输出通路连接在 V_{dd} 与 V_{out} 之间。根据电荷守恒原理,可以计算出 V_{out} 与 V_{dd} 的比值(即转换比),其值为 3/2。

当 Φ_2 有效时,同样存在着两条流经 SC 阵列的电荷转移通路,并与前面提到的两条不同,是新出现的。其路径如下:

$$\begin{cases}V_{dd}\to\Phi_9\to C_3\to\Phi_5\to C_2\to\Phi_2\to 地,\\ V_{dd}\to\Phi_9\to\Phi_6\to C_1\to\Phi_{10}\to V_{out}.\end{cases} \tag{6.15}$$

相应的转换比也等于 3/2。

同样可以发现,当 Φ_3 有效时,转换比也等于 3/2。所以,AB=11、CD=10 的组合将整体转换比设置成了 3/2。实用的 AB、CD 组合及对应的转换比列在表 6.1 中。该表只列出了 16 种可能情形中的 8 种,这是因为在未列出的情形中,有些等效于情形 4

或情形 8，其余的情形则会将输入通路完全切断。情形 8 是一种特殊的设置，其输出通路是切断的，我们之所以将其列在表中，是因为它可以用来在省电(power-saving)或休眠模式(sleep mode)结束后实现快速恢复供电功能[22]。然而，对于低电压大电流的应用，这个配置容易出现闩锁效应的问题，有可能损毁设备。

241

表 6.1 AB、CD 组合对应的增益设置

情形 #	AB	CD	转换比
1	10	01	1/3
2	11	01	1/2
3	10	11	2/3
4	01	01	1
5	11	10	3/2
6	01	11	2
7	01	10	3
8	01	00	0

文献[23]提出一种类似的多增益拓扑。其电路采用 3 个泵升电容和 20 个开关来组成 SC 阵列，可以提供 7 种不同的非零转换比：1/2、2/3、3/4、1、4/3、3/2 和 2。

此外，从前面的研究可以发现，可选的转换比越多，所需的泵升电容和开关就越多。从理论上讲，采用 M 个泵升电容和足够多的开关，可以实现多达(2^M-1)个不同的增益值。

最后请注意，对于 SC 变换器而言(特别是多增益的 DC-DC 变换器)，电压控制是非常必要的，因为当变换器的输出电压偏离期望值时，会导致转换效率显著降低。

在 SC DC-DC 变换器的电压调节中，有一种广泛使用的技术，称作脉冲频率调制(Pulse-Frequency Modulation，PFM)[1]。在这种控制方案中，变换器的运行由一个 PFM 控制环控制，该控制环通常由一个基准电压发生器、一个比较器、一个时钟信号发生器(或振荡器)及一个数字门构成。

PFM 控制环是这样运作的。期望电压($V_{desired}$)由基准电压发生器产生，并送往比较器，与输出电压(V_{out})作比较。如果 V_{out} 小于 $V_{desired}$，那么比较器输出 1，使数字门打开，于是时钟信号使变换器开始工作。结果，在时钟的驱动下，SC 阵列使输出电压升高。相反，如果 V_{out} 大于 $V_{desired}$，那么数字门关闭，变换器进入空闲状态。结果，SC 阵列停止往输出端输送电荷，从而降低输出电压。

242

此外，在这种由 PFM 控制的 DC-DC 变换器中，对于给定的负载阻抗和固定的转换比，空闲模式的持续时间会随着负载电流的增大而减小，这是因为变换器必须提高输出电压，才能与负载电流和负载阻抗之积的增大相平衡。然而，在同样的条件下，一旦输入的电池电压高达某个数值，使得输出电压等于或大于期望电压($V_{desired}$)，那么运行模式的持续时间就会减小。凭直觉可以认为，反映空闲模式与工作模式交替频度的

开关频率，是由输入的电池电压以及（输出的）负载电流决定的，根据式（6.1）和式（6.2），该开关频率对输出纹波和转换效率有着直接的影响。这一点是 PFM 电压调节的一个主要缺点，因为其输出的频谱中含有较强的谐波，而且这些谐波同时受输入和输出参数的影响，很难用线性滤波器来去除。

Rao 等人在文献[24]中提出了一种可行的方案，以解决这种混杂的畸变问题。该方案将抖动的（dithered）一阶 ΔΣ 调制器和 PFM 控制环相结合，以将混杂的谐波转换成容易滤除的伪白噪声。

参考文献

[1] N. Mohan et al., *Power electronics converters, applications, and design* (2nd ed.), John Wiley & Sons, New York, 1995.

[2] C. P. Yue and S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 5, pp. 743–752, May 1998.

[3] Y. Nakagome et al., "An experimental 1.5-V 64 Mb DRAM," *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 4, pp. 465–472, April 1991.

[4] K. Sawada, Y. Sugawara, and S. Masui, "An on-chip high-voltage generator circuit for EEPROM's with a power supply voltage below 2 V," *IEEE Symposium on VLSI Circuits, Digest of Technical Papers*, pp. 75–76, June 1995.

243

[5] U. Rohde and T. Bucher, *Communication receivers: Principles and design*, McGraw-Hill, New York, 1988.

[6] J. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," *IEEE Journal of Solid-State Circuits*, Vol. SC-11, No. 3, pp. 374–378, June 1976.

[7] J. Wu, Y. Chang, and K. Chang, "1.2 V CMOS switched-capacitor circuits," *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pp. 388–389, February 1996.

[8] J. Wu and K. Chang, "MOS charge-pumps for low-voltage operation," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 4, pp. 592–597, April 1998.

[9] D. A. Johns and K. Martin, *Analog integrated circuits design*, John Wiley & Sons, New York, 1997.

[10] S. C. Lee et al., "A low-ripple switched-capacitor DC-DC up converter for low-voltage applications," *Proceedings of the 2nd IEEE Asia Pacific Conference on Integrated Circuits (ASIC)*, pp. 13–16, August 2000.

[11] T. Cho and P. R. Gray, "A 10 b, 20 Msamples/s, 35 mW pipeline A/D converter," *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 3, pp. 166–172, March 1995.

[12] P. Favrat, P. Deval, and M. Declercq, "A high-efficiency CMOS voltage

doubler," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 3, pp. 410–416, March 1998.

[13] G. van Steenwijk et al., "Analysis and design of a charge-pump circuit for high output current applications," *Proceedings of IEEE European Solid-State Circuits Conference*, Vol. 3, pp. 118–121, September 1993.

[14] D. Maksimovic and S. Dhar, "Switched-capacitor dc-dc converters for low-power on-chip applications," *Proceedings of IEEE Power Electronics Specialist Conference*, Vol. 1, pp. 54–59, August 1999.

[15] T. Ying, W. H. Ki, and M. Chan, "Area-efficient CMOS charge-pumps for LCD drivers," *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 10, pp. 1721–1725, October 2003.

[16] C.-C. Wang and J.-C. Wu, "Efficiency improvement in charge-pump circuits," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 4, pp. 852–860, April 1998.

[17] F. Luo, H. Ye, and M. H. Rashid, "Multiple-lift push-pull switched-capacitor Luo-converters," *Proceedings of IEEE Power Electronics Specialist Conference*, Vol. 2, pp. 415–420, June 2002.

244

[18] J. Lee et al. "High-performance 1-Gb NAND flash memory with 0.12-μm Vol. 2. pp. 415–420. June 2002. 1509, November 2002.

[19] W. S. Harris and K. D. T. Ngo, "Power switched-capacitor DC-DC converter: Analysis and design," *IEEE Trans. on Aerospace and Electronic Systems*, Vol. 33, No. 2, pp. 386–395, April 1997.

[20] C. Chang and M. Knights, "Interleaving technique in distributed power conversion systems," *IEEE Trans. on Circuit and Systems*, Vol. 42, No. 5, pp. 245–251, May 1995.

[21] H. Chung, S. Hui, and S. Tang, "Development of a multistage current-controlled switched-capacitor step-down DC-DC converter with continuous input current," *IEEE Trans. on Circuit and Systems*, Vol. 47, No. 7, pp. 1017–1026, July 2000.

[22] N. Hara, I. Oota, and F. Ueno, "A new ring type switched-capacitor DC-DC converter with low inrush current and low ripple," *Proceedings of IEEE Power Electronics Specialist Conference*, Vol.2, pp. 1536–1542, May 1998.

[23] J. Kotowski et al., "Capacitor DC-DC converter with PFM and gain hopping," U.S. Patent 6055168, April 2000.

[24] A. Rao, W. McIntyre, U. Moon, and G. C. Temes, "A noise-shaped switched-capacitor DC-DC voltage regulator," *Proceedings of IEEE European Solid-State Circuits Conference*, Vol. 2, pp. 375–378, September 2002.

245

第 7 章
高级开关电容电路技术

7.1 引言

线性有源电路的设计通常需要在电源电压、精度、功率、速度及其他一些因素之间进行多方的权衡。然而，要设计可以满足所有要求的全能电路是不切实际的，因为我们生活的世界虽然多彩却仍有缺陷。根据应用的要求和当前的技术，电路设计者们可以从这些基本的设计因素中选择某一个进行优化。

本章深入研究了与现代开关电容(SC)电路直接相关的两个主要的难题，一个是如何设计低压供电(V_{dd}<1.5V)的高性能 SC 电路；另一个是如何减小运放缺陷(或非理想性)对 SC 电路的影响。

本章提要

7.2 节介绍了一些低压 SC 电路技术，例如时钟提升、自举开关以及开关运放等；7.3 节探讨了两种精度增强技术，分别是自动归零(autozeroing)技术和相关型双采样(correlated double sampling)技术，它们可用于减小 SC 电路对运放缺陷的敏感性。

7.2 低压 SC 电路技术

低电压的挑战

自从 20 世纪 90 年代以来，小型移动电子产品(包括蜂窝电话、MP3 播放器、助听器，以及手持医疗测试仪等)市场的繁荣，推动了现代亚微米 CMOS 工艺的快速发展。为了达到更高的集成度，CMOS 元件的尺寸不断缩小。在这种背景下，让电源电压(V_{dd})随之成比例地降低、以保证元件的长期可靠性，几乎成了最基本的要求。

根据美国半导体行业协会的预测[1]，随着深亚微米 CMOS 工艺将器件尺寸不断地缩小，到 2016 年的时候，最高性能的数字 CMOS IC 的标称(额定)供电电压将快速下降得低至 0.4V。另外，在第 1 章也曾讨论过，MOS 的截止频率(f_T)是随着它的有效闸极长度(L)的减小而增加的。不仅如此，大家也知道，数字 IC 电路中的运行功耗主要取

决于 V_{dd}，功耗的减小量正比于 V_{dd} 的平方。

虽然从上述的技术发展趋势我们可以预期，在不远的未来，将出现体积更小、速度更快和功耗更小的数字信号处理(DSP)集成系统，但是，在模拟 CMOS 电路的设计中，低压供电仍是一个主要的制约。这主要是因为 MOS 的阈值电压(V_{th})是由本征工艺击穿电压和薄栅极氧化层应力极限来决定的，不能随着 V_{dd} 或晶体管几何尺寸的降低而成比例地降低。

另外，有效栅极长度(L)的过度减小，将会产生速度饱和(velocity saturation)等短沟道效应。在这种情况下，漏极电流(I_d)和栅源极电压(V_{gs})之间的关系将呈线性而非在第 1 章中所提到的平方性 。

因此，在低压供电和小尺寸的条件下，大多数经典的模拟电路设计准则将不再适用，从而使得高性能模拟电路的实现面临着两个主要的挑战。其中第一个挑战是如何设计出这样一种运放，它们可以在低供电电压的场合，提供高电压增益和高输出电压摆幅，同时还具有最小的功耗。这种高性能运放的设计，在写作本书之时已经是一个热门的研究方向，并且已经有一些最新的原型样机报道[2~5]。

第二个主要的挑战是，当电源电压降低到小于或等于 PMOS 与 NMOS 两者的阈值电压绝对值之和时，如何驱动浮动开关(floating switch，即永不接地也不虚地的开关)。浮动开关问题在低压 SC 电路的设计中是首要问题之一。借助图 7.1 的帮助，我们可以更好地理解这个问题。如图 7.1 所示，一个 CMOS 传输门(或 CMOS 开关)是由一个 PMOS(M_1)和一个 NMOS(M_2)组成的，其中的两个 MOS 是由两个互补的时钟信号(在 0V 和 V_{dd} 之间切换)来驱动的。如图中左下角所示，当输入信号的幅值介于 $(V_{dd}-V_{thn})$ 和 V_{dd} 之间时，M_1 导通，M_2 断开；当输入信号的幅值在 0V 和 $|V_{thp}|$ 之间时，M_2 导通，M_1 断开；当输入信号的幅值在 $|V_{thp}|$ 和 $(V_{dd}-V_{thn})$ 之间时，M_1 和 M_2 都导通。在低电压应用中，希望输入信号电平(V_{in})位于 0V 与 V_{dd} 之间中点的位置，以获得轨对轨(rail-to-rail)的输出电压摆幅。为了保证 V_{in} 顺利地传递到输出端，必须满足以下条件：

248

$$V_{dd} \geqslant V_{thn} + |V_{thp}| \tag{7.1}$$

249

V_{dd} 减去 $(V_{thn}+|V_{thp}|)$ 的结果常称为净空间(headroom)。显然，净空间随着 V_{dd} 的减小而降低。另外，我们知道开关导通电阻与 $(V_{dd}-V_{in}-V_{thn})$ 成反比。因此，V_{dd} 减小时，开关导通电阻增加。注入到输出中的信号相关偏差的幅值也按这种规律变化。

如图 7.1 右下角所示，一旦 V_{dd} 减小到低于 $(V_{thn}+|V_{thp}|)$，净空间就不复存在，两个晶体管也就不能同时导通了。在这种情况下，为了维持输入到输出的连通，根据输入信号幅值的不同，可以选用一个 NMOS 或者一个 PMOS。具体来讲，如果输入电平接近于地，那么应该选用 NMOS 来充当开关；相反，如果输入电平接近于 V_{dd}，则应该选用 PMOS。

不仅如此，还可以发现，在 NMOS 的情况下，最大允许输入电压范围(maximum allowable input voltage range)，或称输入动态幅摆范围(input dynamic range)被限制在

0V 和($V_{dd}-V_{thn}$)之间；而在 PMOS 的情况下，则被限制在$|V_{thp}|$和V_{dd}之间。无论哪种情况，输入动态幅摆范围都比 CMOS 情况下的全电压摆幅(即从 0 到V_{dd})要小。

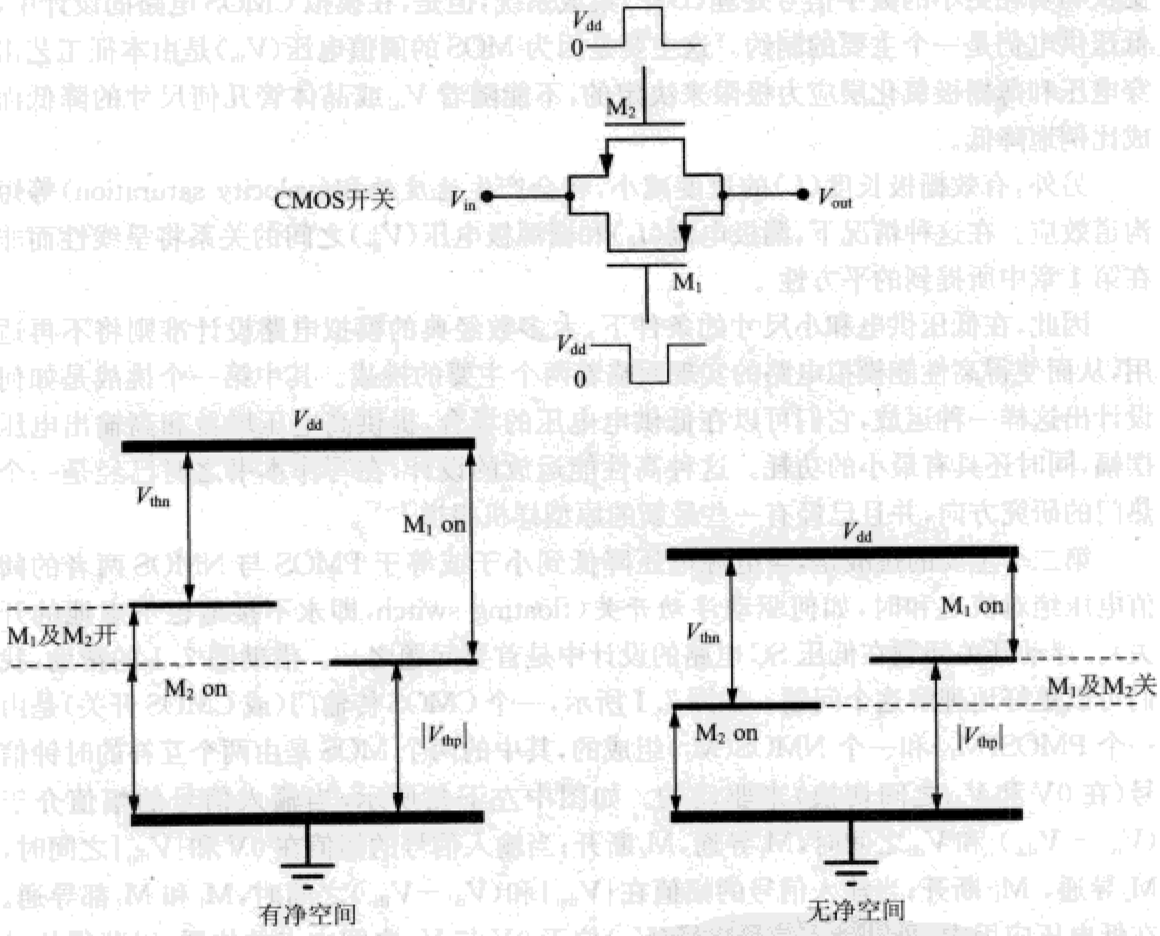


图 7.1　低压应用中的 CMOS 开关问题

在低压 SC 电路中，特别是在那些电源电压小于 1V 的电路中，采用非全幅摆的输入动态幅摆范围往往能够出色地解决许多问题。例如，考虑一个标准的 0.25μm 的 CMOS 工艺，设其阈值电压为：$V_{thn}=0.45V$，$V_{thp}=-0.5V$。若V_{dd}等于 0.8V，输入偏置为 0.4V，那么由于输入信号落在 0.35～0.5V 之间的死区里，无论是 NMOS、PMOS 还是 CMOS 开关，都将永远无法导通。

另外，较窄的输入动态幅摆范围往往会导致较低的信噪比(*SNR*)，这是因为所需的信号功率降低了，而总噪声功率却没有改变。我们知道，基本 SC 电路(例如积分器)的信噪比性能主要受 *kT/C 噪声*(*kT/C* noise)或称*采样噪声*(sampling noise)的限制。因此，为了维持低压 SC 积分器的 *SNR*，往往会采用较大的采样电容，以抑制 *kT/C* 噪声功率。然而，这将导致 $R_{on}C$ 时间常数变大，会限制电路所能获得的最高速度。此外，总电容面积也将增大，从而引起较大的功耗。

上面的分析代表了针对电源电压、精度、速度和功耗等因素进行多方面权衡与优

化的一个实例。如果用一个理想的 B 级放大器或称推挽放大器(push-pull amplifier)来构造 SC 积分器,由于它在输入电压不变化时(即在备用状态时)消耗的功率为零,因此可以证明其平均功耗为[6]:

$$P=4kT(DR)f_N\frac{\overline{V}_{in}}{V_{dd}} \tag{7.2}$$

其中 DR 表示动态幅摆范围(即精度);f_N是奈奎斯特信号带宽(即速度);V_{dd}是电源电压。数字 CMOS IC 的功耗与 V_{dd}的平方成正比地减小;与此相反,模拟 CMOS IC 在电源电压较低时的功耗反而可能更大。

可以采用多层掩模[7]等特殊的 CMOS 工艺,来降低 MOS 的阈值电压。此外,为了减轻阈值电压的限制,文献[8]提出了浮动栅极 MOSFET 技术,文献[9]提出了衬底驱动晶体管技术。然而,到本书写作时为止,其中还没有一种技术可以用在标准的 CMOS 工艺中进行批量生产,因为它们一般都要增加额外的生产工序,增加了工艺的复杂性,成本较高。可见,无论什么新型的低压模拟电路设计方法,只有在标准 CMOS 器件的设计中能够发挥作用,才会受到欢迎。

时钟提升与开关自举电路

在不采用特殊的工艺步骤来降低阈值电压的情况下,为了保证轨对轨的输入/输出连接,可以采用时钟提升(clock boosting)的方法,有时也称栅极电压提升(gate voltage boosting)的方法来增大 NMOS 开关的栅源极电压(这里选用 NMOS 作例子)。其基本理念是把 NMOS 悬浮开关的栅极上的时钟电压加倍。这可以用第 6 章介绍过的交叉耦合电压倍增器来实现[10],其 SC 实现如图 7.2 所示[11]。

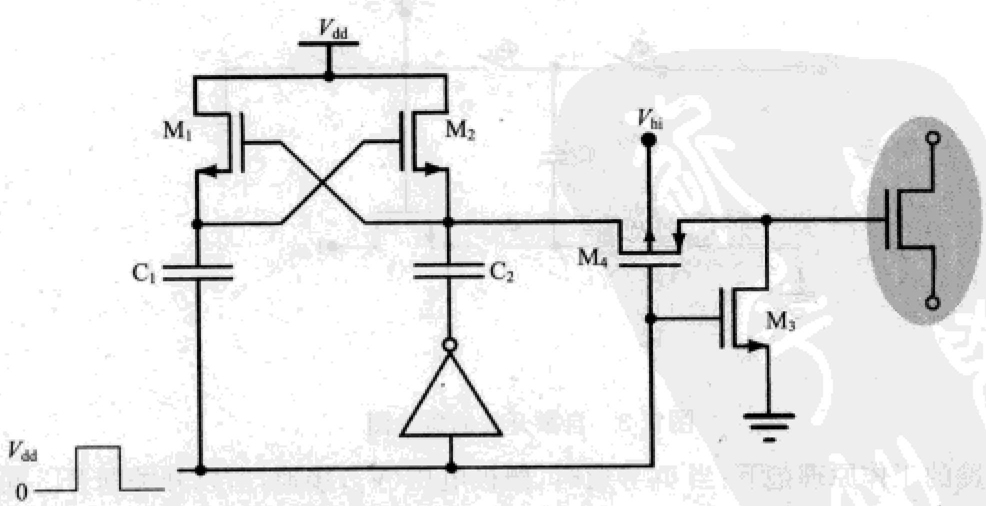


图 7.2 时钟提升电路

该电路的工作原理如下:交叉耦合配置包括两个 NMOS M_1、M_2,它们使得电源电压 V_{dd}可以交替地对电容 C_1 和 C_2 充电。从原理图下方可见,一个摆幅为 V_{dd}的输入时

钟信号加在电容 C_1 上，另外该信号又经过一个反相器加在电容 C_2 上。当输入时钟信
251 号为低时，C_2 上极板的电压就由 V_{dd} 提升至大约 $2V_{dd}$，PMOS M_4 则把提升后的电压（约 $2V_{dd}$）传送到（灰色阴影部分的）悬浮开关的栅极。当输入时钟信号为高时，NMOS M_3 导通，使悬浮开关的栅极电压降低到 0，悬浮开关断开。为了避免闩锁效应，PMOS M_4 的 N 阱必须保持在一个较高的电压 V_{hi}，该电压一般应该大于或等于 $2V_{dd}$。

在文献[11]中，Cho 和 Gray 报告了在 CMOS 流水线型 ADC 中应用图 7.2 所示时钟提升电路的研究。然而，一般来说，时钟提升技术并不适用于在深度亚微米 CMOS 工艺中应用，这主要是因为存在着*栅极氧化层击穿*（gate-oxide breakdown）、*栅极引发漏极泄漏*（gate-induced drain leakage）、*热电子效应*（hot-electron effect）以及*穿通现象*（punching-through）等限制因素[12,13]。对于给定的工艺，为了保证器件的长期可靠性，开关管的关键端电压，如 V_{gs}、V_{gd} 以及 V_{ds} 等，应该保持在 V_{dd} 以下。然而，当采用电压倍增器时，不管输入信号多大，开关管的栅极电压总会被升高至大约 $2V_{dd}$，因此，除非输入保持不变，否则 V_{gs} 就无法保持为常数。不仅如此，在 V_{in} 较小的情况下，V_{gs} 可能升高到大约 $2V_{dd}$，这是非常危险的。因此，就满足低电压的深度亚微米 CMOS 器件的需要而言，时钟提升电路并不是最可靠的选择。

为了避免长期可靠性出现问题，文献[12]提出了另一种方法，即*自举开关*（bootstrapped switch）技术。"自举开关"可能得名于该开关可以自支持，而无需时钟提升电路。图 7.3 是自举开关的概念图。其基本原理是用一个辅助电路来（为各种电平的 V_{in}）提供一个共同的恒压 V_{gs}，其最大值为 V_{dd}，因而大大降低了设备故障的可
252 能性。

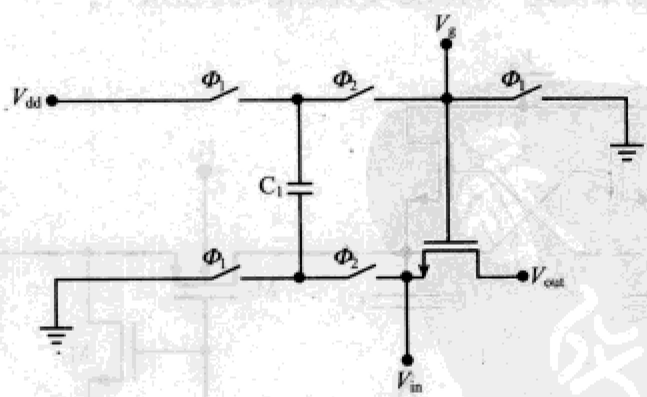


图 7.3 自举开关的概念图

该电路的工作原理如下：当 Φ_1 导通时，栅极电压（V_g）接地，所以开关断开。同时，V_{dd} 给电容 C_1 充电。然后，Φ_2 闭合，C_1 两端的电压在栅极和源极之间建立一个电压差，使得 V_g 的值等于（$V_{in}+V_{dd}$）。实际上，不管输入多大，V_{gs} 总等于 V_{dd}。

在文献[12]、文献[14]、文献[15]和文献[16]中可以找到好几种自举开关配置方
253 案。其中晶体管级的一个实现方案如图 7.4 所示[14]。

该电路的工作原理如下：当时钟信号 clk 变高时，开关的栅极经晶体管 M_8 和 M_9 接地放电。同时，V_{dd} 经晶体管 M_3 和 M_4 对电容 C_1 充电。晶体管 M_3 和 M_5 将开关和 C_1 隔离开来。当 clk 变低时，PMOS M_5 的栅极电压也变低（注意 M_1 和 M_2 构成了一个反相器），M_5 导通。同时，M_6 和 M_7 导通，使开关的栅极电压（V_g）以 V_{dd} 的偏差紧跟输入信号 V_{in}（M_7 还起着使 V_g 免受输入负载影响的作用）。因此，储存在 C_1 上的电荷经 M_5 流到了开关的栅极，V_g 则变成为 V_{in} 和 V_{dd} 之和。

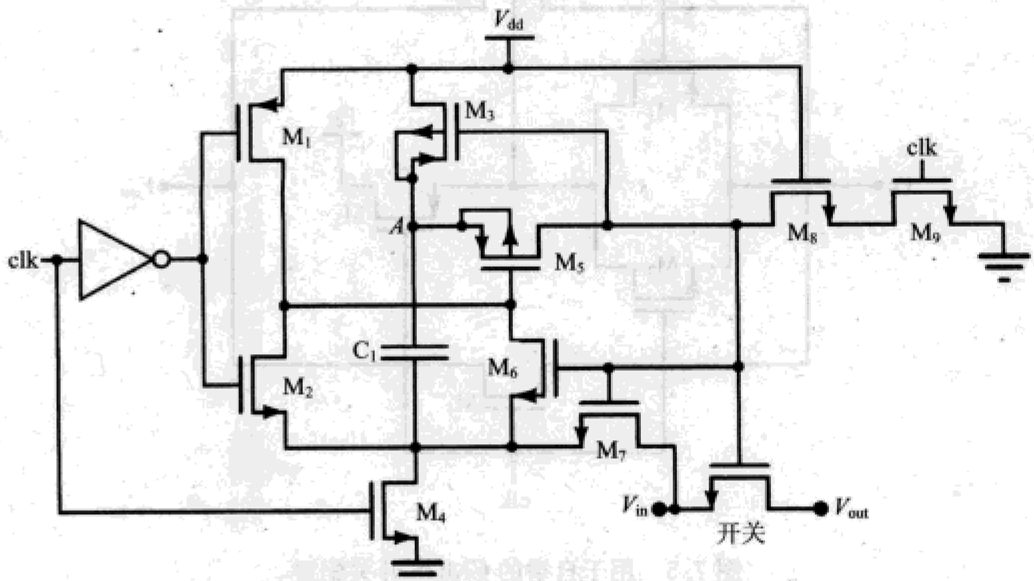


图 7.4 自举开关的晶体管级实现

注意 M_3 和 M_5 的基体（或衬底）是连接到节点 A 的（在电路中，点 A 的电压往往最高），以避免闩锁效应[12,14]。在 clk 变低时，M_6 辅助 M_2 将 M_5 的栅极电压拉低，从而提高了电路的速度。此外，它还起着防止 M_5 的源栅极电压（V_{gs}）超过 V_{dd} 的作用，以确保电路的长期可靠性。最后，M_8 用于当 clk 变高时，防止 M_9 的关键电压（即 V_{gs} 和 V_{gd}）超过 V_{dd}。在实际应用中，M_8 的长度一般做得比较长，以避免从 M_5 到 M_9 的穿通现象[13]。

这样一来，图 7.4 的电路就提供了一个不变且稳定的 V_{gs}，使得开关可以通过满电源电压范围（即从 0V 到 V_{dd}）内的任何输入信号。然而，由于基体效应（body effect）的影响，导通效率（通常用开关导通电导 g_{ds} 来计量）将随着输入信号电平的增大而减小。在第 6 章曾谈到，基体效应容易导致开关的有效阈值电压及信号相关的开关导通电阻 R_{on} 增大。

为了减小基体效应对自举开关的影响，可以将 NMOS 开关的基体与其源极永久性地连接起来。然而这种配置对有些生产工艺不适用。一种替代方法是像图 7.5 那样，用一个 CMOS 开关来代替 NMOS 开关。

在图 7.5 中，M_3 和 M_4 构成主开关，M_1 和 M_2 则构成辅助开关。当 clk 变低时，M_1 和 M_3 关断，M_3 的基体则经 PMOS M_5 连接到电路的最高电压（即 V_{dd}），以防止闩锁效应。

当时钟信号 clk 变高时，主、辅开关都导通，PMOS M_3 的基体不再与 V_{dd} 相连而与源极相连。结果，其基体-源极电压 V_{bs} 被置 0 不变，从而消除了基体效应。此外其导通电阻也得到了明显的降低。

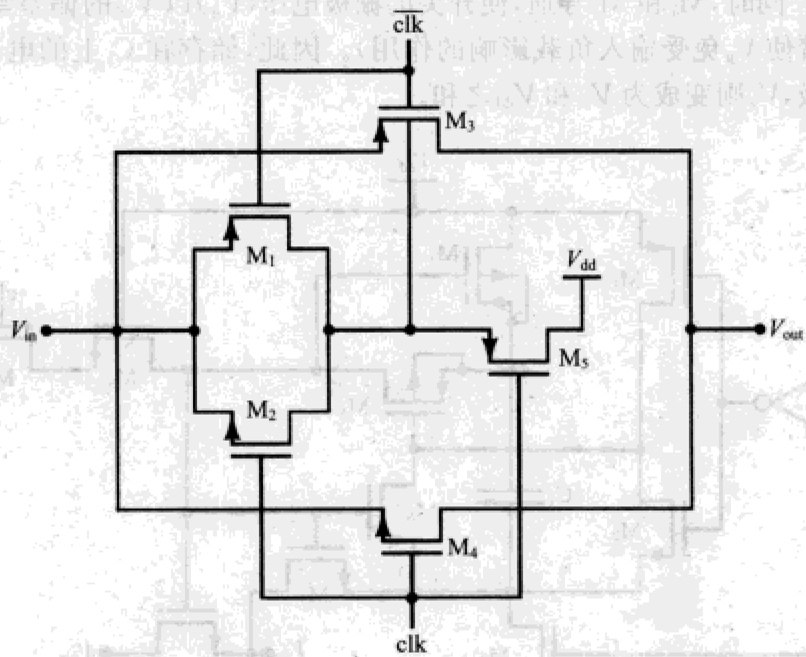


图 7.5 用于自举的 CMOS 开关配置

在文献[16]中，利用一个电流源来驱动一个具有恒定导通电导（g_{ds}）的复本开关，并采用一个运放回路来迫使该复本开关的源极跟随输入信号，从而使主开关的 V_{gs} 恒定、g_{ds} 固定。这样一来，跟输入相关的导通电阻 R_{on} 所引起的畸变就得到了极大的抑制。不过，由于采用了运放这类的有源器件，在相同电源电压的情况下，这个自举电路要比前面介绍的无源配置消耗更多的功率。

开关运放

开关运放(switched-op-amp，SOA)技术的实质，就是想用简单地去掉开关本身的做法，来避免悬浮开关的问题。为了明白这一点，让我们来看看图 7.6 所示的电路。

可以看出，该原理图所示的是一个基本的正相 SC 积分器（未画出各时钟相），其后面又跟着另一个正相 SC 积分器（其运放、积分电容没有画出）。可见，S_{f1} 和 S_{f2} 分别是第一和第二个积分器的悬浮开关。当将 S_{f2} 去掉时（即短路），若想使第二个积分器仍能正常工作，就必须采用开关 S_{o1}（及其他需要的附加开关）来控制运放（如图所示）的输出通路，使其在采样期间导通、在积分期间关断。同样，当将 S_{f1} 去掉时，前一级的运放（图中未画出）应该能够交替导通和关断。也就是说，运放应当做成可开可关的(switchable)，这正是开关运放名字的来由。图 7.7 所示的是一个简单的开关运放电路[17]。

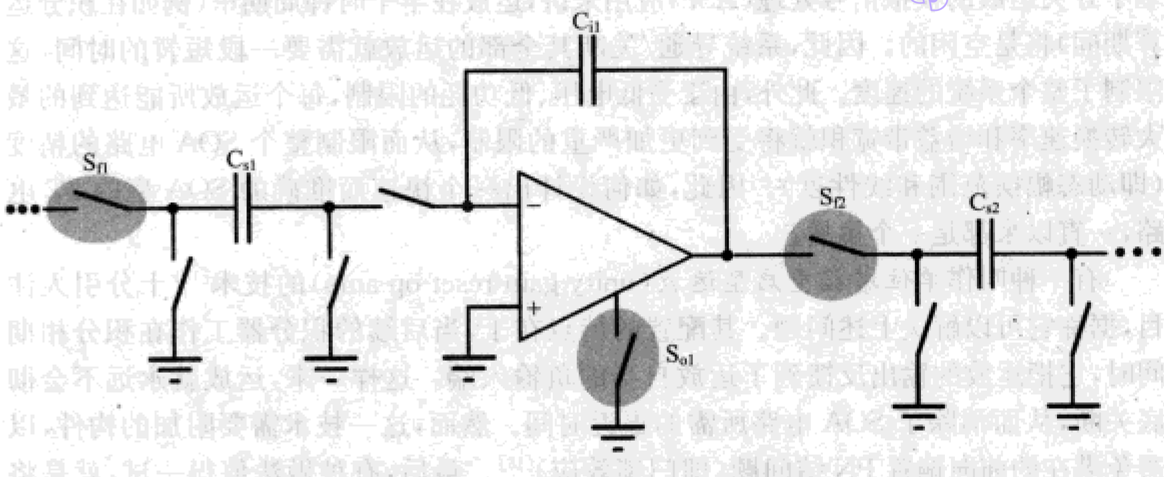


图 7.6 开关运放电路的概念图

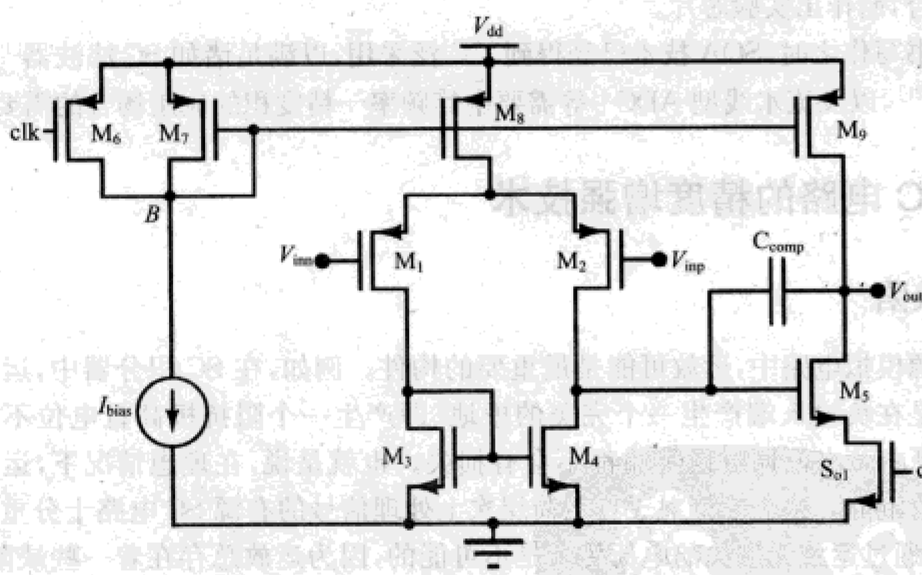


图 7.7 简单的开关运放

如原理图所示，该电路基本上是一个标准的差分输入、单端输出的两级式运放，另有两个额外的晶体管 S_{o1} 和 M_6。其中晶体管 S_{o1} 用来实现图 7.6 所示运放的开关操作。当 clk 变低时，S_{o1} 断开由 M_5 和 M_9 组成的输出电流通路，以阻止补偿电容 C_{comp} 中储存的电荷泄漏。这样一来，当 clk 再次变高时，运放再次充电所需的时间就会变短。与此同时，M_6 则把节点 B 的电压拉升至大约 V_{dd}，以断开分别由 M_7、M_8、M_9 驱动的三条电流通路。此外，它还加快了运放关断过程的速度。关断的运放提供了很高的输出阻抗（从随后的一级运放来看），其输出节点相当于连接在一个固定的参考电压上（例如地或虚地）。当 clk 变高时，S_{o1} 导通，M_6 关断，运放开始工作。

256

然而，直觉告诉我们，运放导通/关断的速度不太可能同开关导通/关断的速度相比，因为开关往往仅由一二个 MOSFET 组成。实际上这种直觉也是对的。对典型的

基于开关运放的模拟信号处理(ASP)应用来讲，运放在半个时钟周期里(例如在积分运算期间)将是空闲的。因此，系统导通/关断其全部的运放就需要一段短暂的时间，这限制了整个系统的速度。此外，由于受低电压、低功耗的限制，每个运放所能达到的最大转换速率和增益带宽积就将受到更加严重的限制，从而限制整个 SOA 电路的精度(即动态幅摆范围和线性度)。因此，如何设计出一个快速而准确的 SOA 型的 SC 电路，一直以来都是一个挑战。

有一种叫作*单位增益重启型运放*(unity-gain-reset-op-amp)的技术[18]十分引人注目，据称它可以解决上述问题。其配置的特点在于，当后续的积分器工作在积分相期间时，它把运放的输出反馈到了运放自身的负输入端。这样一来，运放就永远不会彻底关断，从而消除了 SOA 电路所需的逼近时间。然而，这一技术需要附加的构件，以避免潜在的前向偏置 PN 结问题(即闩锁效应)[18]。最后，有种做法值得一试，就是将以上重启运放技术与具有免闩锁效应特征的某种 CMOS 工艺，譬如绝缘层覆硅(SOI)工艺相结合，制作出实验芯片。

在本书写作之时，SOA 技术已经得到了广泛采用，以满足诸如 SC 滤波器[19,20]、ΔΣ 调制器[2,3,21]，以及流水线型 ADC[4] 等需要中等频率－精度积的应用场合的需要。

257

7.3　SC 电路的精度增强技术

运放的缺陷

在有源模拟电路中，运放可能是最重要的构件。例如，在 SC 积分器中，运放的首要用途就是在负输入端产生一个完美的虚地(即产生一个阻抗极高且电位不变的节点)，以保证电荷在任何时候传输都不会有损失。也就是说，在理想情况下，运放的虚地不会吸收电荷。这个特征对于在电荷层次上处理信号的有源 SC 电路十分重要。但在实际上，通过运放无损失的电荷传输是不可能的，因为运放总存在着一些缺陷，包括*直流失调电压*(dc offset voltage)、*有限运放增益*(finite op-amp gain)，以及*有限运放带宽*(finite op-amp bandwidth)等。

这些缺陷的一个常见影响，是运放负输入端的电压幅值会偏离其期望值 0V，因此虚地的效果变差了。与直流失调相比，有限运放增益和有限运放带宽对虚地的影响更为复杂。具体来讲，对一个有限增益为 A_0 的闭环运放，其负输入端的绝对幅值偏差大约是$(-V_{out}/A_0)$。可以证明，当所用运放的有限增益为 A_0 时，标准正相带延迟的 SC 积分器(见第 3 章)的实际传递函数为[22,23]：

$$H(\omega)=\frac{\left(\frac{C_s}{C_i}\right)e^{-j(\omega T)/2}\Big/ j2\sin(\omega T/2)}{\left[1+\frac{1}{A_0}\left(1+\frac{C_s}{2C_i}\right)-j\,\frac{(C_s/C_i)}{2A_0\tan\left(\frac{\omega T}{2}\right)}\right]} \tag{7.3}$$

其中 C_s 是采样电容；C_i 是积分电容；T 是采样时钟周期。该式的分子是理想时的传递函数(即运放增益为无穷时的传递函数)。

如果进一步假定运放具有有限的带宽 f_t，那么运放的增益为：

$$A_0(\omega) \cong \frac{2\pi \cdot f_t}{j\omega} \tag{7.4}$$

258

用式(7.4)替换式(7.3)中的 A_0，可以得到积分器的实际传递函数(接近于一阶)：

$$H(\omega) \cong \frac{\left(\frac{C_s}{C_i}\right)e^{-j(\omega T/2)}}{j2\sin(\omega T/2)} \cdot \left[1 - e^{-k} \cdot \frac{C_s}{C_s + C_i}\right] \tag{7.5}$$

其中 k 为

$$k = \pi \cdot f_t T \cdot \frac{C_i}{C_s + C_i} \tag{7.6}$$

有兴趣的读者可以参考文献[22]和文献[23]，它们对上述传递函数进行了严格证明。

此外，低频闪变噪声(flicker noise)(又称为 $1/f$ 噪声)和热噪声(thermal noise)也会改变这个电压。实际上，在 CMOS 工艺的运放中，等效输入失调电压(V_{off})的范围是5mV～20mV[24]。在低压应用中，由于固有信号摆幅的减小，等效输入失调电压将更为严重。

由于电源电压的降低，以及深度亚微米 CMOS 工艺中器件尺寸的不断减小，它使 MOSFET 的固有 dc 增益发生显著的降低(往往低到 20dB 以下)，这减弱了采用传统方法(例如共射一共基技术)实现高运放 dc 增益的效果。因而有限运放增益的影响变得更为严重。

自动归零技术

自动归零(autozeroing)技术的基本理念在于，用一个或多个电容来存储低频随机噪声(例如闪变噪声)及直流电压失调，然后从运放输入端或输出端的信号中将它们减去[25]。因此，自动归零过程至少需要两个时钟相：一个是采样相，另一个是消除(或补偿)相。在采样相中，直流失调和闪变噪声被采样，并被存储在电容中；而在消除相中，这些存储的偏差被从信号中减去。

Razavi 和 Wooley[25] 曾提出了一种更为简单的自动归零方法，用以减小 SC 比较器中的运放直流失调的影响。在该方案中，提供了两个不同的比较器配置。一个称作输入失调的储存(input offset storage)或闭环自动归零(closed-loop autozeroing)，其基本结构如图 7.8a 所示。另一个称作输出失调的储存(output offset storage)或开环自动归零(open-loop autozeroing)，其基本结构如图 7.8b 所示。

259

在前面几章中，曾介绍过几个采用输入失调的存储方法的电路，例如 S&H、数据转换器等。这里再重复介绍一下其运行原理。当 Φ_2 闭合时，在理想情况下，输入电容 C 被充电至($V_{in} - V_{off}$)。接下来 Φ_1 闭合，此时输出电压为 $V_{in} - V_{off} + V_{off} = V_{in}$。

注意，这种失调消除技术的精度是由运放的开环 dc 增益 A_0 决定的。具体到图 7.8a所示的电路，当 Φ_1 闭合时，运放处在一个单位增益的反馈回路中，因此其负输

入端的电压幅值为：

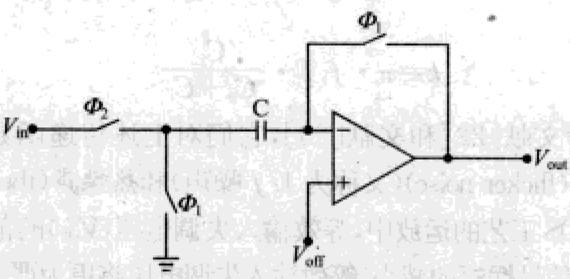
$$(V_{off}-V_n)A_0=V_n \Rightarrow V_n=\frac{A_0}{A_0+1}V_{off} \tag{7.7}$$

接下来 Φ_2 闭合，C 被充电至 $(V_{in}-V_n)$。当 Φ_1 再次闭合时，实际的输出电压为：

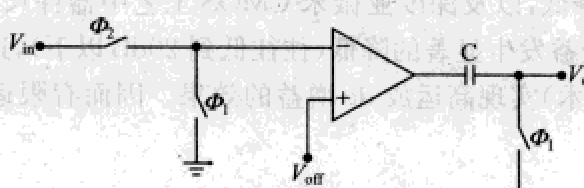
$$V_{out}=V_{in}-V_n+V_{off}+\varepsilon=V_{in}+\left(\frac{1}{A_0+1}V_{off}+\varepsilon\right) \tag{7.8}$$

其中，括号内的表达式称作*剩余偏移误差*(residual offset error)；ε 是当 Φ_2 关断时，由电荷注入引起的附加偏差电压，可以采用全差分配置对其进行有效的降低。从式(7.8)可见，剩余偏移误差随着 A_0 的减小而增大。

260



(a) 输入失调的存储



(b) 输出失调的存储

图 7.8 Razavi 的自动归零技术

在图 7.8b 所示的输出偏差的存储配置中，用了一个开环运放来作缓冲器。当 Φ_1 闭合时，失调电压被放大，放大后的结果由输出电容 C 进行采样。然后 Φ_2 闭合，$(V_{in}-V_{off})$ 被放大，放大结果由 C 进行采样。因此，在理想情况下，C 的左极板电压也是 $V_{in}-V_{off}+V_{off}=V_{in}$。

与输入失调的存储配置相比，输出偏差的存储配置往往要快一些，因为其中应用了开环运放。然而，A_0 的值必须相当小（通常应小于 10V/V），否则运放将很容易因失调电压而饱和。

一般来讲，当精度为首要考量时（例如精密放大器、积分型 ADC、乘法型 DAC 的场合），输入存储配置是较好的选择。而对于要求快速和低功耗的应用（例如比较器、环形振荡器的场合），则输出存储配置更为合适。需要说明的是，这两种配置有一个共同的好处，即都可以降低低频信号段中的闪变噪声和热噪声。

从文献中可以看到一些基本 SC 构件的例子，如积分器[26]和放大器[26,27]等，它们采用自动归零技术来降低运放的失调和低频噪声。

相关型双采样

虽然自动归零技术在减小直流失调和闪变噪声的影响方面很有效，但从式(7.8)可见，它并不能减轻 SC 电路对运放 dc 增益 A_0 的依赖。在要求高精度、低电压的应用中，有限运放增益这个缺陷特别成问题。

相关型双采样(correlated double-sampling，CDS)技术可以看成是自动归零技术的推广。在典型的 CDS 配置中，在第一次采样获得放大器的失调和噪声之后，再在补偿相期间进行第二次采样，以获取放大器负输入端的幅值偏差的瞬时值。在前面提到的自动归零配置中，假定这个幅值偏差是一个直流信号(即常值)，但在需要考虑有限运放增益的场合，这种假定并不适用。CDS 方案在每个时钟周期里需要两次采样操作。文献[28]研究了相邻信号采样之间的相关性，并用以消除电路精度对放大器 dc 增益的敏感性。 261

CDS 技术大致可以分为三种：一种是失调补偿(offset-compensating)的 CDS 配置，它仅消除直流失调和带内随机噪声(即自动归零)；第二种是增益和失调补偿(gain and offset-compensation)的 CDS 配置，它除了降低失调和噪声之外，还将降低有限运放增益的影响；最后一种是带有增益和失调补偿的预测式(predictive)CDS 配置，它将预测功能整合在每个 CDS 操作中，为下一个时钟期间将产生的有限增益偏差提供一个初步的近似。

图 7.9 所示为一个增益与失调补偿的 SC 放大器[29]。为简单起见，图中给出的只是一个单端配置，但在实际应用中往往采用全差分的配置[30]，以使电荷注入偏差最小化。图中假定运放的有限增益为 A_0、直流输入失调为 V_{off}。

通过观察可以看出，这个电路曾在图 5.3b 所示的 DAC 中用到过。如同以前介绍的一样，通常要在这个电路的输出(V_{out})与 C_1 的右侧之间连接一个小小的抗尖峰脉冲电容，构成一个反馈回路，来降低间歇期内(即无时钟相的期间)的尖峰脉冲。

该电路的工作原理如下：当 Φ_1 闭合时，C_1 对电路的输入 V_{in} 和运放的负输入端 V_n 的电压差进行采样；而 C_2 则充电至 V_n 点的瞬时输入电压值；此时 C_3 是反馈电容。接下来 Φ_2 闭合，C_1 上储存的电荷转移到 C_2；而 C_3 则对 V_{out} 的瞬时值进行采样、并保持直到 Φ_1 再次闭合为止，相当于在放大器的输出后面放置了一个 S&H。 262

该电路的传递函数的推导在数学上很有意义，但要以电荷守恒方程为基础，推导相当冗长烦琐，这里只列出其结果[29,30]：

$$H(z)=\frac{V_{out}(z)}{V_{in}(z)}=\frac{C_1}{C_2}\frac{az^{-1/2}}{1-bz^{-1}} \tag{7.9}$$

其中 a 和 b 分别由式(7.10)给定：

$$\begin{cases} a=\dfrac{1}{1+\dfrac{C_1+C_2}{C_2A_0}}\cdot\left(1-\dfrac{C_1+C_2}{A_0C_3+C_1+C_2+C_3}\right), \\ b=\dfrac{\dfrac{C_1+C_2}{A_0}\cdot\left(C_2+C_3+\dfrac{C_1C_2}{A_0}\right)}{\left(C_2+\dfrac{C_1+C_2}{A_0}\right)\cdot\left(C_3+\dfrac{C_1+C_2+C_3}{A_0}\right)} \end{cases} \tag{7.10}$$

由上面的传递函数可见，这是一个正相的积分 SC 放大器，具有半个时钟周期的延迟。注意，运放的直流失调电压(V_{off})对上面的传递函数没有影响。

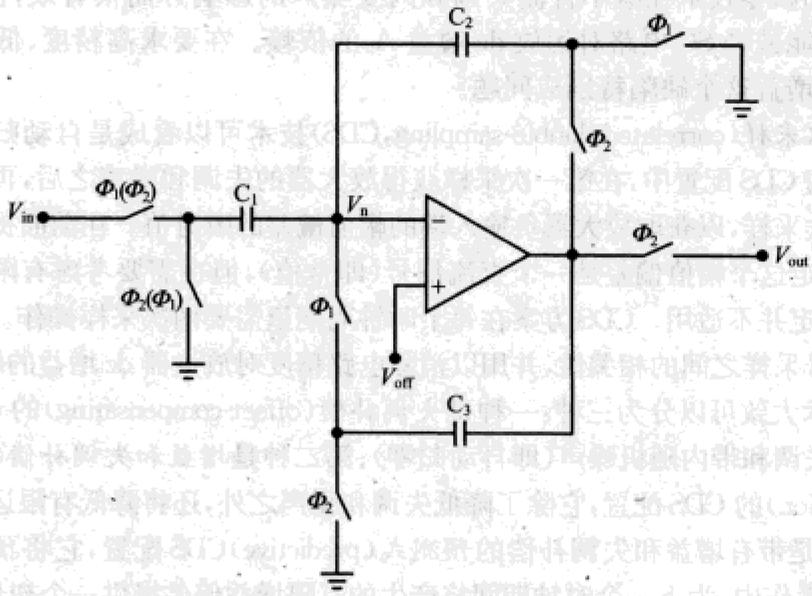


图 7.9 失调增益补偿 SC 放大器

在诸如音频一类的低频应用中，z 约等于 1，上面的传递函数可以简化为：

$$H(1)=\frac{V_{out}}{V_{in}}=\frac{C_1}{C_2}\frac{a}{1-b}=\frac{C_1}{C_2}\left(1-\frac{C_1+C_2}{C_2A_0^2}\right) \tag{7.11}$$

式(7.11)括号中的第二项是有限运放增益引起的归一化的增益偏差。同式(7.3)相比可见，增益偏差的幅值与 A_0 的平方而非 A_0 成反比。因此，SC 放大器对运放增益的依赖性明显降低。

这个 SC 放大器的反相无延迟版本很容易实现，只需将靠近 V_{in} 的两个时钟相简单地改用括号中的时钟相即可(参见图 7.9)。结果，从 V_{in} 到 V_{out} 发生了一次符号变反。此外，当 Φ_2 导通时，在输入和输出采样之间没有特别的延迟，因此 C_3 无法继续完成输出 S&H 的任务。在这种情况下，如果后续器件需要一个稳定的输入信号(例如 ADC 的情况)，那么需要在放大器的输出后面跟随一个专用 S&H。可以证明，反相放大器的低频输入输出关系为[29]：

263

$$H(1)=-\frac{C_1}{C_2}\cdot\left(1-\frac{C_1+C_2}{C_2A_0^2+C_1+C_2}\right) \tag{7.12}$$

有意思的是，其归一化的增益偏差与式(7.11)给出的稍有不同。但是，图 7.9 所示的电路有一个很大的缺点，就是它不适合高速/高频的应用场合。这个问题的主要原因在于，当运放的负输入端存在快速变化的输入信号时，运放需要花费一点时间才能跟得上负输入端电压的变化。实际上，到目前为止我们所讨论的所有 CDS 技术，都是窄带 CDS(narrowband CDS)技术，因为它们抑制运放相关偏差的能力只在低频下有效，在中频或高频下是无效的。有文献声称，对于要求低、中等品质因数的 SC 滤波器而言，有

限运放带宽不会带来什么问题[23]；然而，对于视频 ADC 之类的高频器件，有限运放带宽的影响增加了不少。

为了克服 CDS 配置在速度上的这种限制，而又不牺牲其提高精度的优点，可以另外增加一些电容或构件，来预测和保存由运放的不完美性(例如失调、有限增益及有限带宽等)引起的潜在偏差。然后通过 CDS 的电容开关操作，可以将预测到的失调电压消除。在文献[31]、文献[32]和文献 [33]中，可以找到一些基本 SC 电路的例子(如放大器、单位增益缓冲器和积分器等)，它们应用了预测 CDS(或宽带 CDS)技术。

图 7.10 所示为一个反相 SC 放大器，其中采用了预测 CDS 技术[32]。由图可见，该电路总共有 12 个开关和 5 个电容。主电容 C_1 和 C_2 在放大回路上，这意味着它们负责输入信号的放大。辅助电容 C_4 和 C_5 在预测回路中，这意味着它们用于预测运放非完美性所引入的偏差。为了使预测尽可能准确，通常选择 C_4 和 C_5 使之满足 $C_4/C_5=C_1/C_2$。存储电容 C_3 用于保存预测到的偏差，其电容值不重要但要尽量取小。

该电路的工作过程如下：当 Φ_2 导通时，预测回路进行初步放大，所得的未经补偿的输出信号在运放的负输入端产生一个偏差电压，大小为($-V_{out}/A_0+V_{off}$)。同时，此偏差电压由存储电容 C_3 采样。接下来 Φ_1 导通，由 C_1 和 C_2 构成的放大回路把 C_3 的左极板作为偏差补偿(error-compensated)的虚地，进行一次主放大，从而产生出正确的输出电压。顾名思义，在原来的虚地(即运放的负输入端)上存在的偏差电压，被保存在 C_3 上的预测偏差补偿掉了。 264

Larson 和 Temes 在文献[31]中针对上述电路配置提出了一种替换方案，其改进的版本如图 7.11 所示[33]。由图可见，它跟上面的电路配置一样，也是一个应用预测 CDS 技术的反相放大器，但除运放之外，它只需要 8 个开关和 4 个电容。与前面的电路一样，C_1 和 C_2 是主电容，C_3 和 C_4 是辅助电容，且要求 $C_3/C_4=C_1/C_2$。 265

该电路可以看成是前面图 7.10 所示电路的改进。改进涉及两个地方，一是把存储电容 C_3 并入了 C_1，二是简化了预测回路的开关配置。与前面图 7.10 的配置相比，本电路通过开关的共用、电容数量的减少，除了节省芯片面积和功耗之外，这些改进还带来了更为显著的补偿效果(尤其是在低频范围内)。这个电路在低频区内的高效补偿性能，可能应该归功于它与图 7.9 所示 SC 放大器电路的相似性(图 7.9 所示电路对窄带宽增益偏差的补偿效果可能要算最好的了)。

总之，假如在 SC 放大器中运放的有限直流增益为 A_0，且 SC 放大器的实际增益可以表示为：

$$G_{real}=G_{ideal}\cdot(1-E) \tag{7.13}$$

其中 E 是归一化的增益偏差。那么在 $z=1$ 的条件下，对于一个未进行增益偏差补偿的自动归零 SC 放大器来讲，其增益偏差将是：

$$E\cong\frac{1+|G_{ideal}|}{A_0} \tag{7.14}$$

而对于同一个 SC 放大器，当其采用了窄带 CDS 技术之后(参见图 7.9)，其增益偏差将是：

$$E \cong \frac{1+|G_{ideal}|}{A_0^2} \tag{7.15}$$

而若该SC放大器采用宽带CDS技术(参见图7.10和图7.11)，以降低对运放不完美性的灵敏度，那么所得的增益偏差将为：

$$E \cong \frac{(1+|G_{ideal}|)^2}{A_0^2} \tag{7.16}$$

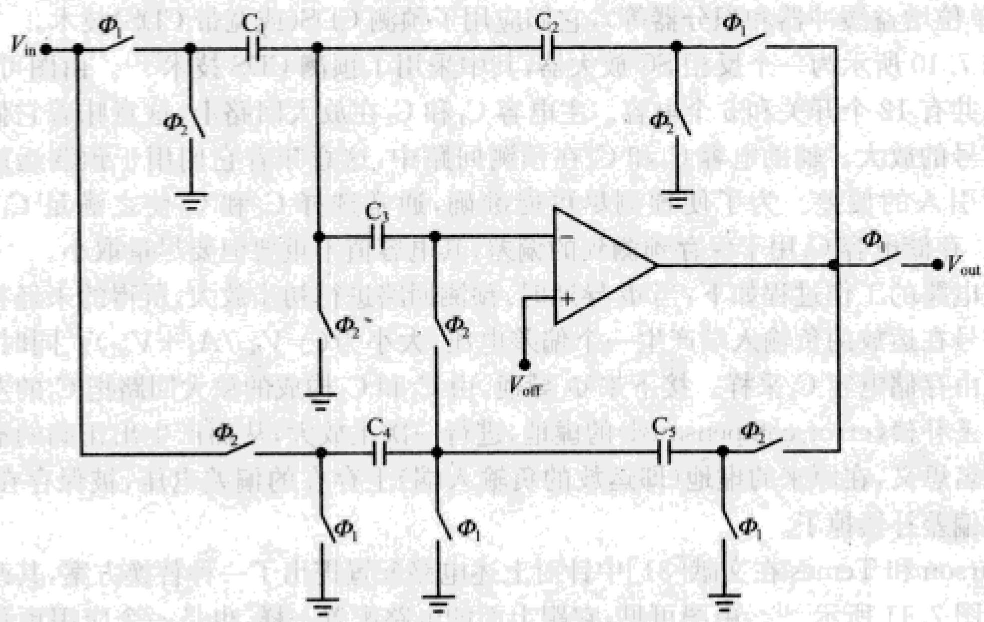


图7.10　应用预测CDS技术的SC放大器

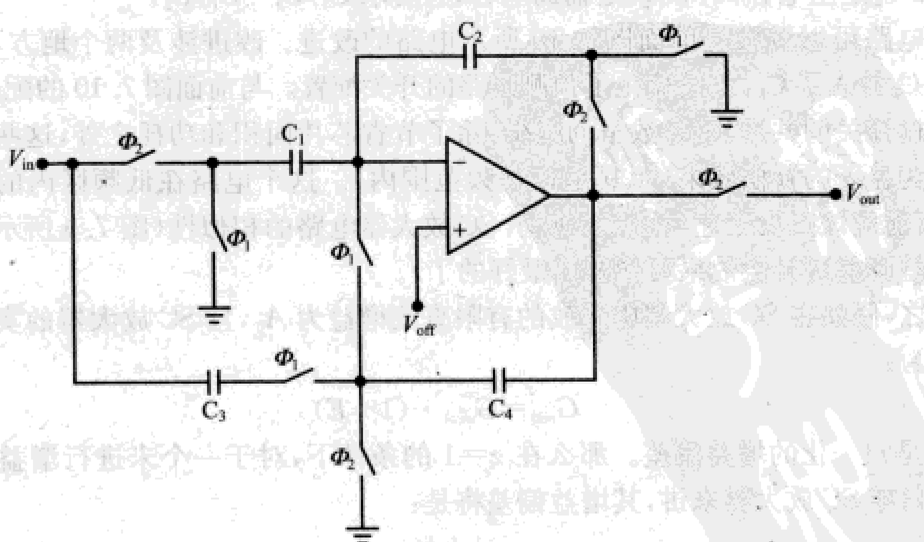


图7.11　采用4个电容预测CDS补偿的SC放大器

参考文献

[1] Semiconductor Industry Association, "International technology roadmap for semiconductors: 2002 update," [Online]. Available at www.sematech.org.

266

[2] A. Baschirotto and R. Castello, "A 1-V CMOS fully differential switched-opamp bandpass sigma–delta modulator," *Proceedings of European Solid-State Circuits Conference (ESSCIRC)*, Vol. 1, pp. 152–155, June 1997.

[3] V. Peluso, P. Vancorenland, A. M. Marques, M. Steyaert, and W. C. Sansen, "A 900-mV low-power ΔΣ A/D converter with 77-dB dynamic range," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 12, pp. 1887–1897, December 1998.

[4] M. Waltari and K. Halonen, "1-V 9-Bit pipelined switched-opamp ADC," *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 1, pp. 129–134, January 2001.

[5] L. Yao, M. Steyaert, and W. Sansen, "A 0.8-V, 8-μW, CMOS OTA with 50-dB gain and 1.2-MHz GBW in 18-pF load," *Proceedings of European Solid-State Circuits Conference (ESSCIRC)*, Vol. 2, pp. 297–300, June 2003.

[6] S. Rabii and B. A. Wooley, *The design of low-voltage, low-power sigma-delta modulators*, Kluwer, Norwood, MA, 1999.

[7] T. Atachi et al., "A 1.4 V switched capacitor filter," *Proceedings of IEEE Custom Integrated Circuits Conference*, Vol. 8, pp. 821–824, May 1990.

[8] J. Ramirez-Angulo, S. Choi, and G. Altamirano, "Low voltage circuits building blocks using multiple input floating gate transistors," *IEEE Trans. on Circuits and Systems—I*, Vol. 42, pp. 971–974, November 1995.

[9] B. Blalock, P. Allen, and G. Rincon-Mora, "Designing 1-V op amps using standard digital CMOS technology," *IEEE Trans. on Circuits and Systems—II*, Vol. 45, pp. 769–780, July 1998.

[10] Y. Nakagome et al., "An experimental 1.5-V 64 Mb DRAM," *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 4, pp. 465–472, April 1991.

[11] T. Cho and P. R. Gray, "A 10 b, 20 Msamples/s, 35 mW pipeline A/D converter," *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 3, pp. 166–172, March 1995.

[12] A. Abo and P. R. Gray, "A 1.5-V 10-bit 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, Vol. 34, No. 5, pp. 599–606, May 1999.

[13] C. Hu, "IC reliability simulation," *IEEE Journal of Solid-State Circuits*, Vol. 27, No. 3, pp. 241–246, March 1992.

[14] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 3, pp. 349–355, March 2001.

267

[15] J. Steensgaard, "Bootstrapped low-voltage analog switches," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. 2, pp. 29–32, May 1999.

[16] H. Pan et al., "A 3.3-V 12-b 50-MS/s A/D converter in 0.6-μm CMOS with over 80-dB SFDR," *IEEE Journal of Solid-State Circuits*, Vol. 35, pp. 1769–1780, December 2000.

[17] J. Crols and M. Steyaert, "Switched-opamp: An approach to realize full CMOS switched-capacitor circuits at very low power supply voltages," *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 8, pp. 936–924, August 1994.

[18] E. Bidari, M. Keskin, F. Maloberti, U. Moon, J. Steensgaard, and G. C. Temes, "Low-voltage switched-capacitor circuits," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. V, pp. 445–448, May 2000.

[19] A. Baschirotto and R. Castello, "A 1-V 1.8-MHz CMOS switched-opamp SC filter with rail-to-rail output swing," *IEEE Journal of Solid-State Circuits*, Vol. 32, pp. 1979–1986, December 1997.

[20] V. S.-L. Cheung, H. C. Luong, and W.-H. Ki, "A 1-V CMOS switched-opamp switched-capacitor pseudo-2-path filter," *IEEE Journal of Solid-State Circuits*, Vol. 36, pp. 14–22, January 2001.

[21] V. S.-L. Cheung, H. C. Luong, and W.-H. Ki, "A 1-V 10.7-MHz switched-opamp bandpass ΣΔ modulator using double-sampling finite-gain-compensation techniques," *IEEE Journal of Solid-State Circuits*, Vol. 37, pp. 1215–1225, October 2002.

[22] G. C. Temes, "Finite amplifier gain and bandwidth effect in switched-capacitor filters," *IEEE Journal of Solid-State Circuits*, Vol. SC-15, pp. 358–361, June 1980.

[23] K. Martin and A. S. Sedra, "Effects of the op amp finite gain and bandwidth on the performance of switched-capacitor filters," *IEEE Trans. Circuits and Systems*, Vol. CAS-28, pp. 822–829, August 1981.

[24] G. C. Temes, "Autozeroing and correlated double sampling techniques," Research Seminar, Oregon State University, Corvallis, OR, May 2002.

[25] B. Razavi and B. A. Wooley, "Design techniques for high-speed, high-resolution comparators," *IEEE Journal of Solid-State Circuits*, Vol. 27, pp. 1916–1926, December 1992.

268

[26] F. Krummenacher, "Micropower switched capacitor biquadratic cell," *IEEE Journal of Solid-State Circuits*, Vol. SC-17, No. 3, pp. 507–512, June 1982.

[27] R. Gregorian, "High-resolution switched-capacitor D/A converter," *Microelectronic Journal*, No. 12, pp. 10–13, 1981.

[28] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: Autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE*, Vol. 84, pp. 1584–1614, November 1996.

[29] K. Haug, G. C. Temes, and K. Martin, "Improved offset-compensation schemes for SC circuits," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. 3, pp. 1054–1057, Montreal, Canada, May 1984.

[30] K. Martin et al., "A differential switched-capacitor amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 1, pp. 104–106, February 1987.

[31] L. E. Larson and G. C. Temes, "SC building blocks with reduced sensitivity to finite amplifier gain, bandwidth and offset voltage," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. 1, pp. 334–338, Philadelphia, PA, May 1987.

[32] K. Nagaraj et al., "Switched-capacitor circuits with reduced sensitivity to amplifier gain," *IEEE Trans. Circuits and Systems*, Vol. CAS-34, No, 5, pp. 571–574, May 1987.

[33] H. Yoshizawa, Y. Huang, and G. C. Temes, "Improved SC amplifiers with low sensitivity to op-amp imperfections," *Electron. Letters*, Vol. 33, No. 5, pp. 348–349, February 1997.

第 8 章 多模 RF 接收器中 SC ΔΣ 调制器的设计

8.1 引言

自从 20 世纪 90 年代中期以来，快速成长的移动通信市场使得第二代(2G)数字移动与无绳电话系统[例如全球移动通信系统(Global System for Mobile Communication，GSM)以及数字增强无绳通信系统(Digital Enhanced Cordless Telecommunication，DECT)]的用户数量急剧增长。2G 系统开发的初衷是要解决第一代模拟系统，例如高级移动电话系统(Advanced Mobile Phone System，AMPS)的问题，增加系统的容量。从 1999 年开始，对短信和移动多媒体服务的大量需求成了驱动现有无线通信标准和基础更新的动力。这种更新的预期结果将是一个通用的系统，它能够支持第 3 代(3G)或准 3G 标准，包括 GSM 改进之数据速率增强(Enhanced Data rates for GSM Evolution，EDGE)标准，宽带码分多址(Wideband Code Division Multiple Access，WCDMA)标准，码分多址-2000(CDMA-2000)标准，以及最新的 3G 家族成员时分同步码分多址(Time Division Synchronous Code Division Multiple Access，TD-SCDMA)标准。图 8.1 画出了移动电话通信技术发展的概图[1]。

不过，考虑到现有 2G 服务与基础的庞大容量，以及单一 3G 无线系统在质量与用户数量上获得优势所需的时间和投资成本等因素，要想在短期内实现从 2G 到 3G 的完全转换是不现实的。为了在这个转换期间能够同时使用 2G 和 3G 的标准与服务，人们做了大量的努力，以使无线接收器具有多波段和多标准的兼容能力[2~7]。

多模的挑战

在单片射频(RF)接收器电路中容纳多种标准，将显著增加 RF 频段和基频段部分电路的复杂度，导致电路集成度低、功耗大。从单一标准到多标准的转换不是一件轻松的事情。它要求对 RF 前端电路和基频段电路进行全盘的重新考虑。在本书写作之时，高质量多模 RF IC 的成功实现被公认是一个最富挑战的设计任务。

一个明显的挑战在于，如何设计出一个低功耗、小尺寸的模数转换器(ADC)，它能

够从存在多种阻隔信号和载频分量的大信号功率环境中，将所需的小信号数字化。为了降低成本和尺寸，在大多数现代单片 RF 接收器中，通常都用低 Q 的集成抗混叠滤波器来代替传统的高 Q 离散声表面波(surface acoustic wave，SAW)滤波器。因此，邻近的强阻隔信号将无法衰减到足以符合传统滤波器标准的要求，所需的小信号将往往淹没在这些未能完全衰减的阻隔信号中。这样一来，ADC 就必需具有很高的动态幅摆范围，否则将很难检测到信号。

272

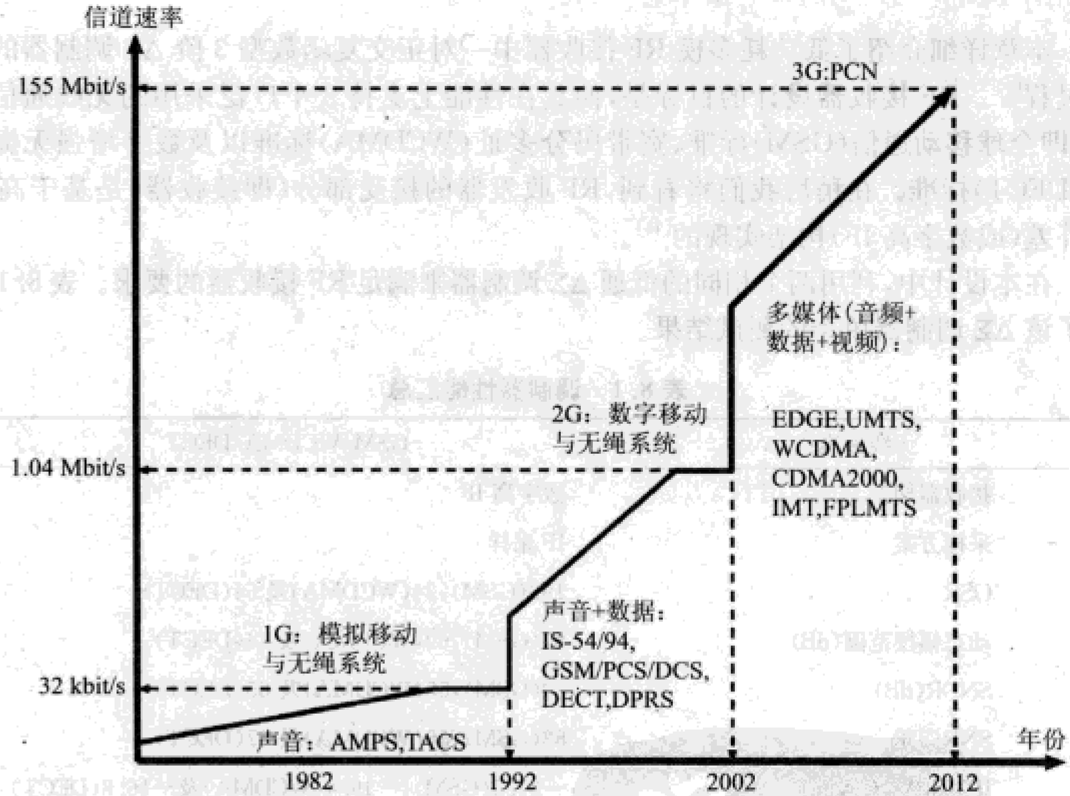


图 8.1 移动电话通信技术发展图

在我们迄今所见的大量 ADC 构架中，流水线型 ADC 以及过采样 ΔΣ ADC 是可用于无线接收器模数接口的两个最佳选择。大家都知道，流水线型转换器适合于要求高转换速度且需要中到高分辨率的场合。然而，如第 5 章所述，流水线型转换器跟其他奈奎斯特频率级转换器一样，对模拟器件的不匹配是比较敏感的。因此，对于要求高于 12 位分辨率的场合，常常需要使用很复杂的校准/校正电路，这将显著增加电路的复杂性和功耗。尽管文献[8]和文献[9]等报道了几个 15 位的流水线型 ADC 具有宽带能力，但它们仍然不能满足大多数现代 RF 接收器对功耗和尺寸的严格要求。

与流水线型 ADC 相比，只要过采样比(OSR)足够高，过采样 ΔΣ ADC 对器件参数的不匹配就较不敏感，因为它用更多的数字信号处理取代了松散的模拟电路的功能。因此，在相同的分辨率和速度要求下，ΔΣ ADC 的模拟电路部分通常要比流水线型 ADC 的对应电路消耗较少的功率。

此外,在ΔΣ ADC中,邻近的阻隔信号和量化噪声是按相同的方式整形到带外的,并且可以将跟随在ΔΣ调制器后面的采样抽取滤波器与数选滤波器及基频段混频器组合在一起使用,以衰减量化噪声及邻近的无线电阻隔信号。不仅如此,通过选用不同的时钟采用速率(即不同的OSR),同一个ΔΣ ADC构架可以适应不同无线标准所提出的不同信号带宽、动态幅摆范围、信噪比(SNR)及线性度等要求[10]。

多模RF接收器中的ΔΣ调制器

本章详细介绍了低功耗多模RF接收器中一对正交复函数型3阶ΔΣ调制器的设计过程[1]。RF接收器设计的目标是,使其在性能上支持3个广泛采用的无线通信标准,即全球移动通信(GSM)标准、宽带码分多址(WCDMA)标准以及数字增强无绳通信(DECT)标准。在稍后我们将看到,RF收发器的接受部分(即接收器)是基于高IF超外差(或数字高IF)构架实现的[11]。

273

在本设计中,利用两个相同的低通ΔΣ调制器来满足RF接收器的要求。表8.1汇总了该ΔΣ调制器单个的测试结果。

表8.1 调制器性能汇总

无线标准	GSM/WCDMA/DECT
接收器构架	数字高IF
采样方案	IF采样
OSR	192(GSM),24(WCDMA)及64(DECT)
动态幅摆范围(dB)	87(GSM),69(WCDMA)及74(DECT)
SNDR(dB)	80(GSM),55(WCDMA)及65(DECT)
SNR(dB)	83(GSM),56(WCDMA)及67(DECT)
IP3(dBV,有效值)	−27.5(GSM),−19.4(WCDMA)及−16.8(DECT)
(调制器的)总电容	6.30pF
电容分布值	24∶1
参考电压	1.25V
电源电压	2.5V
工艺	0.35μm CMOS 双层多晶硅

本章提要

本章组织如下:8.2节综述各种RF接收器构架,并简单介绍利用一对正交复函数型低通ΔΣ调制器进行IF采样的方法;8.3节描述ΔΣ调制器系统级的设计,该节还将介绍基于计算机的行为仿真结果;8.4节详细讲述ΔΣ调制器的电路实现;8.5节介绍测量结果;8.6节总结全章,并对未来的研究工作做一些说明与展望。

8.2 接收器系统

质量参数

同 RF 接收器设计相关的关键质量参数(FOM)包括灵敏度、选择性、线性度以及动态幅摆范围。

274

灵敏度(sensitivity)定义为对于给定的信噪比(SNR),在存在电子噪声的情况下,RF 接收器能够检测到的最低可能信号功率。灵敏度的另外一个名称是最小可检测信号(minimum detectable signal,MDS)[12,13]。

选择性(selectivity)表示 RF 接收器在存在强邻近干扰与阻隔信号的情况下,分辨出所需小信号的能力。在大多数情况下,信道带通滤波器(位于 IF 的中央)决定着接收器的选择性[12]。它也依赖于 RF 前端器件(例如低噪声放大器和第一个混频器)的品质因数。

线性度(linearity)表示接收器抑制互调积的能力。在实用中,3 阶(交调)截取点(third-order intercept point,IP3)测量常被用来检验 RF 接收器的线性度性能。在该测量中,先将频率靠近所需信号频率的两个正弦波馈入到接收器中,然后测量输出中的(2 阶和 3 阶)谐波。1dB 压缩点(1-dB compression point)表示信号功率增益比理想点增益小 1dB 的点,它是描述 RF 接收器线性度的又一个参数,可用于替代 IP3 指标。

动态幅摆范围(dynamic range,DR)定义为系统能够处理的最大与最小可能输入电压的分贝差。在给定的 SNR 范围下,DR 也可以解释为最大与最小可能的输出信号之比。动态幅摆范围的下限通常取决于灵敏度要求,而上限则取决于接收器的构架,可以因构架不同而不同。去伪动态幅摆范围(spurious-free-dynamic-range,SFDR)和阻断动态幅摆范围(blocking-dynamic range,BDR)是常见的两个同 DR 相关的质量参数(FOM)。

传统的超外差接收器

图 8.2 所示的传统超外差(super-heterodyne)接收器自从其在 1917 年诞生以来就在无线电工业中得到了广泛应用。其中最重要的一个应用是用在移动通信系统的手持设备上。在该接收器中,天线接收到的 RF 信号先由一个抗混叠 RF 滤波器滤波,所得的输出再由一个低噪声放大器(LNA)放大。LNA 的设计是一个关键,因为在大多数情况下,它决定着 RF 接收器整体的噪声系数(NF)和动态幅摆范围(DR)。优良的选择性和灵敏度可以通过选用相对较高的 IF 频率、高选择性的(或锐截止的)RF 和 IF 滤波器来获得。此外,若选用高 IF,则可以降低镜像抑制(IR)滤波器对选择性的要求。

275

由于超外差接收器采用两步朝下转换(two-step down-conversion)算法,因此对直流失调电压及 LO(局部振荡)泄漏不敏感[12,13]。然而,由于将高性能的(例如高 Q 的)RF、IF 及 IR 滤波器集成到商用化的 CMOS 加工工艺中是一件很困难的事情,这些滤波器一般只好采用片外的分离器件来实现,这就导致这种接收器不适合于对尺寸特别敏感因而需要单片电路实现的应用场合[2]。

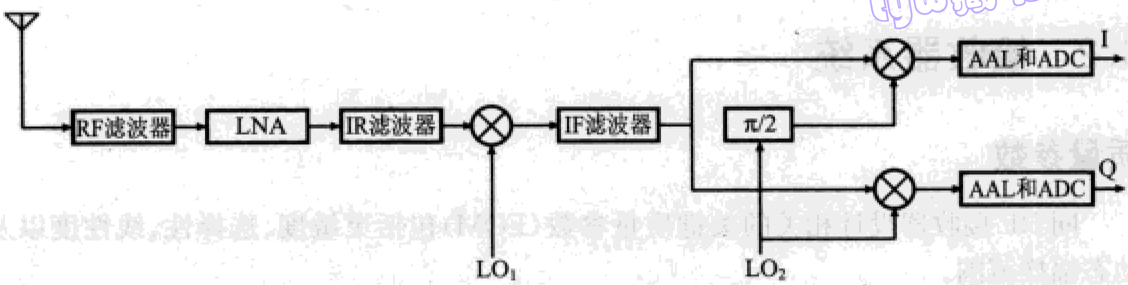


图 8.2 超外差构架

零中频(直接转换)接收器

图 8.3 所示为一个零中频(zero-IF)接收器,也称零 IF 接收器,或直接转换(direct-conversion)接收器。零 IF 接收器是将前述超外差接收器的外部 IR 和 IF 滤波器去掉而得的结果,它可以满足要求小型尺寸规格的场合。在这种接收器中,LO 和 RF 载频是相同的,因此 IF 频率等于零(这就是称作零 IF 接收器的原因)。此外,由于整个 RF 信号波段被直接向下转换到了基带,因此这种接收器不存在镜像干扰的问题。尽管零 IF 接收器在小尺寸设计方面拥有可期的未来,但它有好几个不足。首先,其在 I、Q 路径之间存在的相位和幅值上的不平衡,会引起时变的直流电压失调或漂移,从而会在恢复出来的基带信号中引入非线性和相位偏差。其次,在原始的与泄漏的 LO 信号之间存在着自混频现象,可能会堵塞接收器,使其行为变得类似振荡器[14]。另外,由于零 IF 接收器采用一步式频率转换,所以一般都需要使用一个宽带、低相位噪声的频率合成器,来为正确选择信道提供精准的 LO 频率。这就给零 IF 接收器的设计增加了一个最大的挑战,即如何用低 Q 的集成无源器件建造如此高性能的频率合成器。最后,基带 ADC 的动态幅摆范围(DR)要求也不好满足,因为输入信号在进入 ADC 之前,没有经过多少前置滤波处理。事实上我们知道,与其他标准 RF 接收器拓扑相比,零 IF 接收器对 ADC 动态幅摆范围性能的要求是最严苛的。

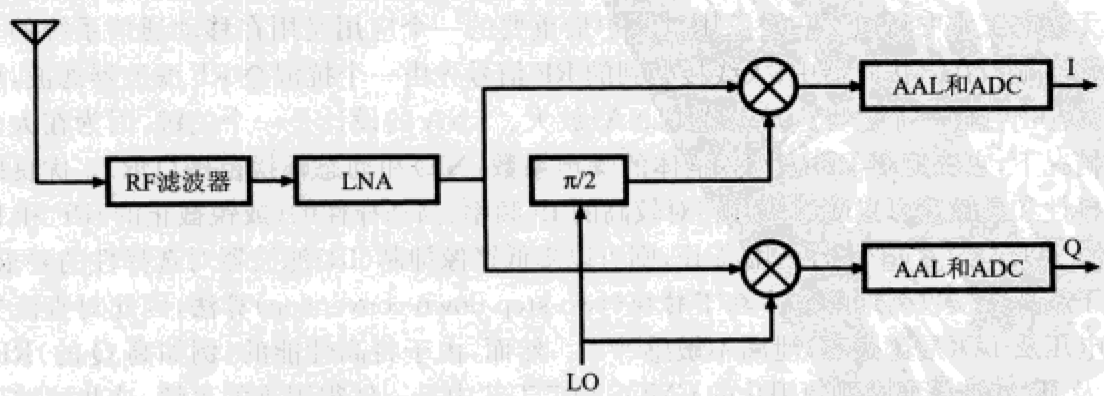


图 8.3 零 IF(直接转换)构架

低中频接收器

图 8.4 所示为低中频(low-IF)接收器,也称低 IF 接收器,或单转换(single-conversion)接收器。这个接收器可能源自片上带通滤波(on-chip band-pass filtering)的思想。在该接收器中,IF 选在相对较低的频率(通常为数百千赫),而不选用零频率的直流。因此,直流电压失调和低频噪声(例如闪变噪声)问题得到了减小。此外,同零 IF 接收器相比,低 IF 接收器付出了一对高选择性带通滤波器的代价,以换取带通 ADC 较宽松的动态幅摆范围要求。然而,由于低 IF 接收器也采用单步向下转换的方案,因此它仍需要一个具有精准调谐能力的宽带频率合成器。 277

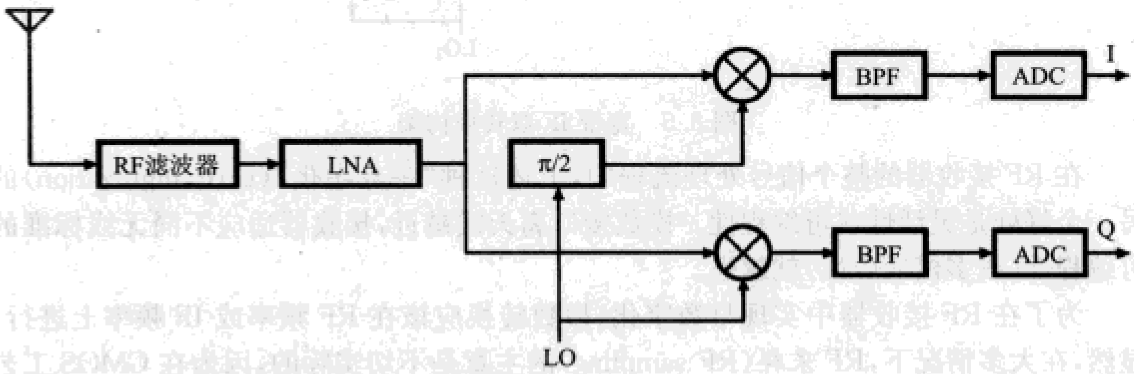


图 8.4 低 IF 构架

宽带中频双转换接收器

宽带中频双转换(wideband IF double-conversion, WIFDC)接收器如图 8.5 所示,它采用两步向下转换的方案,跟传统的超外差接收器类似。WIFDC 与超外差接收器的本质差别在于,在 WIFDC 中是第二个 LO 频率(不像超外差那样是第一个 LO 频率)是可编程的,并且可以用来选择需要的信道。与零 IF 接收器相比,WIFDC 接收器通过选用非零 IF,从而减轻了 LO 自混频引起的偏差。与低 IF 接收器相比,WIFDC 接收器避免了设计宽带频率合成器的麻烦,因为只需要产生 kHz 量级的低 LO 频率。此外,这种接收器绕过了需增加一对高 Q 带通滤波器的要求。如原理图所示,WIFDC 接收器采用两步向下转换方案,因此镜像干扰是不可避免的。为了减轻镜像问题,在其第二个向下转换级中,使用了 4 个运行于低中频率(100kHz 量级)的混频器[5],其结果是功耗大、电路设计复杂。

数字中频接收器

由于互补金属氧化物半导体(CMOS)工艺的快速发展,使得体积更小、速度更快、功耗很低的数字 IC 得以成功实现。对于现代 RF 接收器的设计而言,这就意味着那些承担由中频到基带的往下转换任务以及信道选择任务的电路,都应该被移到数字域中 278

去实现，以实现低功耗、高速度的目标。

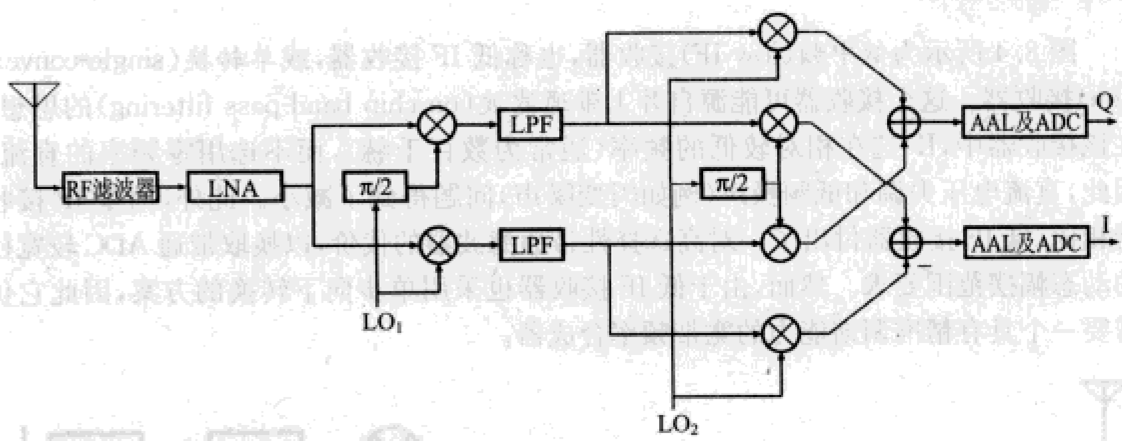


图 8.5 宽带 IF 双转换构架

在 RF 接收器的整个信号处理流程中，上述这种“早数字化”(early digitization)的另一个好处是灵活性或可编程性。模数接口离天线越近，接收器适应不同无线标准的可编程性(或多模适应性)就越强。

为了在 RF 接收器中实现早数字化，模数转换应该在 RF 频率或 IF 频率上进行。显然，在大多情况下，RF 采样(RF sampling)的主意是不切实际的，因为在 CMOS 工艺中要建造如此高带宽(GHz 水平)的 ADC 几乎是不可能的。仅有的可行方案是 IF 采样(IF sampling)，即在 IF 频段附近进行数字化。对目前 RF 接收器设计现状的调查表明，IF 采样方案已经被应用于超外差接收器[15~17]、低 IF 接收器[18,19]，以及零 IF 接收器[6,7]。

在需要 IF 采样的 ADC 中，往往采用 ΔΣ 调制器。这有三个原因：(1)如前所述，只要 OSR 足够高，ΔΣ 调制器对器件参数的不匹配就较不敏感；(2)ΔΣ 调制器所固有的可编程性正是多模 RF 接收器所需要的；(3)ΔΣ 调制器对噪声和邻近阻隔信号同时进行整形，因而绕过了对高选择性滤波器的需要。

根据应用的要求以及所选接收器构架的不同，IF 采样操作既可以在低 IF 频段(100kHz 量级)进行，也可以在高 IF 频段(75MHz~150MHz)进行。然而，高 IF 采样更能满足当前的以及正在出现的一些多模 RF 接收器的需要[4,7,11]。可以看到，高 IF 采样可以显著降低对前端 RF 和 IF 滤波器的选择性要求，因而 RF 前端电路的尺寸可以做得较小。此外，高 IF 采样减轻了镜像问题，因为这个高 IF 频率至少在所需信号截止频率的 10 倍以上。

最近，一个较老的接收器构架，即数字高 IF(digital high-IF)，在移动通信中找到了新的应用[11,13,16~20]。图 8.6 所示为数字高 IF 接收器的基本框架图。

从原理图可见，从 IF 到基带的部分电路被分裂为两条转换路径(I 支路和 Q 支路)，馈入到每条路径的信号所使用的时钟频率等于有效采样频率 f_s(即双采样频率)的一半。因此同全速时钟的配置相比，功耗大为降低。

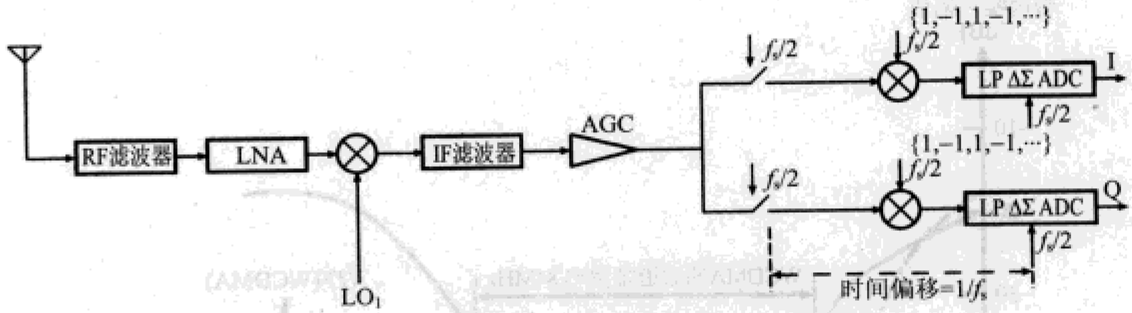


图 8.6 数字高 IF 构架

然而,在后面将会看到,这里的设计没有采用图 3.4c 所示的双采样 SC 积分器。这是因为时钟速率减半的操作是在 ΔΣ 调制器外部由采样器和混频器来完成的[11]。换而言之,在 ΔΣ 调制器中只可以使用图 3.4a 或图 3.4b 所示的标准 SC 积分器。

注意图 8.6 所示的双路径结构,其实等效于在一个带通调制器中构建的单路径结构且后随一个数字混频器,以全速采样频率 f_s 的时钟工作[17,21]。带通 ΔΣ 调制器通常没有低频闪变噪声和直流电压失调的问题。此外,由于正交混频的操作是在带通 ΔΣ 调制器之后以数字化方式进行的,因此混频器的精度跟模拟器件的缺陷没有关系。

然而,与采用单个带通调制器的 IF 采样方案相比,正交模式的双低通调制器配置极大地降低了电路的复杂性,因为调制器的阶数及有效采样时钟速率都降低为前者的一半。不仅如此,一个 L 阶的低通调制器的稳定性也要比一个 $2L$ 阶的带通调制器容易控制[22,23]。

在本章的多模 RF 接收器中,我们将采用两个相同的低通 ΔΣ 调制器(彼此移相 90°)来进行 IF 采样。图 8.7 所示的两条曲线分别是 GSM 标准和 WCDMA 标准的理想噪声传递函数(NTF)。

GSM 标准要求每个通道的信号带宽(或通道带宽)等于 200kHz,而 WCDMA 标准要求的通道带宽则高达 3.84MHz。注意在每种情况下(无论是 GSM 还是 WCDMA),图 8.7 所示的 NTF 是将 I 支路的 NTF 与其 Q 支路的版本(即与 I 支路的 NTF 相比有 90°的相位差的理想 NTF)整合在一起的结果。 280

调制器的性能指标

ΔΣ 调制器的性能指标在很大程度上取决于多模 RF 接收器所要求的选择性、灵敏度、线性度以及动态幅摆范围。表 8.2 汇总了多模 RF 接收器的无线通信指标[24~26]。接下来该做的就是将表中的指标转换成 ΔΣ 调制器的设计要求。

在确定各个调制器的动态幅摆范围时,必须考虑带内阻隔信号。其底线是剩余动态幅摆范围(即所需信号的标称有效值与最大可能的带内阻隔信号之差)必须小于调制器可以达到的动态幅摆范围。 281

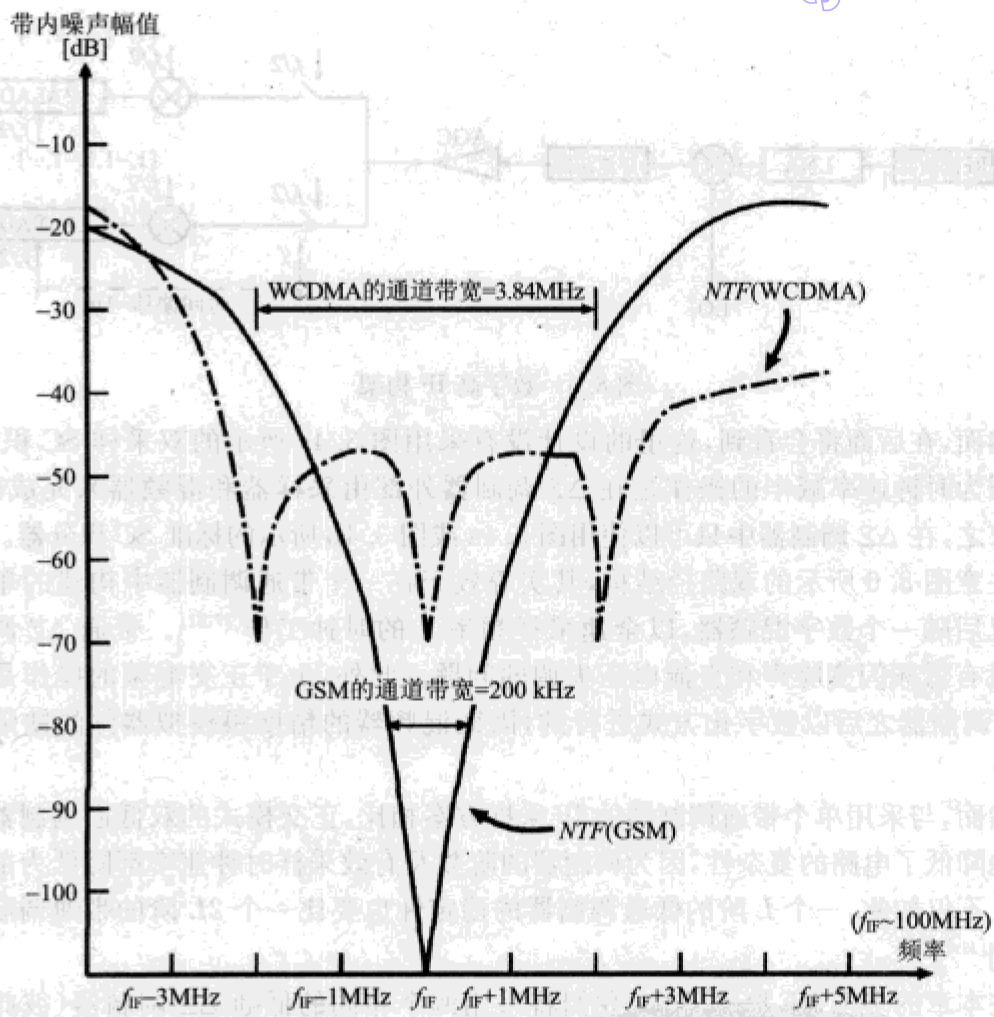


图 8.7　在 GSM 以及 WCDMA 标准中，IF 采样的 NTF

表 8.2　多模 RF 接收器的无线通信性能指标

标　准	GSM	WCDMA	DECT
调制方案	GMSK	QPSK/RRC	GFSK/DBFSK
寻址方案	TDMA/FDMA	CDMA/B-CDMA	TDMA/FDMA
RX 带宽(MHz)	935−960/1850−1910	1920−1980/2110−2170	1880−1900/1910−1930
通道带宽(MHz)	0.20	3.84	1.40
通道速率(Mbit/s)	0.271	3.842	1.152
通道间隔(MHz)	0.20	5.00	1.728
灵敏度(dBm)@BER =0.001	−100	−110	−83
标称信号水平(dBm)	−99	−108	−80
最大带内阻隔水平(dBm)	−23	−44	−33

（续）

标　准	GSM	WCDMA	DECT
整体 NF(dB)	12	9	18
RF 前端 NF(dB)	8	5	14
基带 NF(dB)	4	4	4
最大 IP3(dBV_{rms})	−25	−18	−15

确定每个调制器的最大容许 IP3 不是件简单的事情，因为只有确定了以下系数之后，才能获得其合理的估算值：一是 RF 前端链路的线性增益，二是 RF 和 IF 滤波器后的带内阻隔信号幅值，再就是混频器的 IP3。不过，通过对一些最新设计实例[5,10,17,21,27]的调查表明，只要反馈回路 DAC 的非线性度得到很好的处理，调制器本身对接收器的互调偏差的贡献通常很小。如果使用的是 1 位的 DAC，那么这不会带来大的问题。表 8.3汇总了 ΔΣ 调制器的目标参数要求。

282

表 8.3　ΔΣ 调制器的目标参数要求

标　准	GSM	WCDMA	DECT
动态幅摆范围(dB)	86	54	72
SNDR(dB)	72	52	63
SNDR(dB)	76	56	65
最大 IP3(dBV_{rms})	−25	−18	−15

8.3　系统级ΔΣ 调制器的设计

在集成多模 RF 接收器中，功耗和面积是两个最为关注的问题，因此必须在 ΔΣ 调制器的系统级设计中对它们进行考虑。

如第 5 章所述，有许多可能的方法可用来设计 ΔΣ 调制器，每个都有其优缺点。从表 5.4 可见，如果需要低功耗的设计，那么有 3 种最佳的选择，即 1 位/多位多级型（除最后级使用多位量化器外，所有其余级都使用 1 位量化器），1 位多级型（各级全部使用 1 位量化器），以及高阶 1 位单级型。

根据表 8.3 列出的目标参数要求，立即可以看出应该放弃 1 位/多位多级型（或级联型）的结构，因为使用多位量化器的场合往往要求使用不匹配整形电路（参见第 5 章），这需增加额外的功耗和芯片面积，用以消除 DAC 单元之间不完美匹配引起的非线性偏差。因此这一结构不能满足我们这个特别的多模 RF 接收器的需要。

其次，虽然 1 位多级结构比较适合于实现阶数大于 2 但低于 7($2 < L < 7$)的环路滤波器，且通过在其每一级中采用一个低阶($L < 3$)滤波器，可以实现很高的稳定性。然而，如第 5 章所述，器件不匹配以及有限运放增益偏差将引起量化噪声从第一级泄漏到输出中，因而降低 SNR。例如，对于类似文献[10]中的 4 阶级联(2-2)调制器，

0.2%的相对电容失配误差就将引起 SNR 高达 15dB 的降低。

与以上结构相反，高阶 1 位单级结构则具有不需要进行 DAC 偏差校正的优点。此外，高阶结构降低了对运放增益的要求。然而，如第 5 章所述，高阶 1 位单级调制器可能变得不稳定。阶数越高，要使这种调制器设计得稳定就越困难。幸运的是，根据式(5.21)，我们发现一个 3 阶的（而无需 4 阶或 5 阶的）1 位单级调制器就可以满足表 8.3列出的指标要求。

中频（IF）频率和过采样比（OSR）

283

如 8.2 节所述，高 IF 频率可以极大地放宽对 RF 滤波器的选择性要求，减轻镜像问题。在数字高 IF 接收器中，往往倾向使用 100MHz 左右的 IF[11,17]。对于本章的ΔΣ 调制器，选用了 3 个不同的 IF 频率，即 78MHz 用于 GSM、138.24MHz 应用于 WCDMA，以及 110.59MHz 用于 DECT。

如前所述，一个 3 阶的 1 位单级调制器结构即可满足表 8.3 的设计要求。对于 GSM，选择 OSR 为 192 即可获得超过 100dB 的高 SNR。对于 DECT，OSR 选为 64。对于 WCDMA 标准，由于其需要大约 2MHz 的通道带宽，因此其 OSR 大小设置仅为 24。

在确定了 OSR 值之后，就可以采用*正交硬件调制*（orthogonal hardware modulation）算法 [28]来计算 3 种标准各自的采样速率，结果分别是：104M 次采样/s（GSM 标准）。184.32M 次采样/s（WCDMA 标准），以及 147.46M 次采样/s（DECT 标准）。注意，由于采用了图 8.6 所示的两路 IF 到基带的方案，因此低通调制器的时钟频率仅为有效采样频率的一半，例如 GSM 的调制器的实际时钟频率仅为 52M 次采样/s。

GSM 和 DECT 中ΔΣ 调制器的设计

如图 8.8 所示，我们采用一个简化版本的 DFFIR 拓扑（参见第 5 章）来设计 GSM 的两个 ΔΣ 调制器。注意图中去掉了内部谐振器反馈，这是因为我们从仿真看出无需优化 NTF 的零点即可满足对 SNR 的要求（仅对 GSM 而言）。此外，图 8.8 所示简化版本的 DFFIR 还去掉了 3 条前向通路，这样得到的调制器体积更小、功耗更低。

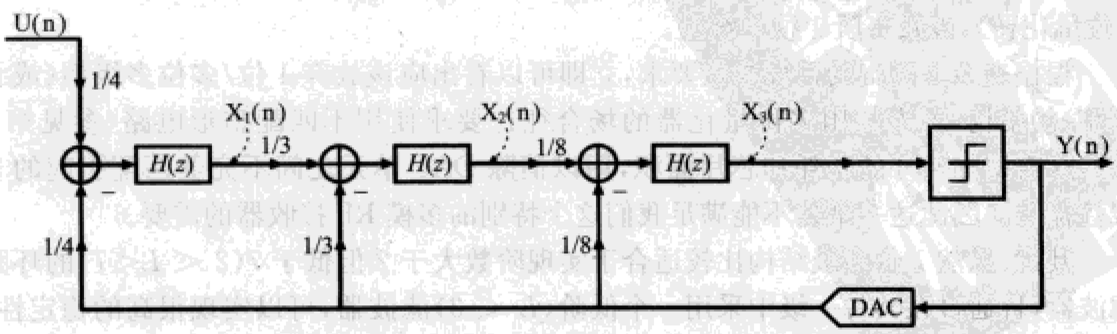


图 8.8 GSM 标准所用的 ΔΣ 调制器的拓扑

注意图中的系统常数(即 1/4、1/3 及 1/8)等效于电路中的电容比。在实际应用中,总希望这些系数在小数点后的位数越少越好。否则,它们将对集成电容的实现提出严格的精度要求,将很难得到满足(尤其是当寄生电容不可忽略时)。 284

此外,对于图中的每个积分器,输入信号和从 DAC 反馈来的信号拥有相同的电容比。在实际中也偏向这种取法,因为其在每个输入级中只需要一个输入电容(对于单端配置而言),因而可以得到较小的电容值和较小的芯片面积。

不仅如此,对这些级联的积分器还有一个很重要的要求,就是它们都应该具有近似相同的平均输出电平。否则,我们将不得不对这些系统参数进行调节(即动态幅摆范围调节),以保证没有任何积分器的输出超出某个归一化的上限。低功耗设计要想获得高的动态幅摆范围,满足以上这点至关重要。图 8.9 所示的 X_1、X_2 和 X_3 是这 3 个积分器的归一化输出。相应的调制器输入是一个 50Hz、峰峰值为 −3dBFS 的正弦波。由此可见,所有 3 个积分器的输出电平都在归一化的范围 1 和 −1 之间。因此,无需进行额外的动态幅摆范围调节。在这个设计中,DECT 和 GSM 标准都采用图 8.8 所示相同的调制器拓扑,但所用的 *OSR* 不同,DECT 的 *OSR* 改用 64。 285

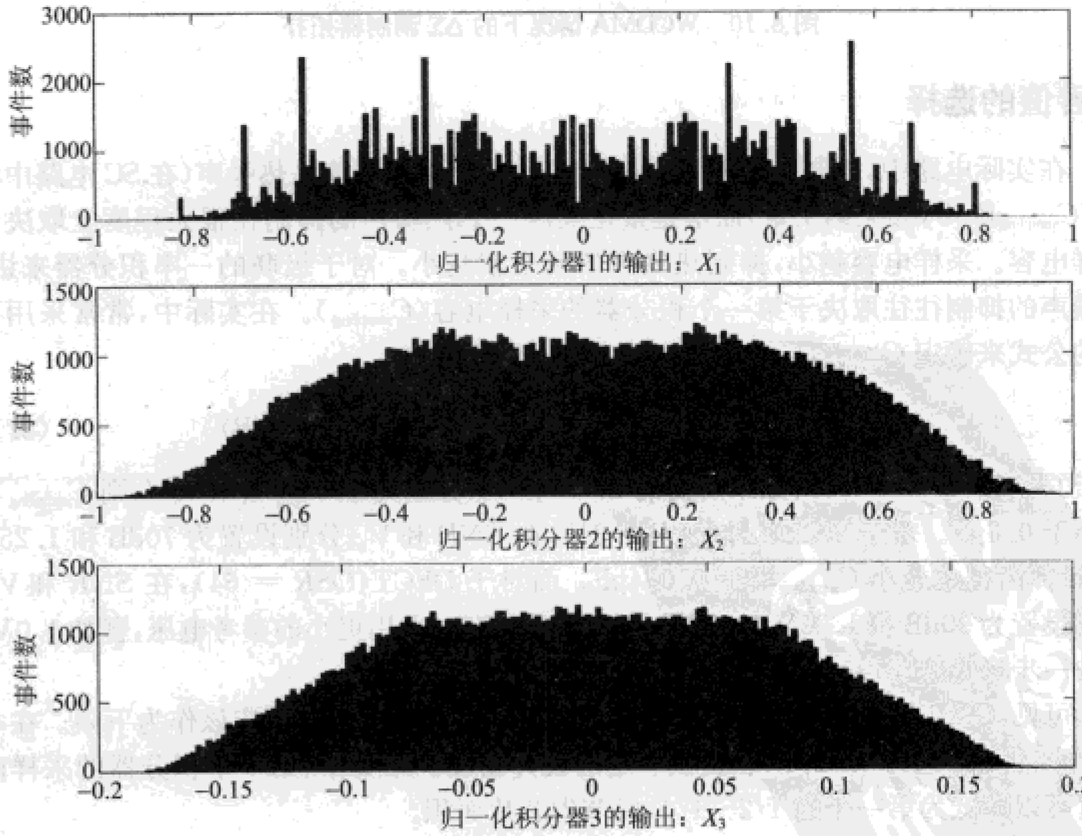


图 8.9 每个积分器输出的概率分布(GSM 的情况)

WCDMA 中的ΔΣ 调制器的设计

如前所述，在 WCDMA 中为了获得 56dB 的 SNR，其 ΔΣ 调制器采用的 OSR 仅有 24（远低于 192），因此需要效果更为显著的噪声整形技术。如图 8.10 所示，我们增加一个内部谐振器反馈，以优化 NTF 的零点。注意其反馈增益（或反馈系数）设置为1/9。这个内部谐振器反馈将在 WCDMA 情况下被激活，而在 GSM 和 DECT 情况下则停用。

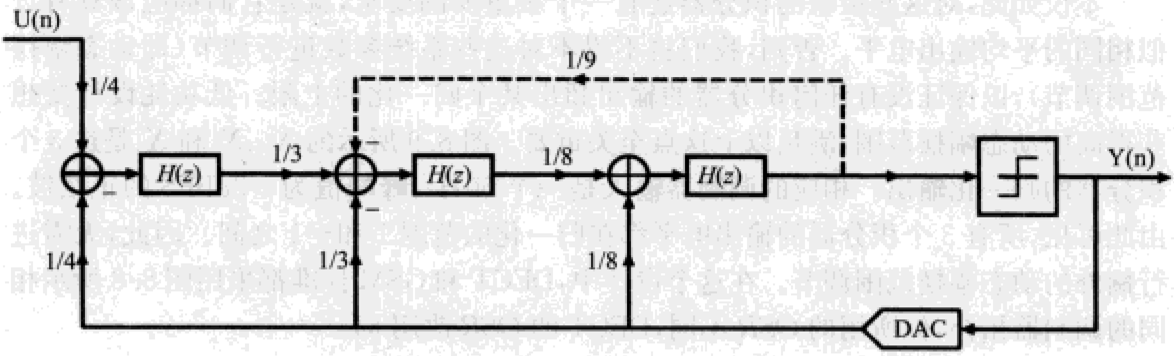


图 8.10　WCDMA 情况下的 ΔΣ 调制器拓扑

电容值的选择

在实际电路中，限制 ΔΣ 调制器最终 *SNR* 性能的有可能是热噪声（在 SC 电路中称 kT/C_{sampling} 噪声，参见第 1 章）而不是量化噪声[22]。热噪声的抑制在很大程度上取决于采样电容。采样电容越小，抑制热噪声的效果就越小。对于级联的一串积分器来讲，热噪声的抑制往往取决于第一个积分器的采样电容（C_{sampling}）。在实际中，常常采用下面的公式来确定 C_{sampling}：

$$20\log\left(\sqrt{\frac{4kT}{OSR \cdot C_{\text{sampling}}}} \cdot \frac{1}{V_{\text{ref}}}\right) \leqslant -(SNR + 3\text{dB}) \tag{8.1}$$

对于 GSM（$OSR = 192$），如果所需的 *SNR* 和 V_{ref} 分别为 100dB 和 1.25V，则 C_{sampling} 不应小于 0.6pF。对于 WCDMA（$OSR = 24$），在 *SNR* 和 V_{ref} 分别设置为 70dB 和 1.25V 时，计算所得的最小 C_{sampling} 等于 0.044pF。而对于 DECT（$OSR = 64$），在 *SNR* 和 V_{ref} 分别设置为 90dB 和 1.25V 时，结果是 0.17pF。有时采用更小的参考电压，譬如 1.0V，以进一步降低热噪声。

可见，GSM 情况下的 C_{sampling} 最大，为 0.6pF，因此这一电容值应该作为下限。在本设计中，C_{sampling} 选为 0.72pF，以提供一定的设计裕度。第 2 个、第 3 个积分器的采样电容值可以降低为第一个的 1/2～1/4，以节省芯片面积。

在这种三合一的配置中，所有三个 RF 标准都采用同一组电容，例外的是 WCDMA 还需要一个额外的反馈电容。$C_{\text{integrating}}$（以及 WCDMA 独有的 C_{feedback}）的大小则由前面推得的系统常数（a_i、b_i、c_i 或 g_i）来确定。表 8.4 列出了本设计中使用的所有电容（全差分配置）。需要注意的是，其中每个电容都被分成两个相等部分，构成全差分设计。

C_{s1}、C_{s2}、C_{s3}分别是第1个、第2个和第3个积分器的采样电容。C_{i1}、C_{i2}、C_{i3}则分别是第1个、第2个和第3个积分器的积分电容。而C_f则是用于内部谐振器反馈路径上的电容(仅在WCDMA情况下使用)。

因此，总电容等于6.24pF(在晶体管级的实现中，实际使用了6.30pF，以获得较好的电容匹配效果)，电容分布比等于24∶1。单元电容值设置为0.06pF。

表8.4 每个ΔΣ调制器中的电容

C_{s1}	0.36pF	C_{i2}	0.54pF
C_{s2}	0.18pF	C_{i3}	0.48pF
C_{s3}	0.06pF	C_f	0.06pF
C_{i1}	1.44pF		

ΔΣ调制器中的非理想性

有限运放增益

在ΔΣ调制器中一个很明显的非理想性就是有限运放增益问题。可以看到，SC积分器的传递函数是 [287]

$$H(z)=\frac{1}{z-\left(1-\frac{1}{A}\right)} \tag{8.2}$$

其中A是运放的dc增益。大家都知道，有限运放增益不仅引起增益偏差，还会引起相位移。相位移将引起NTF的零点偏离正常的位置，导致带内的量化噪声功率增加，因而降低SNR。图8.11所示为仿真的SNR损失随运放增益变化的函数曲线。由图可见，假如有限运放增益是系统中主要的偏差源，那么使三种标准的SNR损失都小于0.1dB所需的运放增益不应小于1500V/V，或63.5dB。而在实际中则往往需要更大的运放增益，以减轻其他的偏差(如电容注入、电容匹配等偏差)。 [288]

有限运放带宽和转换速率

如果SC积分器的输出电压无法在半个时钟周期内完成逼近，那么谐波将出现在输出中。SC积分器的输出逼近不够的情况，是由运放的带宽有限(线性逼近)以及转换速率不够(非线性逼近)这两个因素共同引起的。

有限运放带宽往往取决于闭环单位增益带宽(unity-gain bandwidth，UGBW)，后者近似等于运放输入器件的跨导除以在积分相结束时的输出负载电容，即等于$g_m/C_{eq,load}$。而转换速率则往往决定于$C_{eq,load}$充电或放电有多快，因此它等于$I/C_{eq,load}$[29]。

在每次逼近的开始阶段，转换速率是限制因素，这是因为$C_{eq,load}$是由一个很大的输入信号进行充电的，而该输入信号又是由系统时钟的上升沿来初始化的。一旦充电过程结束(大约发生在运放的输出达到峰值电压并开始下降时)，则将转而由有限运放带

宽来起主导作用。

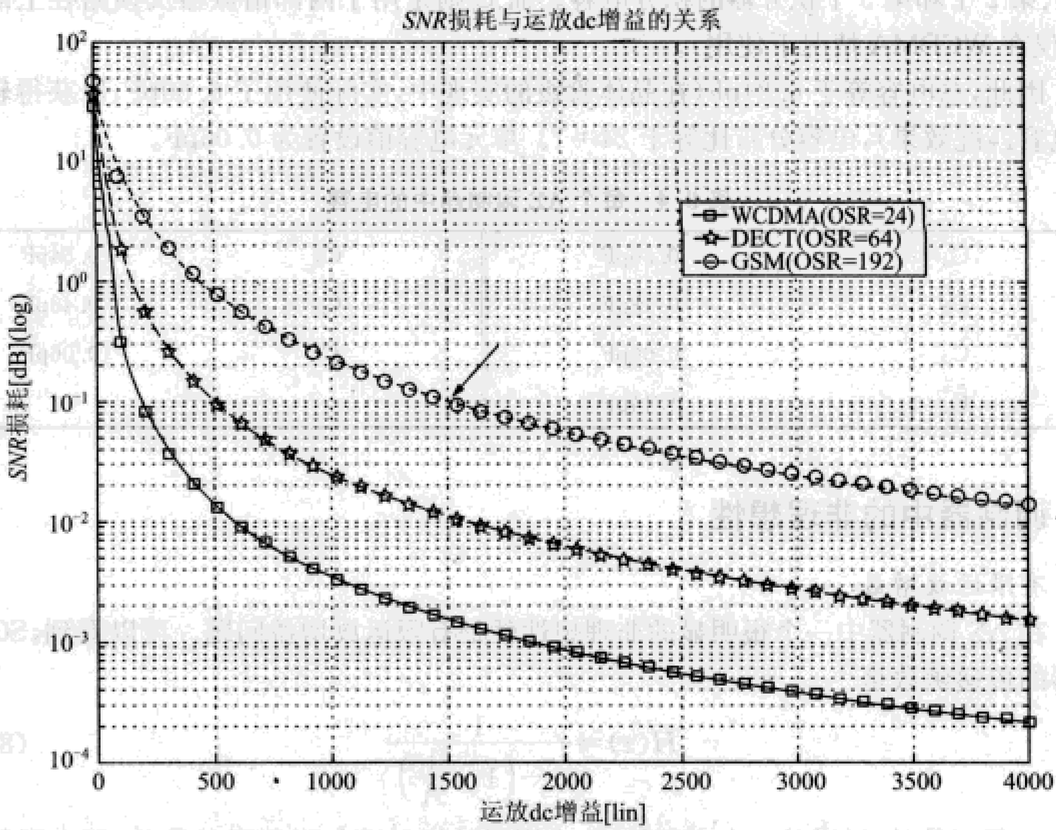


图 8.11 SNR 损耗与运放 dc 增益的关系曲线

有限运放带宽以及转换速率指标可以使用行为级的仿真来获得[30,31]。在仿真中通常采用简单的具有恒定 dc 增益的单极点运放模型。在本设计中，WCDMA 的调制器运行在最高的采样速率下，具有最为繁忙的输入信号(即最高的最大信号带宽)。因此它的逼近特性起着支配作用。

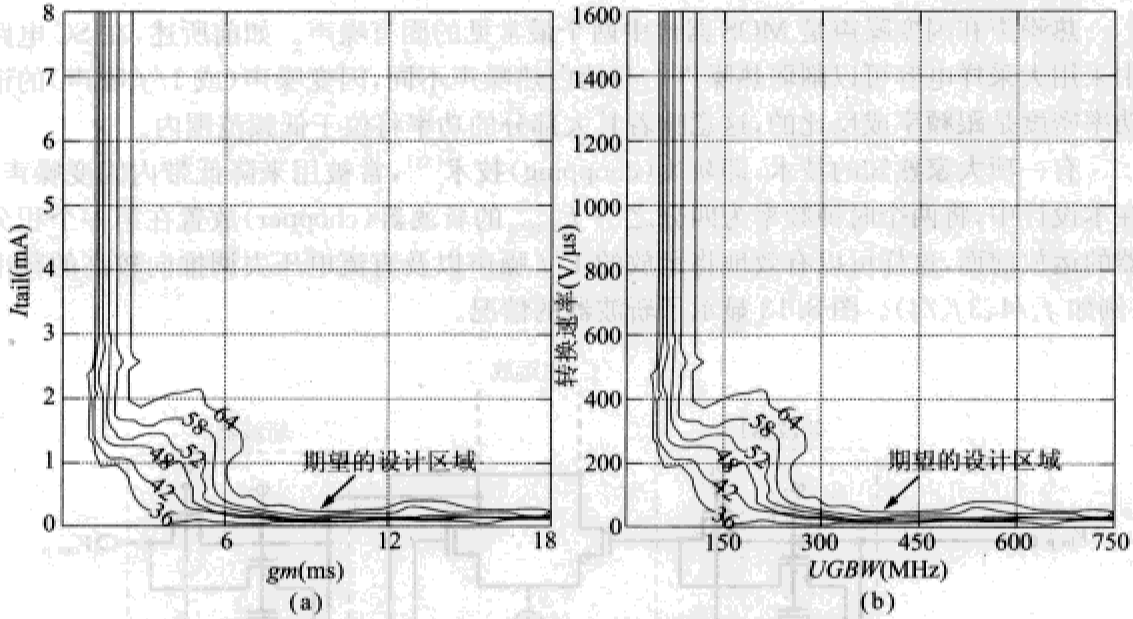
在图 8.12a 中，以运放的跨导(g_m)以及最大拖尾电流或转换电流 I_{tail} 为自变量，画出了 SNDR 峰值的等值线(64dB 和 58dB 等)。优化设计点通常选在平坦的区域(图中标记的"期望设计区域")，此处的非线性逼近特性与线性逼近特性之间基本上是彼此独立无关的[31]。如图 8.12a 所示，大约 7ms 的 g_m 和大约 0.5mA 的 I_{tail}，已经足够让积分器获得较好的逼近。

在图 8.12b 中，以 UGBW 和转换速率为自变量，画出了 SNDR 峰值的等值线。可见，大约 420MHz 的闭环 UGBW，以及大约 100V/μs 的转换速率，已经足够让逼近性能得到优化。注意此处使用的运放模型的 dc 增益假定为 66dB。

换一种办法，我们也可以利用下述公式[30]，估算出所需要的最小 UGBW，它应能保证在半个时钟周期内使输出逼近到 0.1%的变化范围：

$$f_{UGBW}=\frac{7}{\pi}\times f_{sampling} \tag{8.3}$$

由于最高的有效 $f_{sampling}$ 等于 184.32MHz(WCDMA),因此根据上述公式,可以求得最小的 $UGBW(f_{UGBW})$ 高达 411MHz。这个结果与图 8.12b 所示的大约 420MHz 基本一致。



(a)g_m 和 I_{tail} 的关系;(b)闭环 $UGBW$ 及转换速率的关系

图 8.12 峰值 $SNDR$ 的等值线

非理想开关

正如第 1 章所述,所有的 MOSFET 开关,无论是 NMOS 还是 PMOS,都会受到包括 kT/C 噪声、电荷注入/时钟馈入,以及非零导通电阻等在内的非理想性的不利影响。早前我们看到,使用较大的 $C_{sampling}$ 可以降低 kT/C 噪声。信号相关的电荷注入则可以使用底板采样(bottom-plate sampling)技术来减轻[30,32]。时钟馈入则可以应用全差分设计来得到有效的降低。

然而,在 2.5V 供电电压下,非零导通电阻是一个很棘手的问题。首先,它会降低 SC 积分器的逼近性能。如果存在非零导通电阻,则逼近时间将主要由开关网络的 RC 常数决定。这相当于改变了积分器的传递函数,因此其带内量化噪声功率将增加。其次,在采样期间,采样开关的导通电阻依赖于输入信号,这将引起谐波畸变[30]。

我们可以用 MOS 的尺寸比来估算其导通电阻。NMOS 合适的尺寸比可以大致估算如下:

$$\left(\frac{W}{L}\right)_{min} \cong \frac{7}{\mu_N C_{ox}} \cdot \frac{C_{max} \cdot f_{sampling}}{(V_{gs}-V_{th})} \tag{8.4}$$

式中,$f_{sampling}$ 是有效采样频率,WCDMA 的调制器情况最糟,其工作的 $f_{sampling}$ 最高,等于 184.32MHz;C_{max} 是网络中的最大电容,可以从表 8.4 查得,等于 1.44pF;$(V_{gs}-V_{th})$ 是过驱动电压,取决于工艺及供电电压,在本设计中,在 2.5V 的供电电压下,过驱动电压近似等于 0.7V;乘积 $\mu_N C_{ox}$ 大约等于 1×10^{-4}。

根据以上计算可见,最小 NMOS 尺寸比(即 W/L)大约为 20/1。这意味着开关的

导通电阻不会大于350Ω。由于典型的PMOS要比对应的NMOS慢2～3倍，因此最小PMOS尺寸比在40/1～60/1之间。

闪变噪声

290～291

热噪声和闪变噪声是MOS器件中两个最常见的固有噪声。如前所述，在SC电路中采用大采样电容可以削弱热噪声。与伪白热噪声不同，闪变噪声（或$1/f$噪声）的谱功率密度是跟频率成反比的，这意味着其大部分的功率将位于低频范围内。

有一项大家熟知的技术，即斩波（chopping）技术[33]，常被用来降低带内闪变噪声。在本设计中，将两个时钟频率为四分之一$f_{sampling}$的斩波器（chopper）放置在第一个积分器的运放前面，这样可以有效地将运放的$1/f$噪声以及直流电压失调推向较高的频率（例如$f_s/4$、$3f_s/4$）。图8.13显示了斩波器的情况。

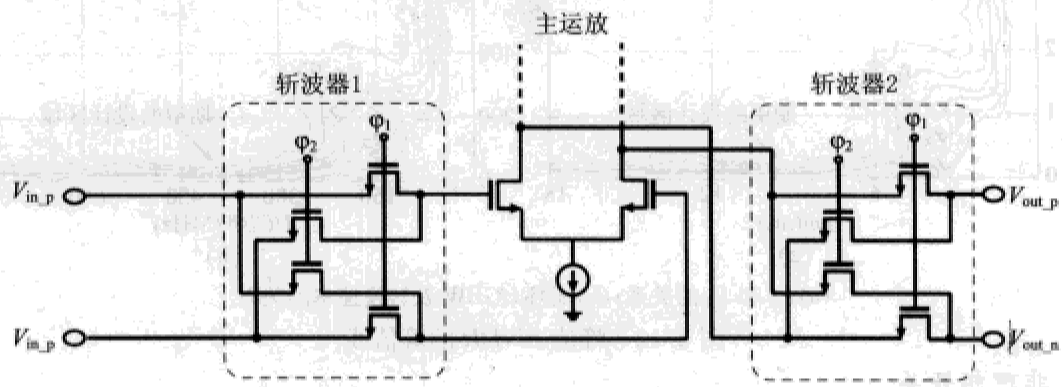


图8.13 运放前端的斩波

电容不匹配

电容不匹配将降低调制器系数的精度，在ΔΣ调制器的NTF和STF响应中产生偏差。在标准CMOS工艺中，电容匹配的相对偏差被控制在0.2%以内。为了建立电容不匹配对SNR影响的模型，我们先生成一个高斯分布的随机序列E_N，其标准偏差为±0.1%；然后将各支路的电容C_i用$C_i(1+E_i)$代替。接下来，对ΔΣ调制器进行行为级的仿真[1]。仿真表明，电容不匹配没有引起显著的SNR性能下降（典型情况下小于0.5dB）。这印证了前面的陈述，即高阶1位单级的ΔΣ调制器一般对电容失配误差不敏感。

8.4 电路实现

本节讨论图8.14所示的3阶ΔΣ调制器的电路级设计相关的问题。由图可见，该调制器的关键构件包括三个SC积分器、一个1位量化器和一个1位DAC。其中的1位DAC与在第5章看到的类似。

292

为了控制积分器及1位量化器的运行，需要产生7个时钟相。这包括两个无重叠的相ck_1和ck_2、一个早期相ck_{1e}（用于控制1位量化器中闭锁的比较器）、两个延迟时钟相ck_{1d}和ck_{2d}，以及与两个延迟相互补的相ck_{1db}与ck_{2db}。时钟产生电路如图8.15所示[34]。

293

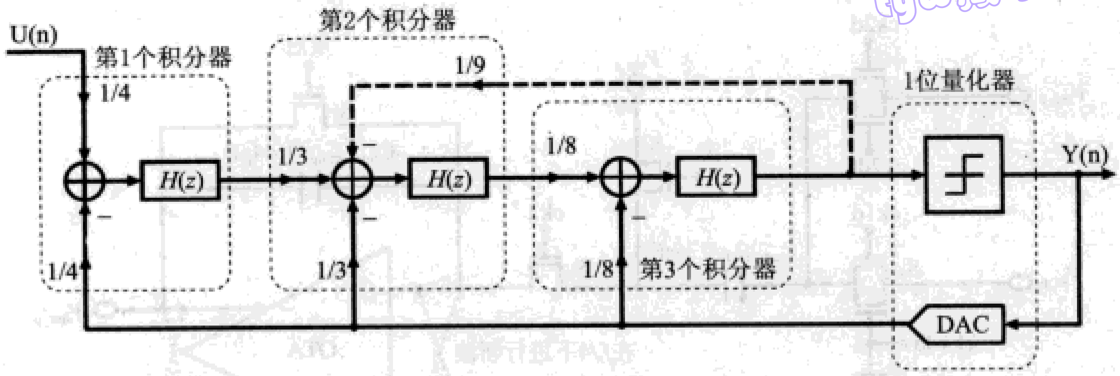


图 8.14 3 阶 ΔΣ 调制器的框架图

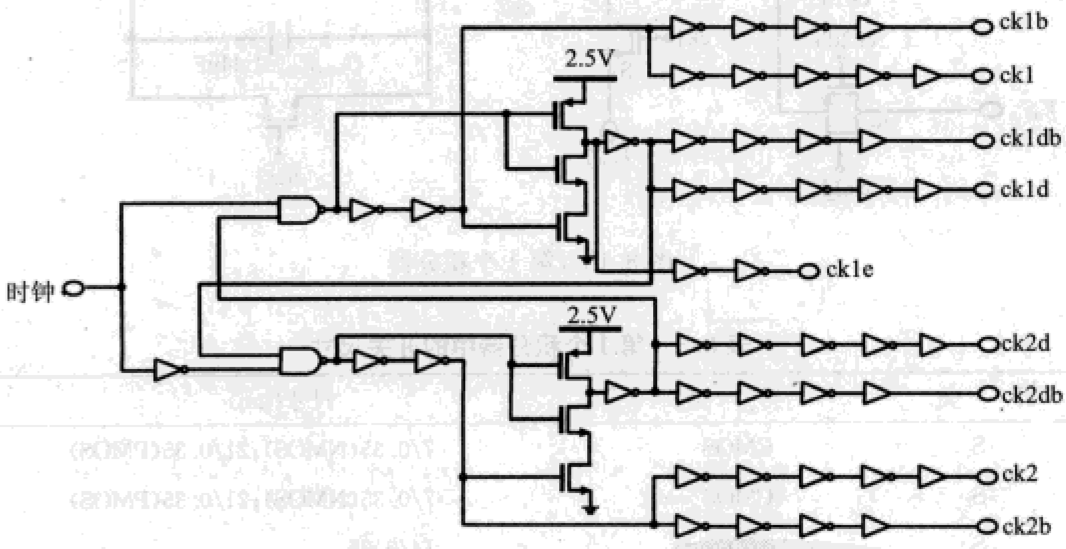


图 8.15 时钟产生电路

SC 积分器

第 1 个积分器如图 8.16 所示，其运行原理如下。在 ck_1 期间，输入电压 V_{in} 被采样到 $C_{sampling}$。在 ck_2 期间，一个正比于 V_{in} 与 V_{ref} 之差的电荷从 $C_{sampling}$ 传递到 $C_{integrating}$（其中 V_{ref} 是 DAC 的参考电压）。

采样和积分电容的值在前面已经确定好，列在表 8.4 中，并已标注在图 8.16 中。在 2.5V 的电源电压下，输入共模电压 V_{cm_i} 被设置为 0.9V，因此开关 S_3 和 S_4 仅需使用 NMOS 来实现。各开关管的尺寸列出在表 8.5 中。

表 8.5 中列出的这些开关尺寸跟前一节的计算结果的要求是一致的：NMOS 开关的 W/L 至少应该为 20/1，而 PMOS 开关的 W/L 则至少应为 40/1。表中的“CMOS”开关类型是指相应的开关是用一个 NMOS 和一个 PMOS 做成的 CMOS 传输门。这里 S_1 和 S_2 之所以采用 CMOS 传输门来构建，就是为了降低输入相关的偏差。

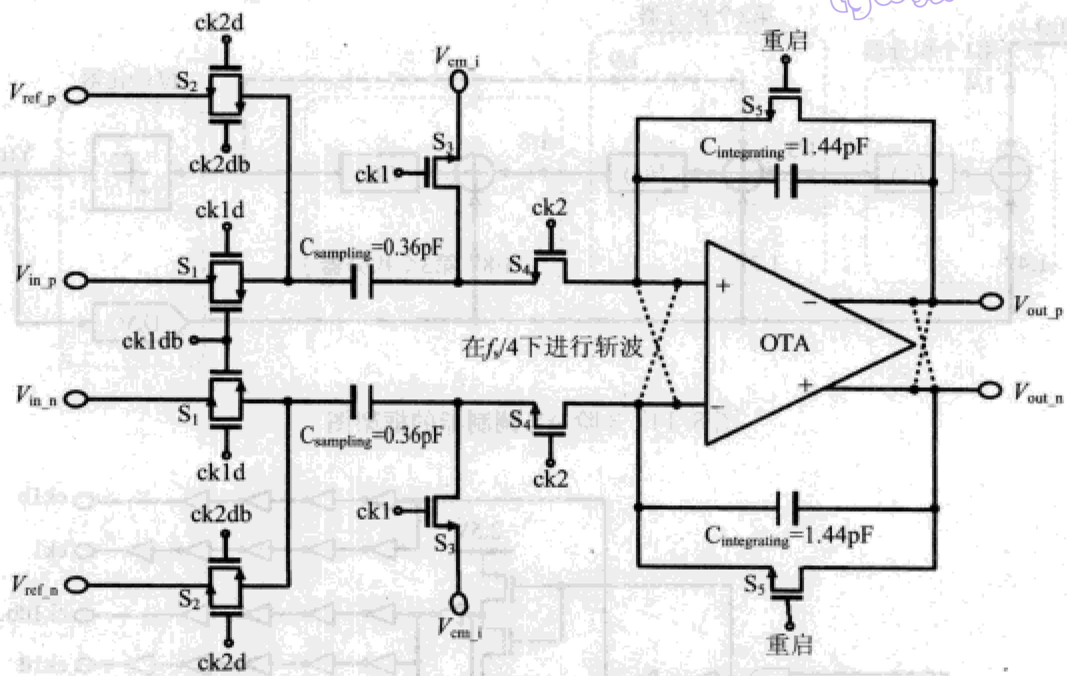


图 8.16 第 1 个积分器

表 8.5 第 1 个积分器中的开关尺寸

开 关	类 型	尺寸(μm)
S_1	CMOS	7/0.35(NMOS);21/0.35(PMOS)
S_2	CMOS	7/0.35(NMOS);21/0.35(PMOS)
S_3	NMOS	14/0.35
S_4	NMOS	14/0.35
S_5	NMOS	1/0.35

另外,延迟相 ck_{1d}和 ck_{2d}的使用,降低了电荷注入偏差[35]。S_5用于在加电模式及切换模式(指调制器从支持一种标准转换到支持另一种标准切换期间)中对积分电容进行重启。此外,S_5还担当限幅器(clipper)的角色,一旦调制器的输出过载或不稳定时,它将使其重启[22]。

第 2 个积分器如图 8.17 所示。在 2.5V 的电源电压下,输入共模电压 V_{cm_i}被设置为 0.9V,而中间供电参考电压 V_{mid}则被设置为 1.25V。在 WCDMA 中,建立起内部谐振器的反馈支路是由 $en_{_WCDMA}$及 ck_{1d}经过一个与门和一个反相器来进行控制的,相应的各开关尺寸列在表 8.6 中。第 3 个积分器如图 8.18 所示,它类似于第 1 个积分器。注意图中特意标出了 V_x和 V_y,以表示负反馈系数是通过直接将输出颠倒而得到的。相应的各开关尺寸列在表 8.7 中。

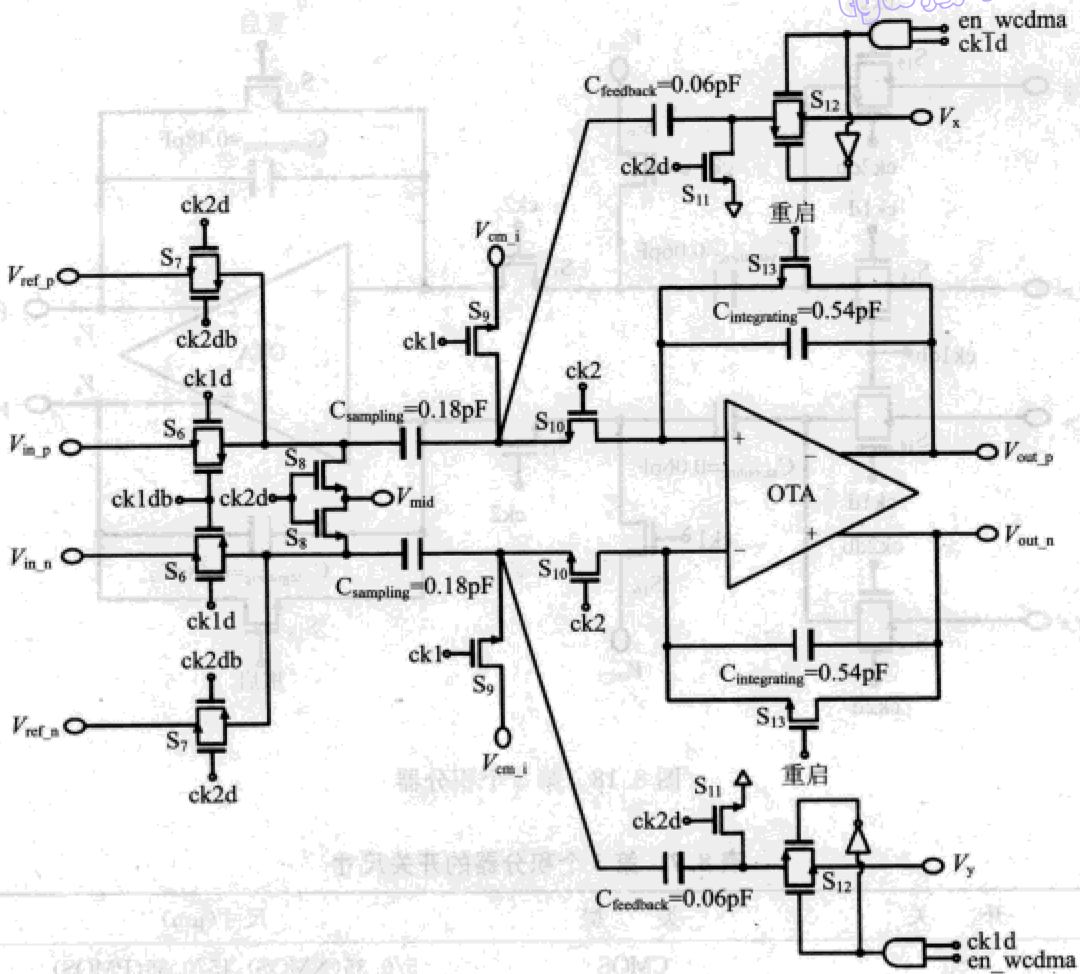


图 8.17 第 2 个积分器

表 8.6 第 2 个积分器的开关尺寸

开 关	类 型	尺寸(μm)
S_6	CMOS	5/0.35(NMOS),15/0.35(PMOS)
S_7	CMOS	5/0.35(NMOS),15/0.35(PMOS)
S_8	NMOS	10/0.35
S_9	NMOS	10/0.35
S_{10}	NMOS	10/0.35
S_{11}	NMOS	5/0.35
S_{12}	CMOS	5/0.35(NMOS),15/0.35(PMOS)
S_{13}	NMOS	1/0.35

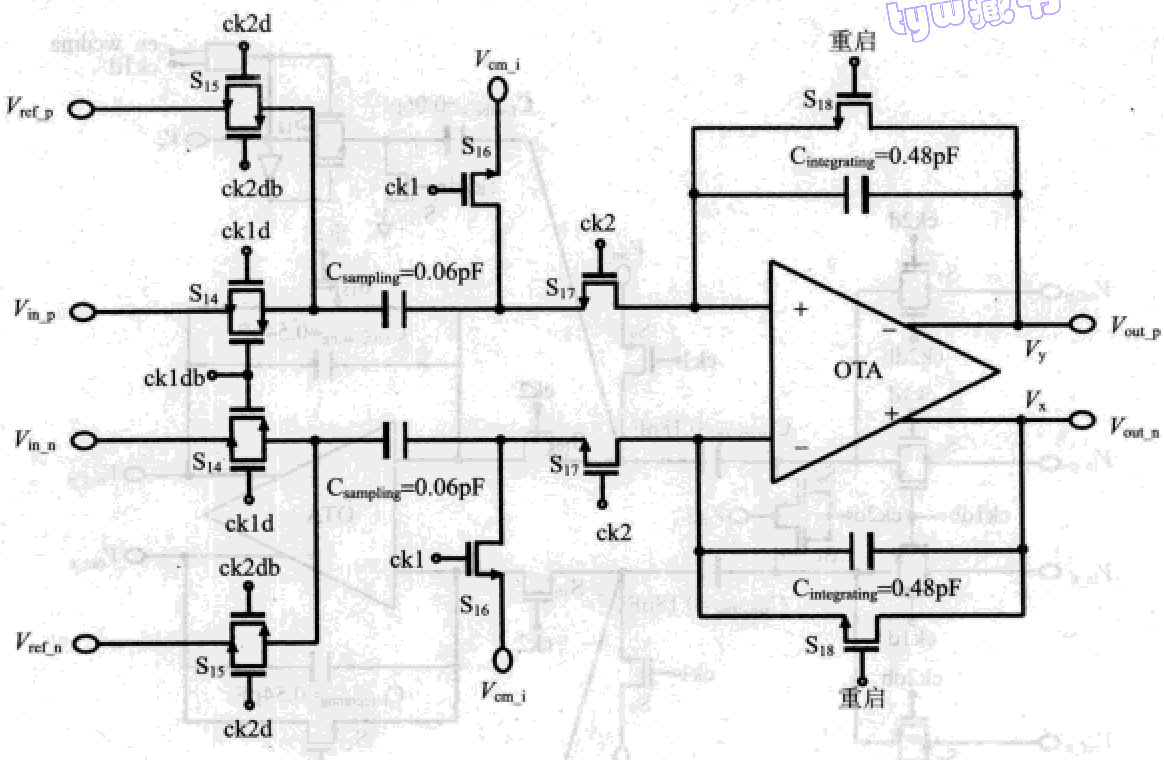


图 8.18　第 3 个积分器

表 8.7　第 3 个积分器的开关尺寸

开　关	类　型	尺寸(μm)
S_{14}	CMOS	5/0.35(NMOS),15/0.35(PMOS)
S_{15}	CMOS	5/0.35(NMOS),15/0.35(PMOS)
S_{16}	NMOS	10/0.35
S_{17}	NMOS	10/0.35
S_{18}	NMOS	1/0.35

运算跨导放大器(OTA)

运算跨导放大器(operational transconductance amplifier,OTA)也称运算放大器(operational amplifier)或运放(op-amp),它是 ΔΣ 调制器中最关键的元件。RF 接收器需要使用具有高增益带宽积的运放,以满足速度和精度要求。

增益提升(gain-boosting)技术是一个经过验证的高增益和高速度运放设计技术[36]。其关键在于运放的 dc 增益按指数规律增加,但有效 UGBW 仅按线性规律降低。如图 8.19所示,主放大器是基于套筒式拓扑构建的。这里选用套筒式拓扑而不选用其他类型的放大器的原因在于,套筒式拓扑是最能满足高速和低功耗应用需要的拓

扑之一。

我们采用 SC 共模反馈(CMFB)电路来跟踪输出共模电压水平。在第 1 个积分器中，主放大器的拖尾电流 I_{tail} 等于 590μA。为了节省功率，在第 2 个和第 3 个积分器中，相应的 I_{tail} 数值分别可以降低为第 1 个的 1/2 和 1/4(晶体管也应该作相应的定标处理)。在第 1 级中，主放大器的晶体管尺寸如表 8.8 所示。

表 8.8　主放大器的晶体管尺寸

开　关	类　型	尺寸(μm)
$M_{1,2}$	NMOS	120/0.35
$M_{3,4}$	NMOS	50/0.35
$M_{5,6}$	PMOS	80/0.35
$M_{7,8}$	PMOS	150/0.7

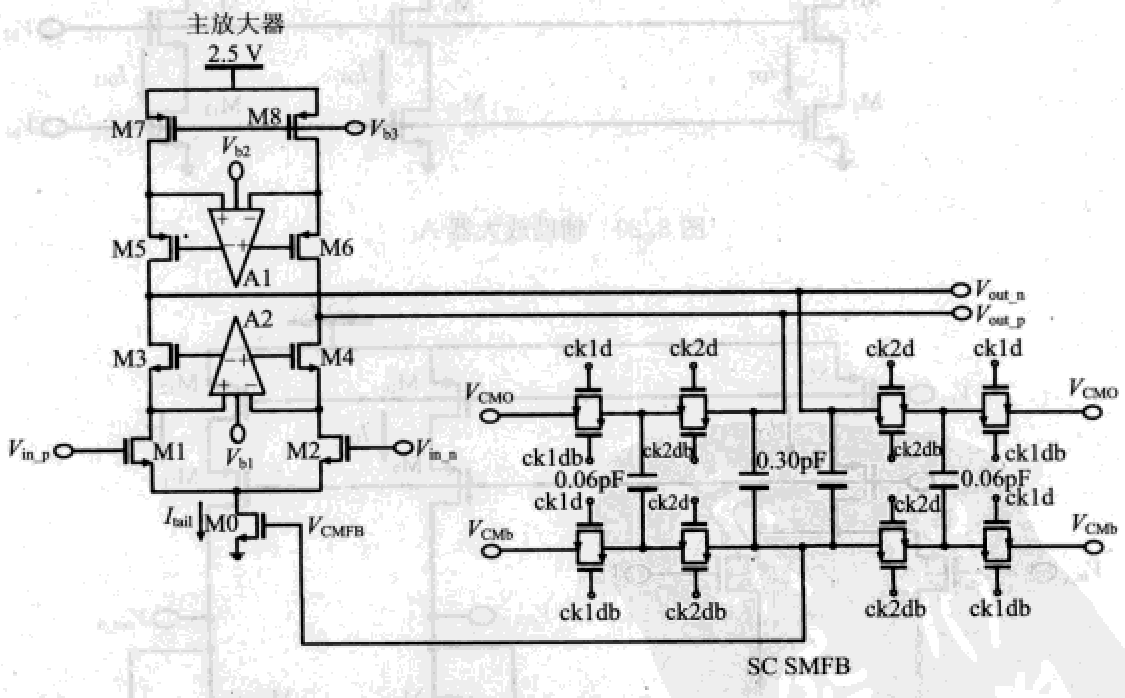


图 8.19　主放大器

辅助放大器(即图 8.19 中的 A_1 和 A_2)基于折叠式共源共栅拓扑进行设计，以增大总的 dc 增益。其中上部的辅助放大器 A_1 的电路如图 8.20 所示。A_1 位于图 8.19 所示的主放大器的 PMOS 部分(即与 M_5、M_6、M_7 和 M_8 连接在一起)，它用了一对 NMOS 输入器件，以获得宽范围的电压摆幅[37]。在设计 NMOS 一侧的辅助放大器 A_2 时(图 8.21)，采用了同样的策略，即应用了一对 PMOS 来作为输入器件。

296
~
297

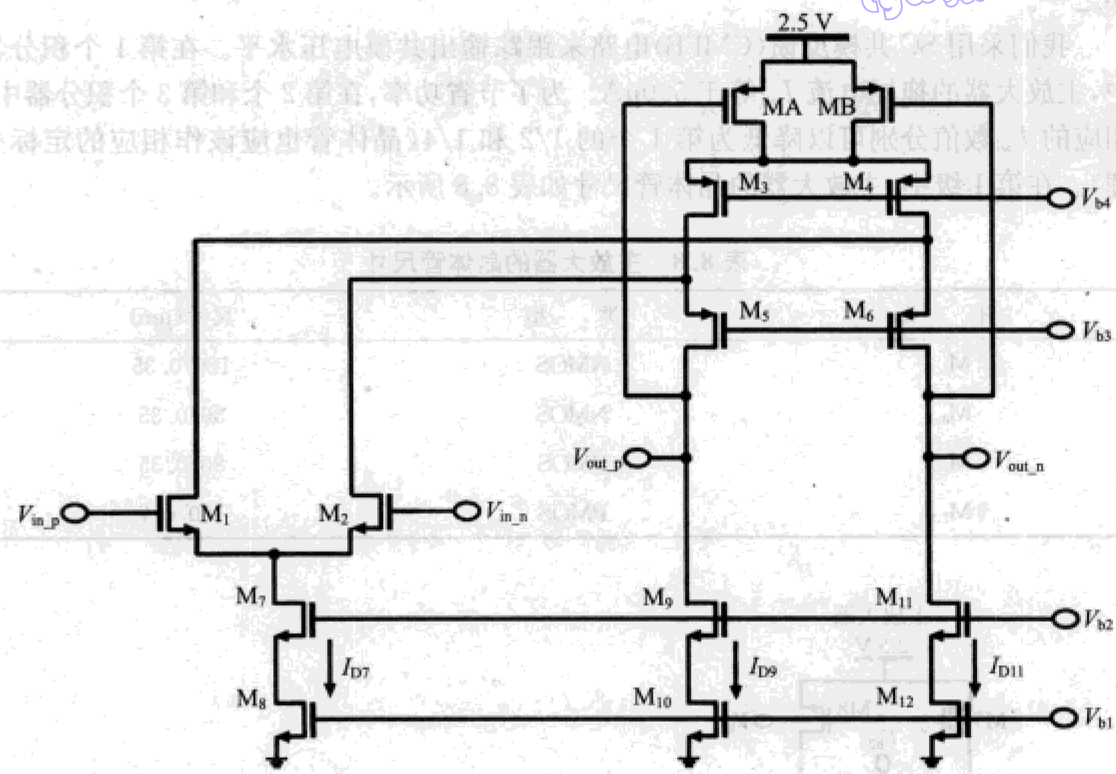


图 8.20　辅助放大器 A_1

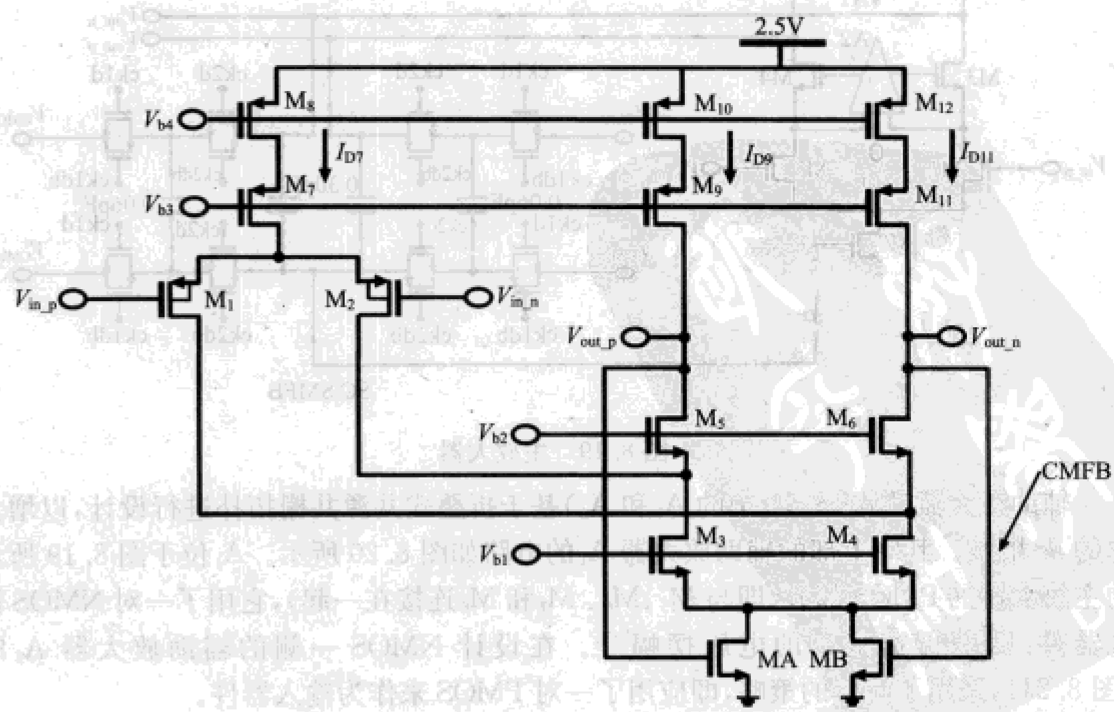


图 8.21　辅助放大器 A_2

辅助放大器的内部 CMFB 环路的形成很简单，只需将放大器的输出节点连接到两个大晶体管的门极即可（这两个晶体管都工作在线性区）。在这两个辅助放大器中，I_{D7}、I_{D9} 和 I_{D11} 分别被设置为 40μA、20μA 和 20μA。偏置方案的设计思路如下：主放大器必须由独立的偏置网络来驱动，以提供较高的**电源反射比**（power-supply-rejection ratio，PSRR）；相反，各个积分器中的辅助放大器则应当共用相同的偏置网络，以节省功率。本设计采用名为 Sooch 镜子（Sooch Mirror）[38]的偏置技术，以获得宽广的输出幅摆。仿真所得的运放 UGBW 和相位裕量（PM）分别为 433MHz 和 57°，仿真所得的 dc 增益则大约为 72dB。

298 ~ 299

量化器

如图 8.22 所示，1 位量化器由一个动态再生比较器和一个静态 SR 锁存器构成。其中的比较器适于高速低功耗应用[39]，其运行原理介绍如下。在重启模式时（即 ck_{1e} 为低时），输出经 M_9 和 M_{10} 连接到 V_{DD}。当 ck_{1e} 变高时，比较器进入再生（regenerative）模式，晶体管 M_3～M_8 构成正反馈回路。因此，输入差分电压被放大为峰峰值满刻度的输出。一旦比较器确定出一个结果，交叉耦合的晶体管 $M_{3,4}$ 和 $M_{7,8}$ 会立即将 V_{DD} 和 V_{SS} 之间的所有连接关闭，从而节省电力。看图 8.22 可以对这一过程获得更好的理解：当 V_{inp} 为高、V_{inn} 为低时，V_x 变低、V_y 变高。结果，M_3 和 M_8 导通（√），而 M_4 和 M_7 断开（×），比较器关闭。该比较器的晶体管尺寸列在表 8.9 中。

300

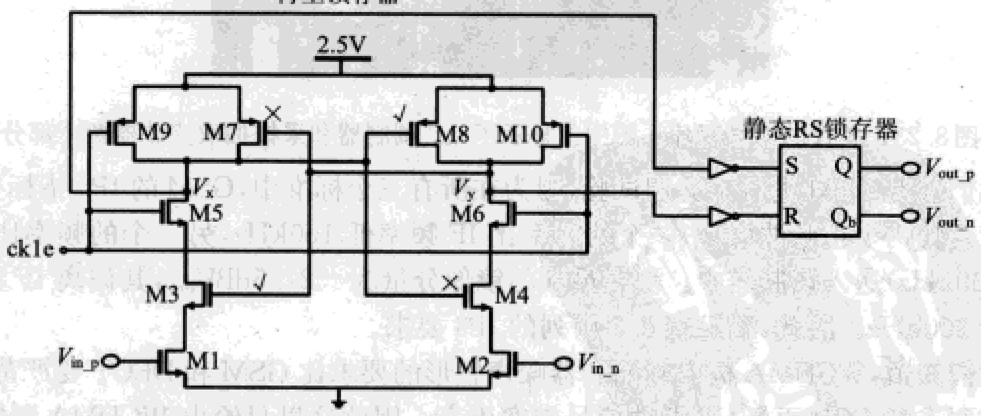


图 8.22 量化器

表 8.9 比较器的晶体管尺寸

器件	类型	尺寸(μm)	器件	类型	尺寸(μm)
$M_{1,2}$	NMOS	16/0.35	$M_{7,8}$	PMOS	25/0.35
$M_{3,4}$	NMOS	10/0.35	$M_{9,10}$	PMOS	10/0.35
$M_{5,6}$	PMOS	10/0.35			

8.5　测试结果

本章描述的 ΔΣ 调制器已经被整合在一个多模 RF 收发器芯片中，该芯片采用 0.35μm、DP5M(双硅 5 铝)、2.5V 的 CMOS 工艺制造。图 8.23 所示是该芯片的 ΔΣ 调制器以及采样抽取滤波器部分的显微照片。芯片总的有效硅片面积约为 $16mm^2$，其中调制器占用 $0.50mm^2$。在测试中，先将所获取的数据流保存在一个文件中，然后再载入计算机进行额外的后期滤波和频谱分析。

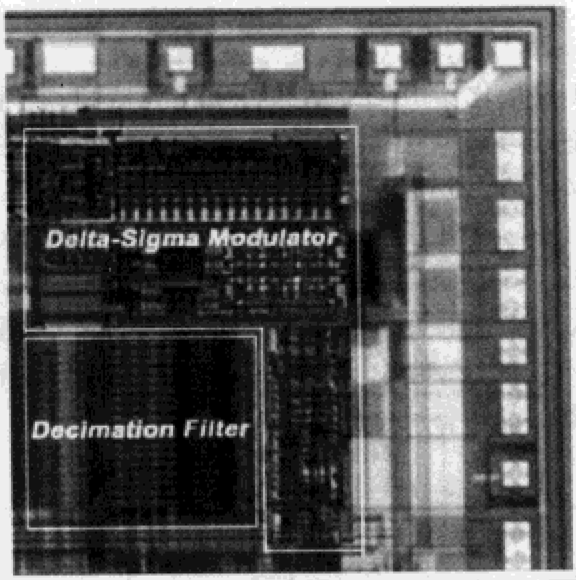


图 8.23　芯片的显微照片。图中仅显示了 ΔΣ 调制器和采样抽取滤波器两个部分

我们仅对 GSM 进行了交调试验，因为在所有三个标准中，GSM 的 IP3 指标要求最为严苛。将两个正弦波(其中一个的频率比 IF 频率低 100kHz，另一个的频率比 IF 频率高 200kHz)送入调制器中。测得最强的镜像分量为 $-27.5dBV_{rms}$，其偏离 IF 频率的距离为 300kHz。因此，满足表 8.3 所列的 IP3 要求。

我们知道，WCDMA 标准对调制器噪声整形的要求比 GSM 和 DECT 要严苛得多，例如它要求的 OSR 更低，要求的信号带宽更高。因此这里只给出 WCDMA 调制器的噪声整形结果。图 8.24 所示为调制器 I 支路的输出(在进入采样抽取滤波器之前)的快速傅里叶变换(FFT)频谱。在测试中，调制器输入的是一个正弦信号，其幅值为 −4dBFS，振荡频率比 IF 频率(此处为 138.24MHz)高 100kHz。

由图可见，热噪声的基底一直到 2MHz 基本上都是平坦的，这是 WCDMA 标准所要求信号带宽的一半。注意图 8.24 只给出了调制器 I 支路的输出频谱，它同调制器 Q 支路的输出频谱是水平对称的。

图 8.25 所示为不同输入幅值下 SNDR 的测量值。可见，不同标准所达到的峰值 SNDR 分别为 80.1dB(GSM)、55.3dB(WCDMA)和 64.9dB(DECT)。动态幅摆范围分

别是 87dB(GSM)、69dB(WCDMA)和 74dB(DECT)。

表 8.10 列出了 ΔΣ 调制器的试验结果。为了便于比较,表中列出了文献[10]和文献[17]报道的调制器指标。可见,本章描述的 ΔΣ 调制器在使用功耗较小的简单电路的情况下,实现了较高的性能。 302

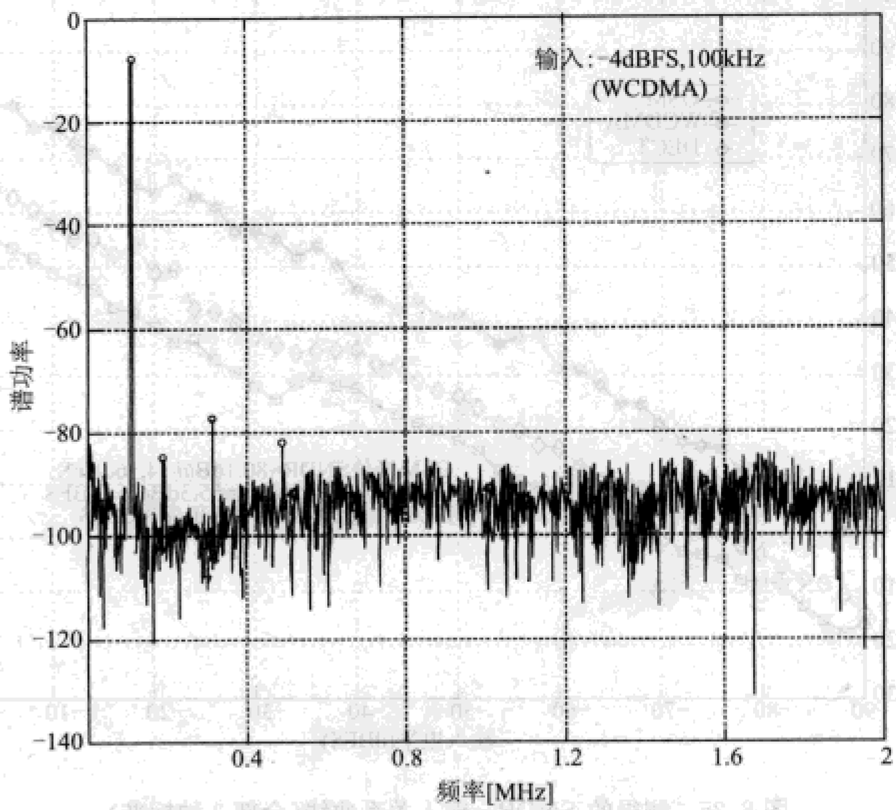


图 8.24 测得的输出频谱(仅为 WCDMA 标准下的结果)

8.6 结论

本章研究了用于多模 RF 接收的 ΔΣ 调制器的设计。该 ΔΣ 调制器整合在一个多模(GSM/WCDMA/DECT)RF 收发器芯片中,采用 0.35μm、DP5M、2.5V 的 CMOS 工艺制造。本章的内容说明,应用一对低通 ΔΣ 调制器可以完成高频 IF 信号的数字化任务。 303

8.2 节对现有的 RF 接收器系统进行了回顾。8.3 节给出了 ΔΣ 调制器系统级的设计。而 8.4 节则讲述了该调制器的电路级实现。最后在 8.5 节汇总了 ΔΣ 调制器的性能,并同其他方案进行了比较。

对未来的工作有 3 个建议。首先,由于采用选择性的 IF 带通滤波器,就可以放宽对 ΔΣ ADC 精度和动态幅摆范围的要求,因此应该对 IF 滤波器与 ΔΣ ADC 的关系进行更为深入广泛的研究。其次,可以使用单位增益缓冲(UGB)[29]来替代运放,以便在

不牺牲速度与精度的情况下使功耗降低。最后，可以将自动增益控制器(AGC)及第二个混频器与 ΔΣ ADC 融合在一起，以获得更高的集成度，因为这三者的动态幅摆范围要求在本质上是相同的。

304

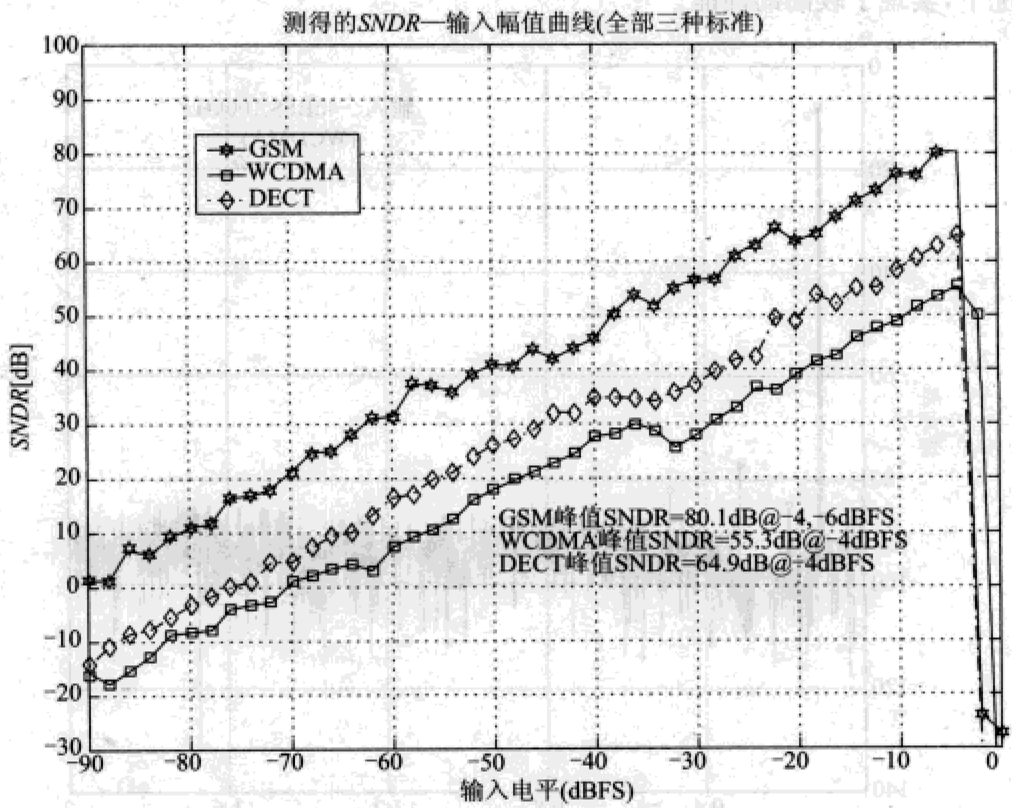


图 8.25 测得的 *SNDR*—输入关系曲线(全部 3 种标准)

表 8.10 ΔΣ 调制器的性能比较

文献出处	[10]	[17]	本 章
标准	GSM/DECT	GSM/WCDMA	GSM/WCDMA/DECT
接收器拓扑	宽带 IF 双转换	数字高 IF	数字高 IF
过采样率	128(GSM), 32(DECT)	192(GSM),24(WCDMA)	192(GSM),24(WCDMA), 64(DECT)
动态幅摆范围(dB)	96(GSM), 82(DECT)	86(GSM),54(WCDMA)	87(GSM),69(WCDMA), 74(DECT)
信噪比(dB)	92(GSM), 76(DECT)	76(GSM),53(WCDMA)	83(GSM),56(WCDMA), 67(DECT)
信噪畸变比(dB)	90(GSM) 75(DECT)	72(GSM),52(WCDMA)	80(GSM),55(WCDMA), 65(DECT)
3 阶交截点(dBV_{rms})	−26(GSM) −12(DECT)	−26(GSM), −18(WCDMA)	−27.5(GSM), −19.4(WCDMA),−16.8(DECT)

（续）

文献出处	[10]	[17]	本 章
调制器拓扑	4 阶、1 位、级联 2—2	DQIR 附带前向通路、3 阶、1 位、单级	无前向通路简化 DFFIR、3 阶、1 位、单极
总电容(pF)	>15.0	5.41	6.30
电容分布比	—	48 : 1	24 : 1
功耗(mW)	>18.0(每种模式)	11.5(GSM)，13.5(WCDMA)	12.7(GSM)，14.1(WCDMA)，13.5(DECT)
电源电压(V)	3.3	2.5	2.5
工艺	0.35μm CMOS，双层多晶硅	0.25μm CMOS，双层多晶硅	0.35μm CMOS，双层多晶硅
(调制器)有效面积(mm²)	—	0.36	0.50

参考文献

[1] M. Liu, *The design of delta-sigma modulators for multi-standard RF receivers*, master's thesis, Oregon State University, Corvallis, OR, June 2003.

[2] P. R. Gray and R. Meyer, "Future directions of silicon ICs for RF personal communications," *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 83–90, May 1995.

[3] I. A. Koullias et al., "A 900-MHz transceiver chip set for dual-mode cellular radio mobile terminals," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 140–141, February 1993.

[4] A. A. Abidi et al., "The future of CMOS wireless transceivers," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 118–119, February 1997.

[5] J. C. Rudell et al., "Recent developments in high integration multi-standard CMOS transceivers for personal communication systems," *IEEE Proceedings of International Symposium for Low-Power Electronics and Devices*, pp. 149–154, August 1998.

[6] R. van Veldhoven et al., "A 3.3-mW ΣΔ modulator for UMTS in 0.18-μm CMOS with 70-dB dynamic range in 2-MHz bandwidth," *IEEE Journal of Solid-State Circuits*, Vol. 37, pp. 1645–1652, December 2002.

[7] X. Li and M. Ismail, *Multi-standard CMOS wireless receivers: Analysis and design*, Kluwer Academic Publishers, Berlin, Germany 2002.

[8] E. Siragusa et al., "A digitally enhanced 1.8 V 15 b 40 Ms/s CMOS pipelined ADC," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 452–453, February 2004.

[9] H. C. Liu et al., "A 15-b 40-MS/s CMOS pipelined analog-to-digital converter with digital background calibration," *IEEE Journal of Solid-State Circuits*, Vol. 40, pp. 1047–1055, May 2005.

[10] A. Feldman et al., "A 13-bit, 1.4-MS/s, 3.3-V sigma-delta modulator for RF baseband channel applications," *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 229–232, May 1998.

306

[11] F. Piazza et al., "A 0.25 mm CMOS transceiver front-end for GSM," *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 413–416, May 1998.

[12] U. Rohde and T. Bucher, *Communication receivers: Principles and design*, McGraw-Hill, New York, 1988.

[13] B. Razavi, *RF Microelectronics*, Prentice-Hall, Upper Saddle River, NJ, 1998.

[14] A. A. Abidi, "Direct-conversion radio transceiver for digital communications," *IEEE Journal of Solid-State Circuits*, Vol. 30, pp. 1399–1410, December 1995.

[15] L. Longo et al., "A cellular analog front with a 98-dB IF receiver," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 36–37, February 1993.

[16] A. Hairapetian, "A 81-MHz IF receiver in CMOS," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 56–57, February 1996.

[17] T. Burger and Q. Huang, "A 13.5-mW 185-Msample/s ΔΣ modulator for UMTS/GSM dual-standard IF reception," *IEEE Solid-State Circuits Conference, Digest of Technical Papers*, pp. 44–45, February 2001.

[18] L. J. Breems et al., "A 1.8-mW CMOS sigma-delta modulator with integrated mixer for A/D conversion of IF signals," *IEEE Journal of Solid-State Circuits*, Vol. 35, pp. 468–475, April 2000.

[19] L. J. Breems et al., "A quadrature data-dependent DEM algorithm to improve image rejection of a complex ΔΣ modulator," *IEEE Journal of Solid-State Circuits*, Vol. 36, pp. 1879–1886, December 2001.

[20] A. Tabatabaei et al., "A two-path bandpass sigma-delta modulator with extended noise shaping," *IEEE Journal of Solid-State Circuits*, Vol. 35, pp. 1799–1809, December 2000.

[21] R. Schreier et al., "A 10–300-MHz IF-digitizing IC with 90–105-dB dynamic range and 15–333-kHz bandwidth," *IEEE Journal of Solid-State Circuits*, Vol. 37, pp. 1636–1644, December 2002.

[22] S. R. Norsworthy, R. Schreier, and G. C. Temes, *Delta-sigma data converters: Theory, design and simulation*, IEEE Press, New York, 1997.

[23] S. Jantzi et al., "A fourth-order bandpass sigma-delta modulator," *IEEE Journal of Solid-State Circuits*, Vol. 28, pp. 282–291, March 1993.

307

[24] "ETS 300 577–579, GSM: Digital cellular telecommunications systems," ETSI, 1997.

[25] "EN 300 176-1 V1.3.2, DECT: Approval test specification; Part 1: Radio," ETSI, 1999.

[26] Third Generation Partnership Project. [Online]. Available at www.3gpp.org.

[27] E. J. van der Zwan et al., "A 10.7-MHz IF-to-baseband sigma-delta A/D conversion system for AM/FM radio receivers," *IEEE Journal of Solid-State Circuits*, Vol. 35, pp. 1810–1819, December 2000.

[28] P. J. Quinn et al., "A 10.7-MHz CMOS SC IF filter using orthogonal hardware modulation," *IEEE Journal of Solid-State Circuits*, Vol. 35, pp. 1865–1876, December 2000.

[29] R. Gregorian and G. C. Temes, *Analog MOS integrated circuits for signal processing*, John Wiley & Sons, New York, 1986.

[30] W. Sansen et al., "Transient analysis of charge transfer in SC filters—gain error and distortion," *IEEE Journal of Solid-State Circuits*, Vol. 22, pp. 268–276, February 1987.

[31] L. A. William, III, *Modeling and design of high-resolution sigma-delta modulators*, Ph.D. dissertation, Stanford University, Palo Alto, CA, 1993.

[32] T. Brooks et al., "A cascaded sigma-delta pipelined A/D converter with 1.25 MHz signal bandwidth and 89 dB SNR," *IEEE Journal of Solid-State Circuits*, Vol. 32, pp. 1896–1906, July 1997.

[33] K. Hsieh et al., "A low-noise chopper stabilized switched-capacitor filtering technique," *IEEE Journal of Solid-State Circuits*, Vol. SC-16, pp. 708–715, December 1981.

[34] Y. Geerts et al., "A 3.3-V, 15-bit, delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications," *IEEE Journal of Solid-State Circuits*, Vol. 34, pp. 927–936, July 1999.

[35] K. Martin et al., "A differential switched-capacitor amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, pp. 104–106, February 1987.

[36] K. Bult and G. Geelen, "A fast-settling CMOS op amp for SC circuits with 90-dB DC gain," *IEEE Journal of Solid-State Circuits*, Vol. 25, pp. 1379–1383, December 1990.

[37] B. Razavi, *Design of analog CMOS integrated circuits*, McGraw-Hill, New York, 2001.

[38] N. Sooch and AT&T Bell Lab., "MOS cascode current mirror," U.S. Patent 4550284, 1985.

[39] T. Cho et al., "A 10b, 20Msample/s, 35mW pipelined analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, Vol. 30, pp. 166–172, March 1995.

308
309

索　引

索引中的页码为英文原书页码，与书中页边标注的页码一致。

A

B

E

F

G

H

I

J

Demystifying Switched-Capacitor Circuits

开关电容电路

从入门到精通

"本书包含来自实战的丰富设计示例，内容有相当深度，强烈推荐！"

——Dennis L. Feucht, AnalogZone.com 读者评论

开关电容电路在现代微电子系统中的应用非常广泛。在MP3播放器、移动电话、数码相机、便携硬盘以及单片功率变换器等许多设备的设计中，开关电容电路技术都发挥了至关重要的作用。

本书一经面世，就获得了业界的广泛称赞，被称为填补空白的力作。本书深入阐述了开关电容电路的各种特性，着重强调对实际工作非常重要的基础知识和最新技术进展，讲解中尽量避免繁琐的数学推导，并系统、详尽、直观地分析了许多经过工程验证的电路设计实例，包括：

- 开关电容积分器，插值滤波器，采样抽取滤波器；
- 采样和保持电路；
- 开关电容滤波器；
- CMOS数据转换器；
- 开关电容DC-DC变换器；
- △∑调制器；
- 低电压开关电容电路。

本书将有助于读者从全新的角度掌握其中的基本概念和设计方法，是模拟电路工程设计人员的必读之作，也可作为相关高校课程教学参考。

刘明亮（Mingliang Liu）2000年毕业于北京理工大学电子与信息工程系，2003年于美国俄勒冈州立大学电子工程与计算机科学系获得硕士学位。目前在美国加州一家电子公司任产品主管，并在职攻读加州大学洛杉矶分校电子工程系博士学位。历任美国数家电子设备制造商模拟电路设计工程师、产品研发团队经理以及项目经理等职。其技术兴趣为模拟、RF与混合信号集成电路的设计。

尹华杰 华中理工大学电气工程系博士（1994年），美国伊利诺伊大学（UIUC）电磁计算中心（CCEM）访问学者（1999年~2000年），华南理工大学电气工程系副教授。主要从事电气传动控制、电力电子及工程电磁场数值计算等方向的科研与教学工作。

本书译自原版*Demystifying Switched-Capacitor Circuits*，并由Elsevier授权出版
ELSEVIER 爱思唯尔

本书相关信息请访问：图灵网站 http://www.turingbook.com
读者/作者热线：(010) 88593802
反馈/投稿/推荐信箱：contact@turingbook.com

分类建议 电子电气/开关电源

人民邮电出版社网址 www.ptpress.com.cn

ISBN 978-7-115-18047-6
9 787115 180476 >
ISBN 978-7-115-18047-6/TN
定价：35.00 元